

令和 6 年度 防衛装備庁
安全保障技術研究推進制度

研究成果報告書

反転MOSチャネル型 酸化ガリウムトランジスタの研究開発

令和 7 年 5 月

株式会社ノベルクリスタルテクノロジー

本報告書は、防衛装備庁の安全保障技術研究推進制度による委託業務として、株式会社ノベルクリスタルテクノロジーが令和2年度から令和6年度にかけて実施した「反転MOSチャネル型酸化ガリウムトランジスタの研究開発」の成果を取りまとめたものです。

1. 委託業務の目的

本研究では、耐圧 10 kV 以上の Ga_2O_3 トランジスタの大電流化(ドレイン電流 100 A 以上)の実現を目的として、大面積化に有利な MOS トランジスタ構造として、新たに反転 MOS チャネル構造の基礎研究を行う。そして平成 30 年度～令和 2 年度「10 kV 級酸化ガリウムトレンチ MOSFET の研究開発」にて進めている高耐圧ドリフト層、電界集中緩和構造の基礎研究の成果と統合する。

反転 MOS チャネル構造の基礎研究においては、(1)アクセプタ不純物添加層の形成方法、電子状態分析、(2)MOS 界面制御技術、(3)反転 MOS チャネルの移動度評価と改善、が要素課題となる。これら 3 つの要素技術を統合して反転 MOS チャネル構造を作製し、アクセプタ不純物濃度としきい値、チャネル抵抗の関係等の設計データを取得する。また新規に開発する反転 MOS チャネル構造に対するリスク管理として、高いビルトインポテンシャル(2-4 eV)により n 型導電層の空乏化が期待できるヘテロ半導体 pn 接合ゲートの基礎研究も平行して行う。

本研究の後半では、新規に開発する反転 MOS チャネル構造と先行研究で開発中の高耐圧ドリフト層構造に関する基礎研究成果を統合して、高耐圧反転 MOS チャネル型酸化ガリウムトランジスタを試作して評価する。試作で明らかとなった課題に関して、各要素にフィードバックして、改善、再設計、試作、評価を繰り返して最終目標の達成を目指す。

耐圧等の素子特性に重大な影響を与える結晶欠陥に関しては、結晶欠陥を分類して素子特性との対応をはかる。結晶欠陥の要因を基板、エピタキシャル成長、プロセス等に切り分け、各技術において改善をはかる。

また本研究成果を実証するデバイスとして 10 A 級の基本素子を用いて 10 kV 電圧での高速スイッチング動作の確認を行う。

研究課題の最終目標は以下の性能を有する高耐圧、大電流の Ga_2O_3 トランジスタを実現し、10 A 級素子にて高速のスイッチング特性を確認する。

耐圧 10 kV 以上、ドレイン電流 100 A、しきい値電圧 1.0 V 以上
10 A 級素子にてスイッチング速度数十 nsec 以下

2. 研究開始時に設定した研究目標の達成度

デバイス開発に関しては Ga_2O_3 トランジスタでは世界で初めて実証された成果ではあるが、最終目標値を満たすことは出来なかった。具体的には

- ・耐圧に関しては、低ドナー濃度、厚膜エピウエハ(ドナー濃度 $1.8 \times 10^{15} \text{ cm}^{-3}$, 膜厚 85 μm) 上に Fin 型 Ga_2O_3 MOS トランジスタ作製して縦型 Ga_2O_3 トランジスタでは既報告値の 2 倍の 10 kV 以上の耐圧を実証した。しかしながら小型素子であるため電流値は数 mA にとどまった。

- ・ドレイン電流 100 A に関しては反転 MOS チャネル型(D-MOS) Ga_2O_3 トランジスタを本委託研究で新規に開発して 4 インチウエハ上に作製した 10 mm 角の D-MOS Ga_2O_3 トランジスタにてドレイン電流 110 A、しきい値電圧 +1.8 V を実証した。しかしながら 4 インチエピウエハの耐圧は 1.2 kV であるため、耐圧は 400-1000 V に留まり、10 kV 耐圧との両立は実現できなかった。

- ・高速スイッチングに関しては電流 24 A の D-MOS Ga_2O_3 トランジスタ(5 mm 角チップ)にてドレイン電圧 300 V、ドレイン電流 7 A での数十 ns の高速動作(立ち上がり時間 54 nsec、立下がり時間 73 nsec)を実証した。アンペア級、数百 V での高速スイッチングは Ga_2O_3 トランジスタでは世界で初めてである。しかしながら、10 kV のスイッチングは実現できなかった。

未達の原因の一つは 10 kV 耐圧に必要な低ドナー濃度、厚膜のエピタキシャルウエハの 4 インチ化が、残留ドナー濃度の低減、ウエハクラックの抑制に苦戦して期待通り進まなかったためである。また、10 kV のスイッチング評価に関しては、10 kV 耐圧素子の作製が遅れて安全面で特別の配慮が必要な高圧スイッチング評価の事前準備が関係機関と行えなかったためである。

結晶欠陥評価に関しては研究目標を達成するとともに付加的な成果も得られた。最終目標である結晶欠陥の種類同定・3次元構造情報の取得および欠陥の増殖メカニズムの解明に必要な測定解析技術[エッチング、ボルマン効果を利用した透過 X 線トポグラフィ、X 線トポグラフィによる転位種の分類(透過・反射)、X 線レチクログラフィ、デバイス動作中の欠陥のオ

ペラント観察技術（透過・反射）等]を構築し、 β -Ga₂O₃中に存在する欠陥種の同定、3次元構造情報の取得および電力印可下での欠陥の増殖のオペランド観察に成功した。また、デバイス動作中の欠陥のオペランド観察によりデバイス不良と関連する欠陥の抽出に成功し加えて β -Ga₂O₃機械特性の結晶方位依存性を解明する等の付加的な成果もあった。具体例としては、デバイス動作中の欠陥のオペランド観察により、リーク電流の大きいデバイスには、[010]方向のらせん転位またはパイプ状ボイドの存在を確認した。この欠陥は結晶成長時に発生したと推定され、エピタキシャル成長部門にフィードバックした。

表 研究開始時に設定した研究目標の達成度

実施項目	中間目標	最終目標	達成度
(1) アクセプタ不純物のドーピング制御	200 V印可時に漏れ電流 <1 mA/cm ²	——	1000 V印可時漏れ電流 <0.3 mA/cm ² ◎
(2) 絶縁膜/ Ga ₂ O ₃ 界面制御	MOSチャネル移動度 >10 cm ² /Vs	——	MOSチャネル移動度 50 cm ² /Vs ◎
(3) ヘテロp型半導体/n型 Ga ₂ O ₃ 接合作製	立ち上がり電圧 $V_f > 3$ V	——	$V_f \approx 2.5$ V × 中間評価時に中止
(4) トランジスタの試作・評価	しきい値電圧 $V_{TH} > 1$ V 耐圧 > 600 V	電流 100 A and 耐圧 10 kV	電流 100 A or 耐圧 10 kV △ △
(5) Ga ₂ O ₃ トランジスタのスイッチング特性評価	——	10 kV, 10 A級 スイッチング速度 <数十nsec	300 V, 10 A級 スイッチング速度 $T_{on} < 54$ nsec, $T_{off} < 73$ nsec △
(6) 結晶欠陥の構造解析	——	結晶欠陥の種類同定・3次元構造情報の取得、欠陥の増殖メカニズの解明	結晶欠陥の種類同定・3次元構造情報の取得、◎欠陥の増殖メカニズの解明

3. 委託業務における研究の方法及び成果

(1) アクセプタ不純物のドーピング制御

要約

開発目標の反転MOSチャネル型酸化ガリウムトランジスタのウエル形成に必要なアクセプタ不純物のドーピングに関して技術動向を調査して、マグネシウム(Mg)、窒素(N)を候補として選出して実験を行った。検討の結果、窒素(N)不純物をウエル形成用アクセプタ不純物として採用した。採用のポイントは、イオン注入後の活性化工程で熱処理温度1100℃まで注入時の不純物分布を保ち、拡散しない点である。次にNイオン注入ウエルを有する反転MOSチャネル型トランジスタ基本素子(横型)を試作して評価した。試作した反転MOSチャネル型トランジスタは、良好なドレイン電流-ドレイン電圧特性を示し、しきい値電圧+6 Vのノーマリオフ特性を示した。反転MOSチャネル型酸化ガリウムトランジスタ動作を確認したのは当時(令和3年度)として世界で初めてであった。また中間目標のしきい値電圧>1 V以上の達成も確認した。さらにウエル層のN濃度とNイオン注入深さ、活性化熱処理条件を調整することにより、ウエル層の電流ブロック特性を改善してソース/ドレイン間の漏れ電流を中間評価の目標値200 V印可時に漏れ電流値1 mA/cm²以下を実現した。本項目にて開発したアクセプタ不純物のドーピング制御プロセスを適用して「(4) トランジスタの試作・評価」にて反転MOSチャネル型トランジスタ(縦型)を試作した。

(1) - 1 アクセプタ不純物の選定

酸化ガリウム半導体に対するイオン注入、拡散、結晶成長等によるアクセプタ不純物ドーピングの技術動向を調査して、マグネシウム(Mg)、窒素(N)のイオン注入による深いアクセプタ準位の形成を試みた。イオン注入後の注入不純物濃度の深さ方向分析(SIMS分析)からMg不純物は800℃以上の熱処理で拡散によりイオン注入プロファイルが変化するのに対して、N不純物は1100℃まで拡散せず、注入時のイオン注入プロファイルを保っていることがわかった。さらに、Mg、Nイオン注入層を有するダイオード素子の電気抵抗、耐圧評価から、900~1100℃で熱処理したMg、Nイオン注入層は高抵抗になっており、深いアクセプタ準位が形成されている可能性が高いことを確認した。開発目標の反転MOSチャネル型酸化ガリウムトランジスタのウエル形成には1100℃までの熱処理温度でイオン注入プロファイルが維持されるN不純物を選定した。

Mg、Nイオン注入の実験は、n型酸化ガリウムエピタキシャル層($2 \times 10^{16} \text{ cm}^{-3}$, 10 μm)に対して行った。注入イオンの加速エネルギーとドーズ量を調整して、深さ0.1 μm で $1 \times 10^{19} \text{ cm}^{-3}$ 、深さ0.5 μm で $1 \times 10^{18} \text{ cm}^{-3}$ の2段ボックス型の不純物プロファイルを形成した。イオン注入後、注入ダメージを回復するために酸素雰囲気中で30分間の熱処理(700-1100℃)を行った。

図3-(1)-1(a), (b)に二次イオン質量分析(SIMS)によって測定したイオン注入後のMg、N不純物の深さ方向分布の熱処理温度依存性を示す。Mg不純物の場合は、熱処理温度700℃を超えると拡散が発生し不純物分布がなだらかになる。一方、N不純物の場合は、熱処理温度1100℃まで拡散は発生せず注入時の不純物分布を保っている。先行文献¹⁾と同様に、MgとN不純物で熱処理温度に対する不純物拡散の状態が大きく異なることを確認した。

イオン注入層の電气的評価のために作製したダイオード素子構造を図3-(1)-2に示す。比較のためにイオン注入を行わず、熱処理のみを実施したダイオード素子も作製した。

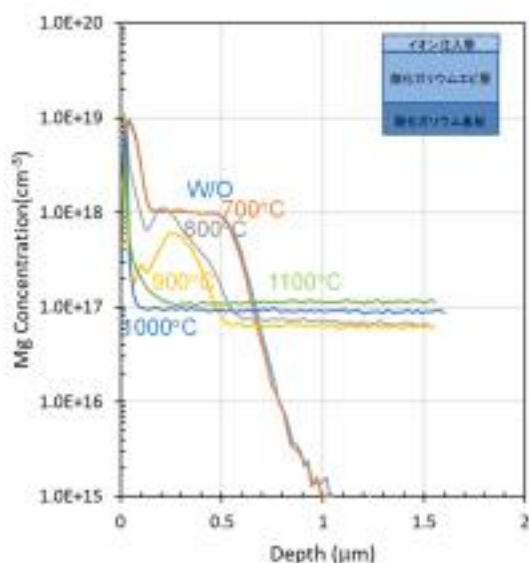


図 3-(1)-1(a) SIMS 分析による
Mg イオン注入分布

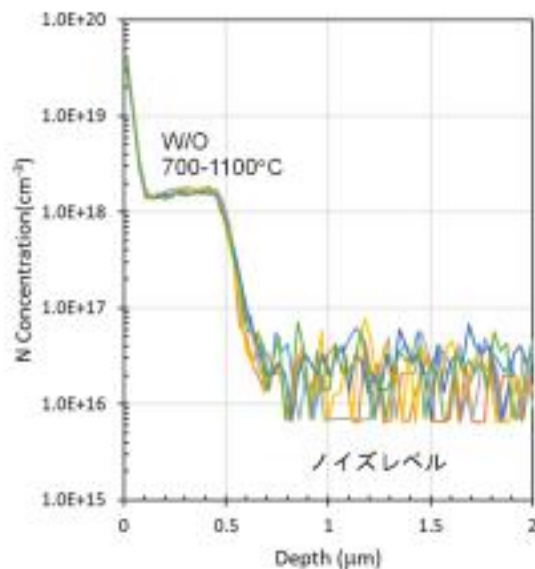


図 3-(1)-1(b) SIMS 分析による
N イオン注入分布

電極

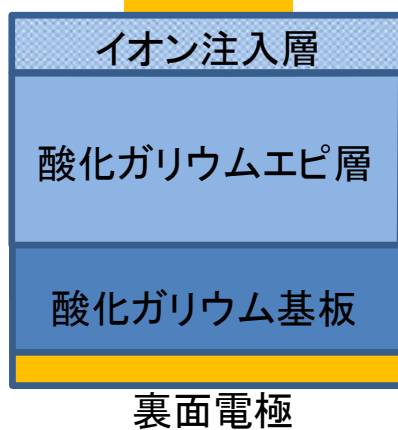
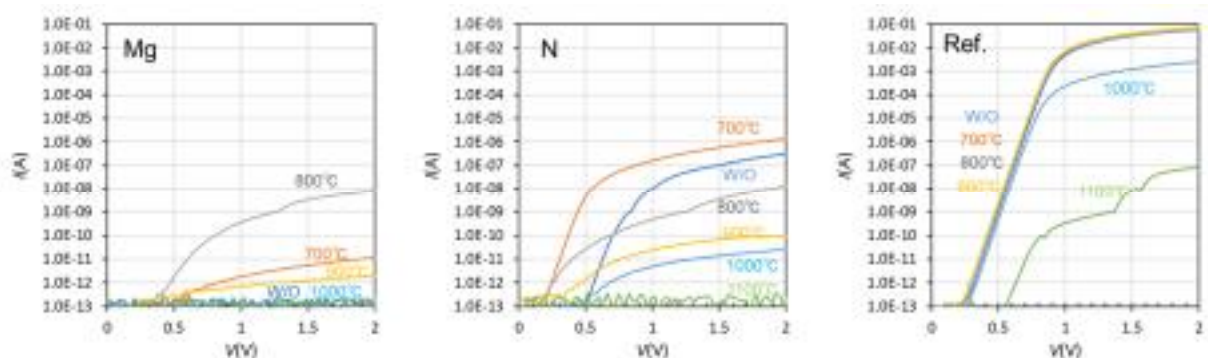


図 3-(1)-2 : イオン注入層評価用ダイオード素子構造

図3-(1)-3(a), (b), (c)に作製したダイオード素子の順方向電流-電圧特性を示す。イオン注入を実施していないリファレンスのダイオード素子に比較してMg、Nイオンを注入したダイオード素子は順方向電流が流れにくくなっていることがわかる。

Mgイオン注入ダイオード素子に関しては、注入ダメージ回復のための熱処理を実施していない素子で電流は流れず、700, 800°Cの熱処理を実施した素子で電流が増加し、900°C以上の熱処理を実施した素子で再び電流が減少する。一方、Nイオン注入ダイオード素子に関しては、注入ダメー



(a) Mg イオン注入 (b) N イオン注入 (c) リファレンス

図 3-(1)-3：ダイオード素子の順方向電流-電圧特性

表 3-(1)-1：各ダイオード素子の逆方向耐圧のダメージ回復のための熱処理温度依存性

イオン種	W/O	700℃	800℃	900℃	1000℃	1100℃
Mg	175	195	55	380	1045	610
N	585	215	185	1255	1440	1500
Ref.	95	20	25	50	515	385

ジ回復のための熱処理を実施していない素子でも電流は流れ、800℃以上の熱処理を実施した素子では電流の減少が始まる。1000℃以上の熱処理では、イオン注入を行っていないリファレンスのダイオード素子も電流の減少が観察されることから、酸素雰囲気中の熱処理によって酸化ガリウム半導体の性質が変わっている可能性がある。ただし、Mg、Nイオン注入したダイオード素子は、リファレンス以上の電流減少が見られており、イオン注入不純物の効果が大きいと考えている。

次にMg、Nイオン注入層を有するダイオード素子の逆方向耐圧を評価した。表3-(1)-1に各素子数個の平均耐圧を示す。順方向の電流特性と同じように、イオン注入により耐圧は向上し、注入ダメージ回復のための700-800℃付近の熱処理で一旦耐圧は低下し、900-1100℃付近の熱処理で向上する。イオン注入層が高抵抗化、高耐圧化する要因として、①イオン注入ダメージによる結晶欠陥の発生と②イオン注入不純物による深いアクセプタ準位の形成の2つが考えられている。ダメージ回復熱処理を行わないMgイオン注入ダイオード素子の順方向電流が流れないのは、イオン注入により発生した結晶欠陥が原因である可能性が高い。ダメージ回復熱処理(700, 800℃)により順方向電流が増加し、逆方向耐圧が低下する。この熱処理温度領域では注入欠陥は減少するが、注入されたMg不純物は深い準位のアクセプタとしては十分働いていないと推測される。さらに高温で熱処理(900-1100℃)すると順方向電流が再び減少し、逆方向耐圧が向上する。高温熱処理を行うとMg不純物が深いアクセプタとして働くようになると推測される¹⁾。一方、Nイオン注入層は熱処理前にある程度順方向電流が流れ、Mgイオン注入層より低い熱処理温度から高い逆方向耐圧が得られている。このことから、Mgイオン注入層より注入ダメージによる欠陥発生が少なく、深いアクセプタ準位として働くN不純物原子も多いと推測される。N不純物は熱処理による拡散も小さいため、Nをウェル形成用アクセプタ不純物として採用した。

(1) - 2 反転MOSチャネル型トランジスタ基本素子(横型)の試作

窒素(N)イオン注入によるアクセプタ不純物ドーピング層をウェルとした簡易型の横型Ga₂O₃ MOSトランジスタを作製して評価した。試作した簡易型の横型MOSトランジスタは、良好なドレイン電流-電圧特性を示し、高いしきい値電圧+6 Vが得られた。Nイオン注入層をウェルとした反転MOSチャネル型Ga₂O₃トランジスタで線形・飽和領域のドレイン電流-電圧特性を確認したのは当時(令和3年度)としては世界で初めてであった。一方、ソース、ドレイン電極と裏面電極間のリーク電流が大きく高耐圧MOSトランジスタとしてはウェルのリーク電流を低減する必要があるこ

とがわかった。

窒素(N)イオン注入によるアクセプタ不純物ドーピング層の効果に関して簡易型の横型MOSトランジスタを作製して評価した。図3-(1)-4に作製した簡易型の横型MOSトランジスタの断面構造図、図3-(1)-5にプロセスフローを示す。簡易型の横型MOSトランジスタは、n型 β -Ga₂O₃(001)基板上にハライド気相成長(HVPE)法を用いて形成したエピタキシャル層(ドナー濃度 $2.0 \times 10^{16} \text{ cm}^{-3}$, 膜厚 $12 \text{ }\mu\text{m}$)の全面にNのイオン注入(濃度 $1 \times 10^{18} \text{ cm}^{-3}$ のボックス注入)と熱処理(酸素雰囲気中)、ソース、ドレイン領域にn⁺領域を形成するためのドナー不純物Siのイオン注入(濃度 $2 \times 10^{19} \text{ cm}^{-3}$, 深さ $0.1 \text{ }\mu\text{m}$)と熱処理(窒素雰囲気中, 900°C)を順次行い、ゲート絶縁膜として令和2年度成膜条件を検討した原子層堆積法を用いて厚さ 55 nm のAl₂O₃を成膜、ゲート電極としてNi/Au、ソース電極、ドレイン電極及びウエハ裏面のバックゲート電極としてTi/Auを形成して作製した。

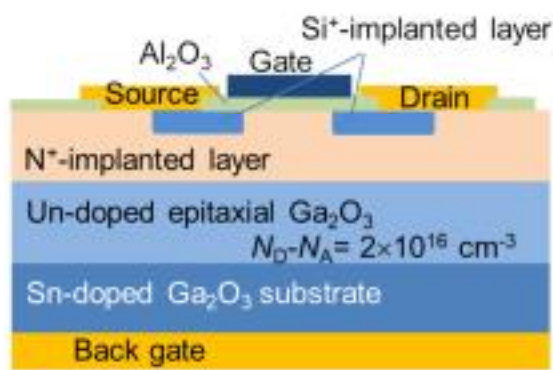


図 3-(1)-4 簡易型の横型 MOS トランジスタの断面構造図

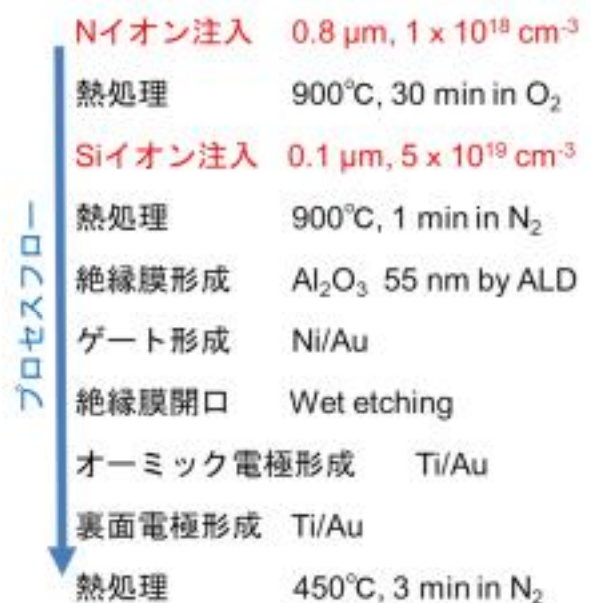


図 3-(1)-5 プロセスフロー

表 3-(1)-2 プロセス条件表

No.	Nイオン注入 エネルギー[keV]	Nイオン活性化 アニール温度[°C]
1	350	900
2	350	1000
3	500	900
4	500	1000

Nイオン注入の最大エネルギーと活性化アニール温度条件を表3-(1)-2に示す。4条件のプロセスを経たデバイスを試作評価した。Nイオン注入深さ、Siイオン注入深さのシミュレーション値を図3-(1)-6に示す。Nイオンは濃度が $1 \times 10^{18} \text{ cm}^{-3}$ で深さ方向に均一なボックス型注入とし深さは0.6 μm , 0.75 μm 、Siは $5 \times 10^{19} \text{ cm}^{-3}$ の深さ方向に均一なボックス注入型とし深さは0.1 μm の浅い注入とした。

最初にSiイオン注入により形成したソース、ドレインn型導電層領域のシート抵抗、電極との接触抵抗をトランジスタと同時に作製した図3-(1)-7に示すTLM構造(電極幅 $W = 200 \text{ } \mu\text{m}$)で確認した。作製したTLM素子の抵抗の電極間依存性を図3-(1)-8に示す。傾きからSi注入層のシート抵抗480-530 Ω/sq . 切片から電極との接触抵抗0.9-1.1 Ωmm と良好なn型ソース、ドレイン領域及びオーミックコンタクトが形成できていることを確認した。

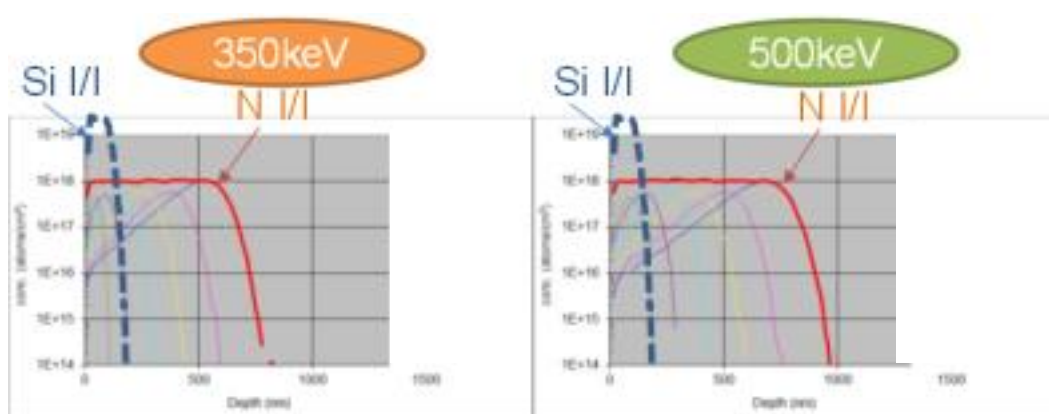


図 3-(1)-6 N イオン、Si イオン注入プロファイル(設計値)

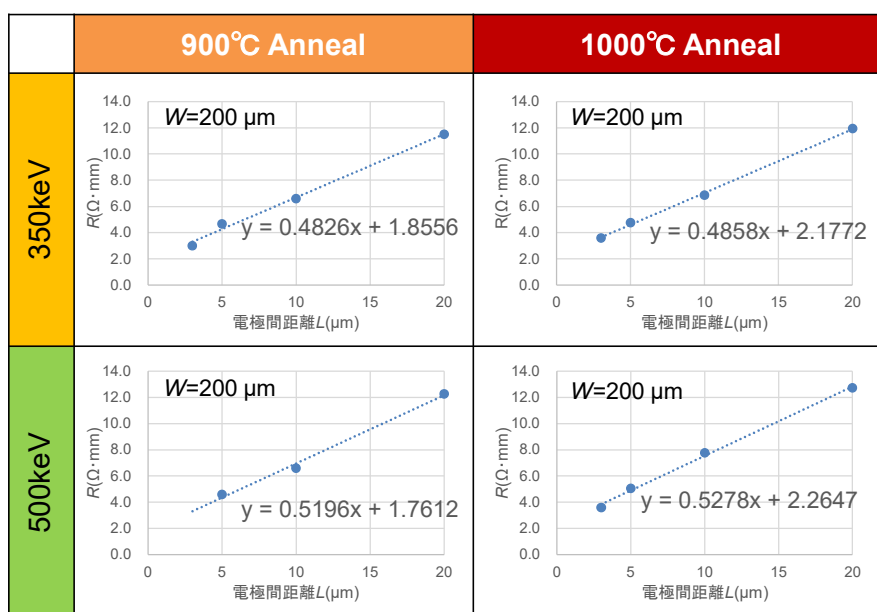
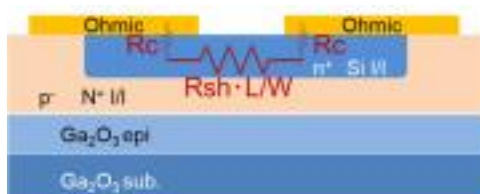


図 3-(1)-8 TLM 評価結果(抵抗-電極間距離依存)

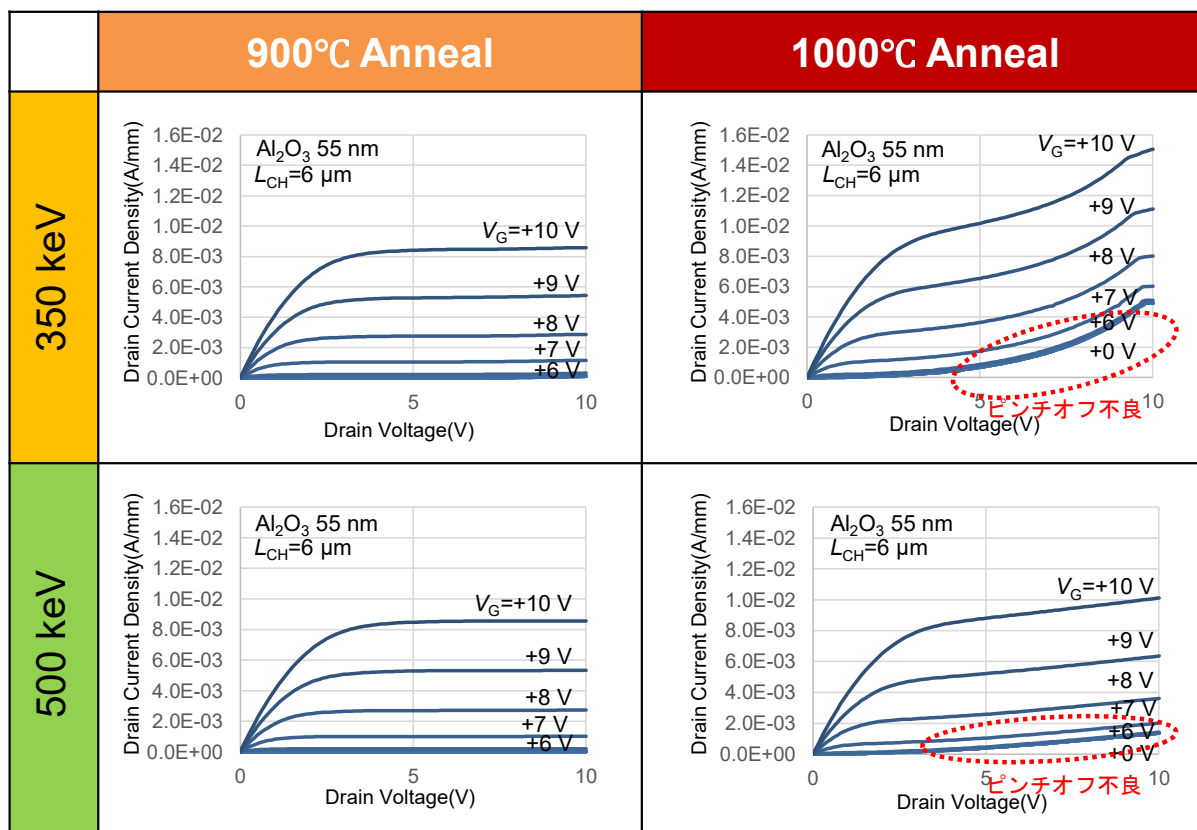


図 3-(1)-9 N イオン注入チャネル簡易型の横型 MOS トランジスタの

次に簡易型の横型MOSトランジスタを評価してNイオン注入層のウェル層としての効果を確認した。図3-(1)-9に作製した簡易型の横型MOSトランジスタ(チャネル長6 μm)のドレイン電流-電圧特性を示す。これまでのアクセプタ不純物ドーピングを行わないFin構造のMOSトランジスタのしきい値電圧は0~1 V付近の小さな値であったのに対して、Nイオン注入を行った今回の試作では高いしきい値電圧(ドレイン電流が流れ始める電圧)+6 Vが得られ、アクセプタ不純物ドーピング効果が確認できた。また中間目標のしきい値電圧>1 V以上を達成した。Nイオン注入層をチャネル層として用いて線形・飽和領域のドレイン電流-電圧特性が得られたのは当時(令和3年度)としては世界で初めてである。ゲート電圧10 Vでドレイン電流密度8 mA/mmと当初の期待(MOSチャネル移動度が10 cm^2/Vs 前後で1 mA/mm前後)以上の高い値が得られたのはチャネル移動度が当初の予想より高いことに起因している。チャネル移動度評価結果に関しては実施項目(2)絶縁膜/酸化ガリウム(Ga_2O_3)界面制御の節で説明する。この試作では1000°Cの熱処理を行った素子ではドレイン電圧が10 V付近でゲート電圧によりドレイン電流がオフできないピンチオフ不良が発生している。後述するNイオン注入層の電流ブロック層としての評価結果から、ソースからNイオン注入層を通して下層のアンドープのn型層にそして再びNイオン注入層を通してドレインに流れ込む電子が存在するためと推測している。

次に簡易型の横型MOSトランジスタのソース-ドレイン領域を接地(0 Vに固定)してn型基板裏面に正の電圧を加えて、電子がソース、ドレイン領域からn⁺基板へ流れ込む電流をNイオン注入層が阻止する電流ブロック効果を評価した(図3-(1)-10)。図3-(1)-11に各Nイオン注入エネルギーと活性化熱処理温度で形成したNイオン注入層を通して流れるリーク電流のバックゲート電圧依存性を示す。高い注入エネルギー(500 keV, 0.7 μm 深さ)で低温(900°C)熱処理品が正の印可電圧に対してリーク電流が飽和する電流ブロック効果があった。しかしながら第1回目の試作では200 V印可時の漏れ電流は1 $\times 10^{-2}$ A/ cm^2 と中間評価時の目標値の<1 $\times 10^{-3}$ A/ cm^2 に届かなかった。

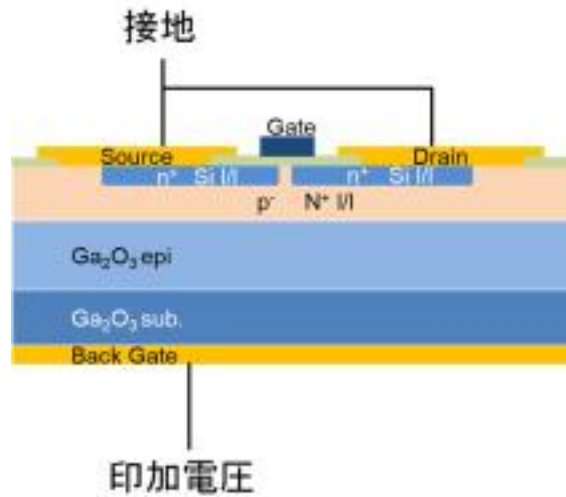


図 3-(1)-10 N イオン注入層の電流ブロック効果
計測配線図

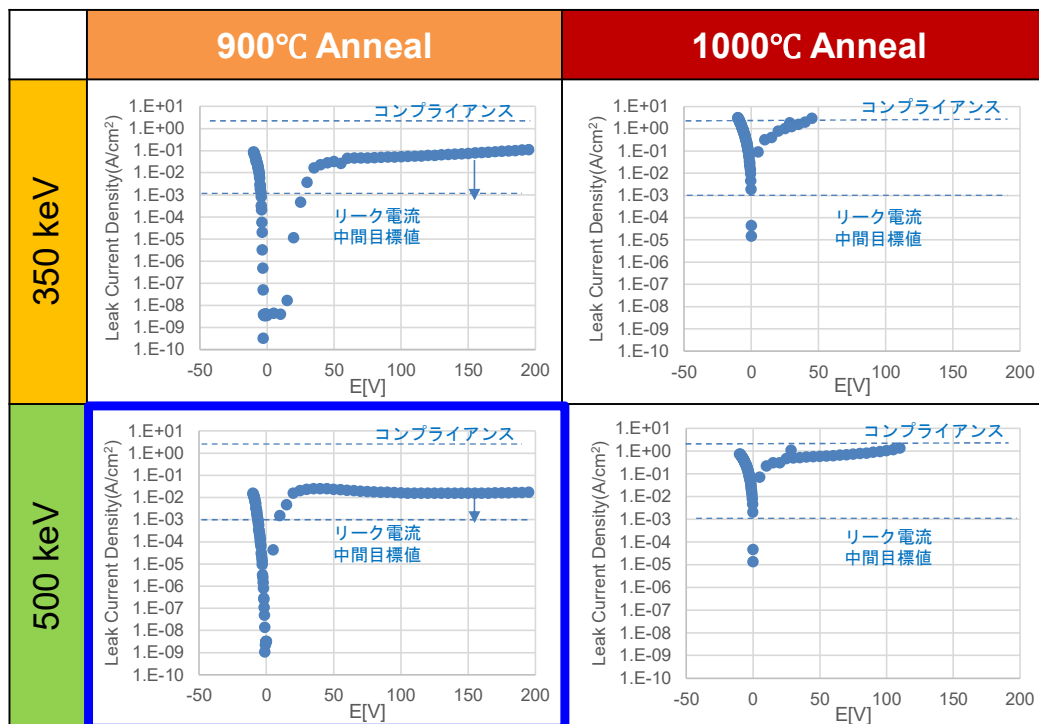


図 3-(1)-11 リーク電流のバックゲート電圧特性

(1) - 3 Nドーピングウエルの電流ブロック特性の改善(1) ドーピングN濃度とドーピング深さの検討

ウエルのNドーピング濃度($1 \times 10^{18} \text{ cm}^{-3}$ 台)、注入深さを調整することにより電流ブロック特性を改善して中間評価時の目標値200 V印可時に漏れ電流値 $1 \times 10^{-3}/\text{cm}^2$ 以下を令和3年度に実現した。

電流ブロック特性の検討に用いた評価TEGの断面構造及び平面レイアウト図を図3-(1)-14に示す。n型 $\beta\text{-Ga}_2\text{O}_3$ (001)基板上にハライド気相成長(HVPE)法を用いて形成したエピタキシャル層(ドナー濃度 $2.0 \times 10^{16} \text{ cm}^{-3}$ 、膜厚 $12 \mu\text{m}$)の全面に電流ブロック層としてNのイオン注入(濃度 $1.0 \times 10^{18} \text{ cm}^{-3}$ 台)と熱処理(酸素雰囲気中、 900°C)、 n^+ コンタクト領域にSiのイオン注入(濃度 $2 \times 10^{19} \text{ cm}^{-3}$ 、深さ $0.1 \mu\text{m}$)と熱処理(窒素雰囲気中、 900°C)を順次行い、電流ブロック層へのコンタクト電極としてNi/Au、 n^+ 層へのコンタクト電極、ウエハ裏面のバック電極としてTi/Auを形成して作製した。評価には n^+ 注入層の直径が $300 \mu\text{m}$ のTEGを用いた。

電流ブロック層のN濃度プロファイルは、深さ方向にN濃度が一定であるボックス型プロファイルとした。実験では深さを固定してN濃度を検討する水準(表3-(1)-3)、N濃度を固定して注入深さを検討する水準(表3-(1)-4)を検討した。令和3年度試作したプロファイル N濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、 $0.75 \mu\text{m}$ を基準として、電流ブロック性能を高めるため、N濃度に関してはN濃度を3、6倍に高めたもの、N注入深さに関しては注入深さを 1.0 、 $1.5 \mu\text{m}$ と深くしたサンプルを作製して評価した。

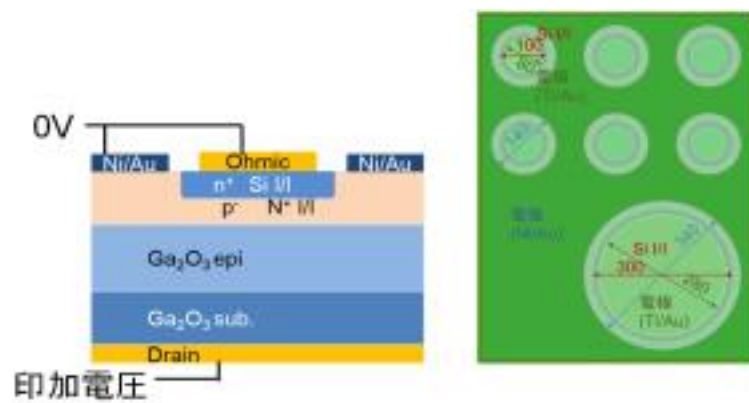


図 3-(1)-14 電流ブロック特性評価 TEG の断面図、平面レイアウト図

表 3-(1)-3 N 濃度依存性検討の水準表

No.	Nイオン注入 エネルギー(keV)	Nイオン 注入深さ(μm)	N濃度 (cm^{-3})
1	500	0.75	1.0×10^{18}
2	500	0.75	3.0×10^{18}
3	500	0.75	6.0×10^{18}

表 3-(1)-4 N イオン注入深さ(エネルギー)依存性検討の水準表

No.	Nイオン注入 エネルギー(keV)	Nイオン 注入深さ(μm)	N濃度 (cm^{-3})
1	500	0.75	1.0×10^{18}
2	800	1.00	1.0×10^{18}
3	1800	1.50	1.0×10^{18}

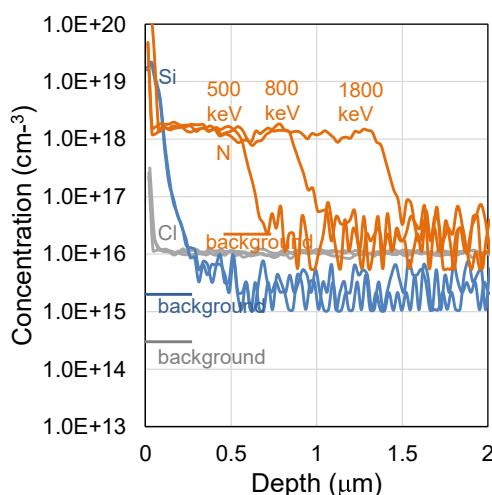


図 3-(1)-15 SIMS プロファイル(N イオン注入深さ(エネルギー)依存性)

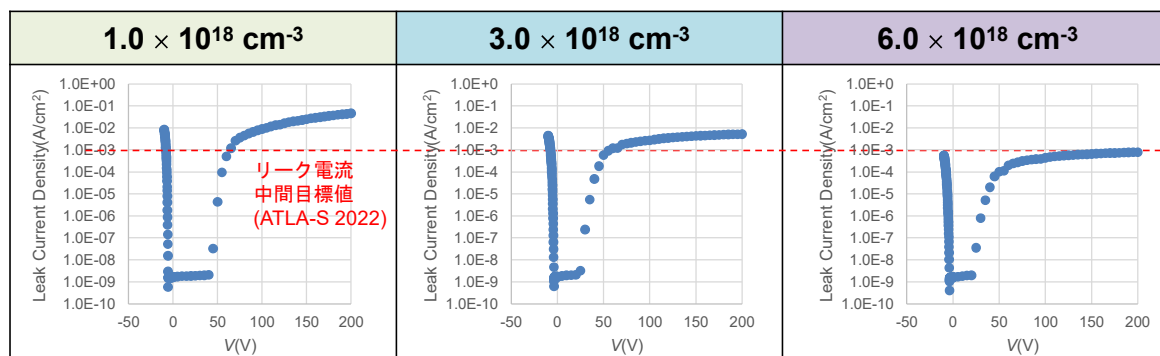


図 3-(1)-16 電流ブロック特性の N 濃度依存性(N 注入イオンエネルギー500 keV 一定)

図3-(1)-15に試作したNイオン注入深さ依存性サンプルのSIMS分析結果を示す。N注入、熱処理後もほぼ狙いの深さ方向分布が得られていることを確認した。

図3-(1)-16にN濃度を令和3年度 $1 \times 10^{18} \text{ cm}^{-3}$ から3倍、6倍と高めた電流ブロック層のリーク電流-印可電圧特性を示す。令和3年度のN濃度では縦型パワートランジスタのオフ電流として必要となる中間目標のリーク電流値 $1 \times 10^{-3} \text{ A/cm}^2$ 以下を実現できなかったが、N濃度を増やすに従って、リーク電流は減少してN濃度 $6 \times 10^{18} \text{ cm}^{-3}$ のTEGでは印可電圧200 V時のリーク電流は $8 \times 10^{-4} \text{ A/cm}^2$ となり、中間目標値 $1 \times 10^{-3} \text{ A/cm}^2$ 以下を実現した。

図3-(1)-17にN濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 一定として、N注入深さ(注入エネルギー値)を令和3年度の $0.75 \mu\text{m}$ (500 keV)から $1.0 \mu\text{m}$ (800 keV)、 $1.5 \mu\text{m}$ (1800 keV)と深くした電流ブロック層のリーク電流-印可電圧特性を示す。N注入深さ $0.75 \mu\text{m}$ (500 keV)ではリーク電流は中間目標値 $1 \times 10^{-3} \text{ A/cm}^2$ を超えてしまったが、同じN濃度でも注入深さ(注入エネルギー値)を増すに従ってリーク電流は低減して注入深さ $1.5 \mu\text{m}$ (1800 keV)のTEGでは印可電圧200 V時のリーク電流は $3.4 \times 10^{-4} \text{ A/cm}^2$ となり、中間目標値 $1 \times 10^{-3} \text{ A/cm}^2$ 以下を実現した。

図3-(1)-18、図3-(1)-19にリーク電流のN濃度依存性、Nイオン注入深さ依存性の検討結果をまとめる。電流ブロック層の高N濃度化あるいは電流ブロック層の厚膜化により電流ブロック層のリーク電流を中間目標値($1 \times 10^{-3} \text{ A/cm}^2@200 \text{ V}$)以下に低減することができた。

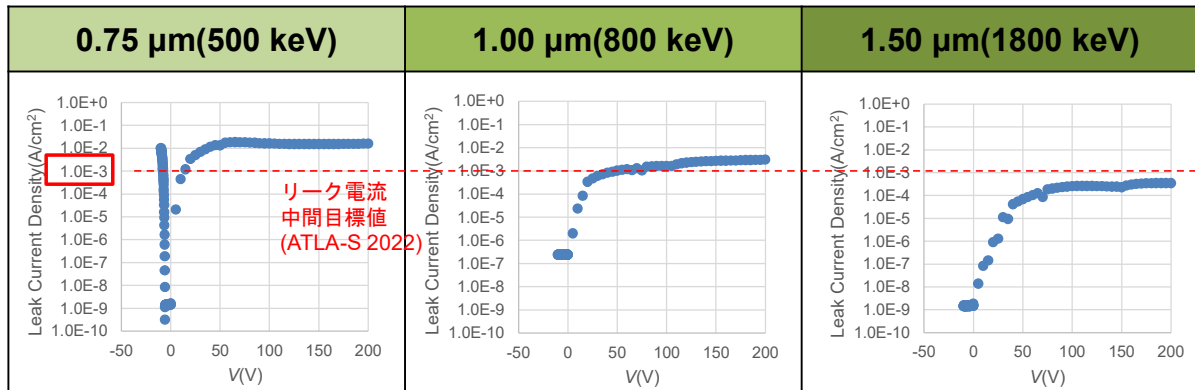


図 3-(1)-17 電流ブロック特性の N イオン注入深さ(注入エネルギー値)依存性

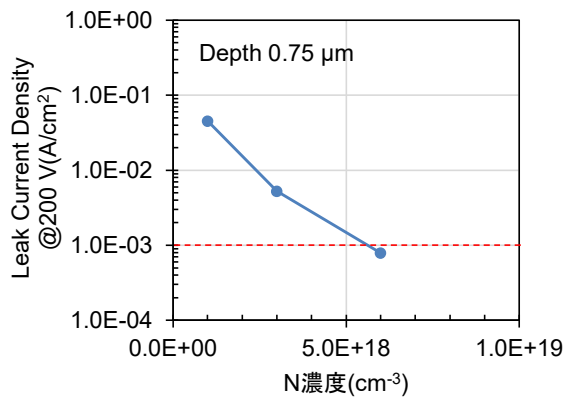


図 3-(1)-18 リーク電流の N 注入濃度依存性

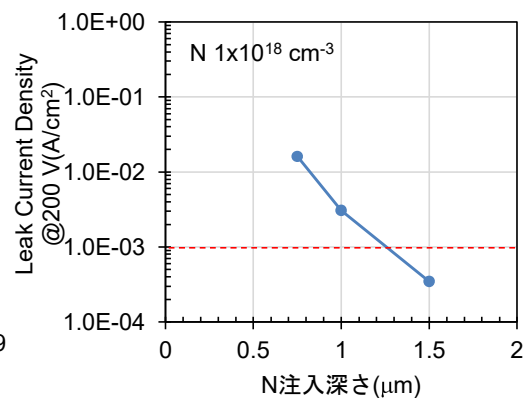
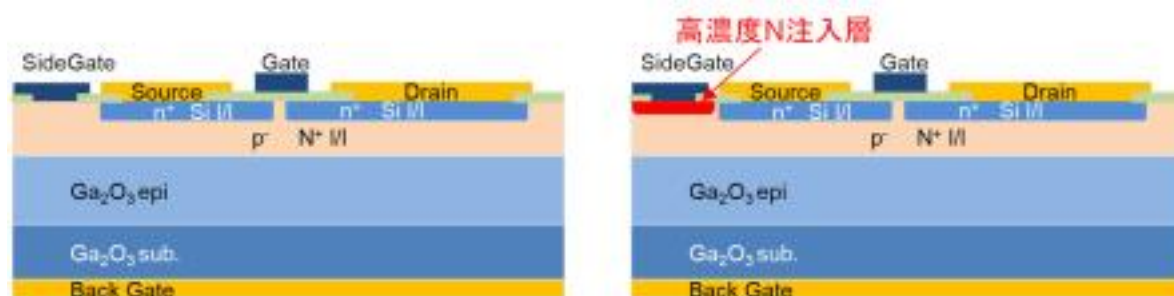


図 3-(1)-19 リーク電流の N 注入深さ依存性

併せてアクセプタ不純物ドーピング層の電位固定の検討も行った。N注入層の電位固定に関して、図3-(1)-20に示すサイドゲート付き簡易型の横型MOSトランジスタ構造を作製して評価した。サイドゲート電圧に依存したしきい値電圧の変調は観察されず、サイドゲート電極によるN注入層の電位固定効果は確認できなかった。



(a) 初期検討構造

(b) 高濃度 N 注入層付検討構造

図 3-(1)-20 サイドゲート付き簡易型の横型 MOS トランジスタの断面構造図

(1) - 3 Nドーピング層の電流ブロック特性の改善(2) 活性化熱処理温度、雰囲気依存性

電流ブロック特性の更なる改善を目的として活性化熱処理の温度(800~1100℃)、雰囲気(酸素、窒素)依存性を評価して検討した。従来温度(900℃)より低温側(800℃)でNドーピング層の電流ブロック特性が向上し、高温側(1000、1100℃)で期待に反して電流ブロック特性が悪化することがわかった。また、熱処理雰囲気としては従来の酸素雰囲気が、新規に検討した窒素雰囲気より電流ブロック特性が優れていることも確認した。さらに、4インチウエハを用いた大電流トランジスタ作製に対応した外部ファンダリ的大型熱処理装置においても、Nドーピング層の電流ブロック特性は、活性化熱処理の最高温度に対して定性的に同じ傾向を示すことを確認した。本プロセス条件を用い、実施項目(4)トランジスタの試作・評価にて大電流MOSトランジスタを作製した。

アクセプタ不純物窒素(N)をドーピングした層の活性化熱処理条件の検討は、小片ウエハを用いて行った。検討には電流ブロック特性評価TEGと簡易型の横型MOSトランジスタ特性評価TEGを用いた。両評価TEGの作製工程を図3-(1)-21に示す。表3-(1)-5にイオン注入後の活性化熱処理条件(雰囲気と温度)、活性化熱処理後に行うゲート絶縁膜SiO₂成膜後の熱処理(PDA)条件(温度と処理時間)を示す。これまでの標準条件である酸素雰囲気中、900℃、30分を標準条件(水準2)として、温度の下限、上限を、また熱処理中の雰囲気の影響を、評価TEGを用いて調べた。温度の下限としてイオン注入ダメージの回復に必要な温度800℃²⁾、温度の上限として酸素雰囲気の熱処理でドナー濃度の減少が発生する温度1100℃を想定して検討した。またウエル層形成後のゲート絶縁膜SiO₂の熱処理条件として標準の800℃、10分に加えてMOSゲートの不安定性(ヒステリシス特性)が改善する1000℃、60分(水準3)もプロセス検討条件に加えて電流ブロック特性に与える影響を調べた。

Nドーピング層を評価したTEGの断面構造図を図3-(1)-22(a)、(b)に示す。図3-(1)-22(a)は電流ブロック特性を評価するTEGで、電流ブロック層の縦方向のリーク電流を直接評価するために用いた。TEGはSiイオン注入(Si濃度 $5 \times 10^{19} \text{ cm}^{-3}$ 、注入深さ0.1 μm)で形成したn型層上にTi/Auでオーミックコンタクトを形成、N不純物注入層(N濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、深さ1.5 μm)上には、仕事関数の大きなNi/Au電極を形成、裏面のn型基板面にはTi/Auのオーミック電極を形成した。図3-(1)-22(b)はトランジスタ特性評価するTEGで、電流ブロック層のリーク電流がトランジスタのピンチオフ特性に与える影響を評価するために用いた。TEGはTi/Auのソース、ドレイン電極、ゲート絶縁膜SiO₂とNi/Auのゲート電極を有している。

各活性化熱処理条件で作製した電流ブロック評価TEGの電流ブロック特性を図3-(1)-23に示す。青枠の条件は、リーク電流が中間目標値($<1 \times 10^{-3} / \text{cm}^2 @ 200 \text{ V}$)を満たす条件、赤枠はリーク電流

が中間目標値を満たさない条件を表す。従来条件の酸素雰囲気中900℃の熱処理に比較して、800℃まで低温化するとリーク電流が一桁低減し、1000℃、1100℃と高温化するとリーク電流は一桁増加した。活性化熱処理温度の高温化によりイオン注入ダメージが回復して、電流ブロック特性が向上してリーク電流が低減することを期待したが、期待と逆の結果となった。電流ブロックにはアクセプタ不純物Nのみでなく、イオン注入による欠陥の複合体が関与している可能性があり、今後の解析が重要となると考えている。また従来の酸素雰囲気より窒素雰囲気の熱処理の方が、リーク電流が大きい傾向が見られた。雰囲気依存性も電流ブロックのメカニズム解明には有用な情報と考えている。

同一ウェハ上に一緒に作製した簡易型の横型MOSトランジスタのドレイン電流-ドレイン電圧特性も評価した(図3-(1)-24)。従来条件(酸素雰囲気中、900℃)に比較して電流ブロック特性が悪化する高温熱処理、窒素雰囲気中の熱処理ではゲート電圧が0 Vでもドレイン電圧の上昇共にドレイン電流が流れ始める現象が観察された(赤枠の条件)。これはMOSチャネルには電流が流れない状態で、電子がソース電極からn型Ga₂O₃層、Nイオン注入層を通して下層のn型エピタキシャル層に流れ込み、n型エピタキシャル層から、上層のNイオン注入層を通してn型Ga₂O₃層からドレイン電極へ流れ込むためと推定している。トランジスタ特性からも熱処理温度の低温化が電流ブロック特性改善に有効であることが確認できた。

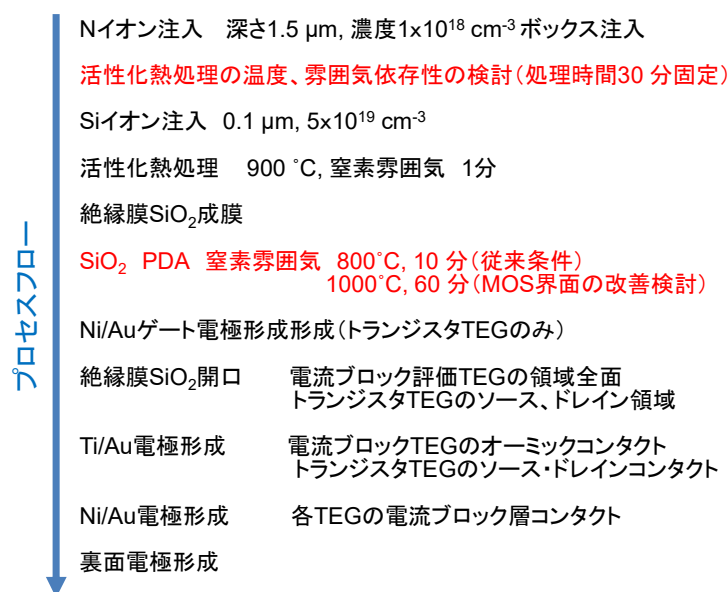


図 3-(1)-21 電流ブロック評価 TEG、トランジスタ TEG の作成工程

表 3-(1)-5 窒素(N)イオン注入層の活性化熱処理条件検討

水準 No.	Nイオン注入後 活性化熱処理(30分)		SiO ₂ PDA (N ₂ 雰囲気)		ねらい
	雰囲気	温度(°C)	温度(°C)	時間(分)	
1	O ₂	800	800	10	温度下限の確認
2	O ₂	900	800	10	従来試作の標準条件(ref.)
3	O ₂	900	1000	60	MOSゲートのヒステリ低減
4	O ₂	1000	800	10	1次試作の再現性(リーク大)
5	O ₂	1100	800	10	温度上限の確認
6	N ₂	900	800	10	N ₂ への切り替え検討
7	N ₂	1000	800	10	
8	N ₂	1100	800	10	

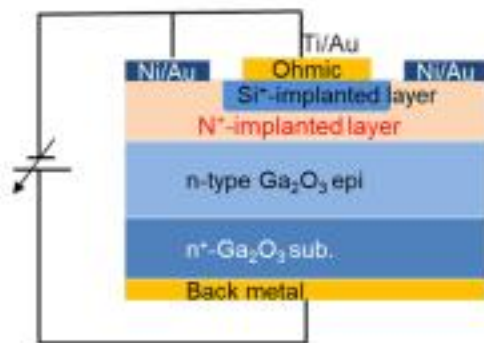


図 3-(1)-22(a)
電流ブロック特性評価 TEG

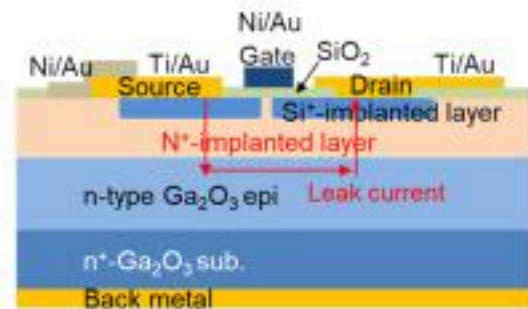


図 3-(1)-22(b)
トランジスタ特性評価 TEG

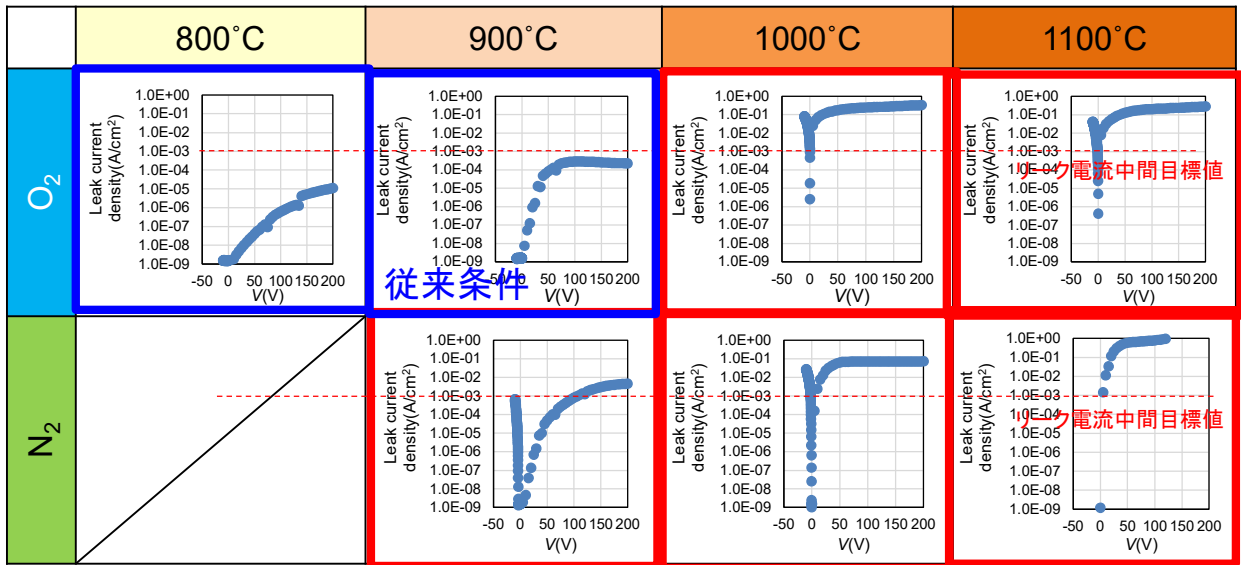


図 3-(1)-23 各活性化熱処理条件により作製した電流ブロック評価 TEG のリーク電流特性

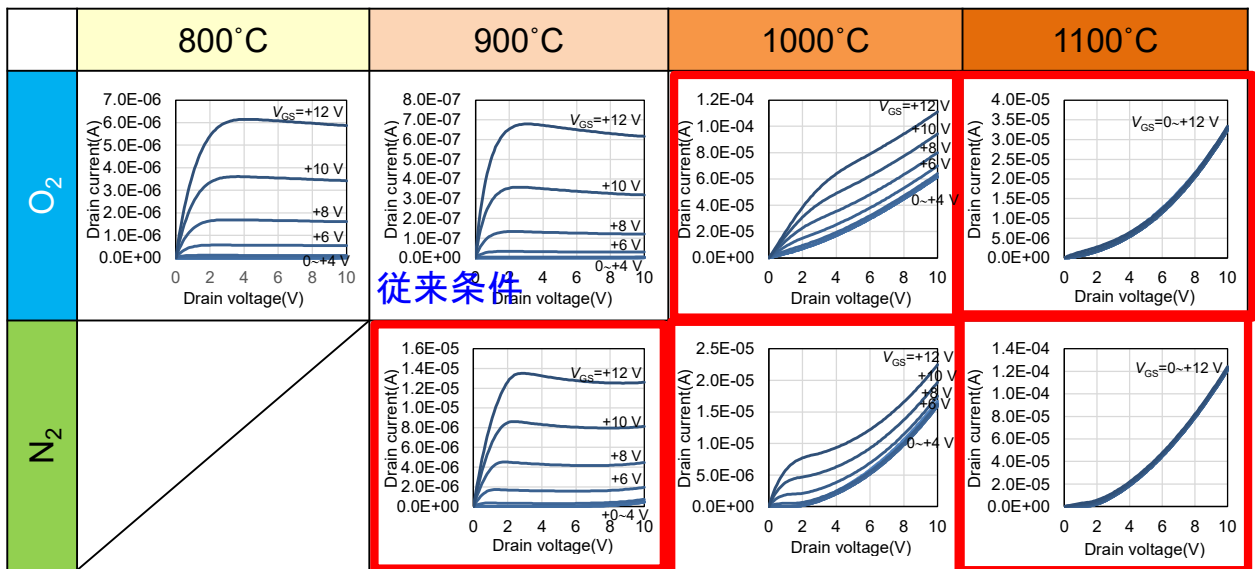


図 3-(1)-24 各活性化熱処理条件で作製した横型 MOS トランジスタのドレイン電流-ドレイン電圧特性

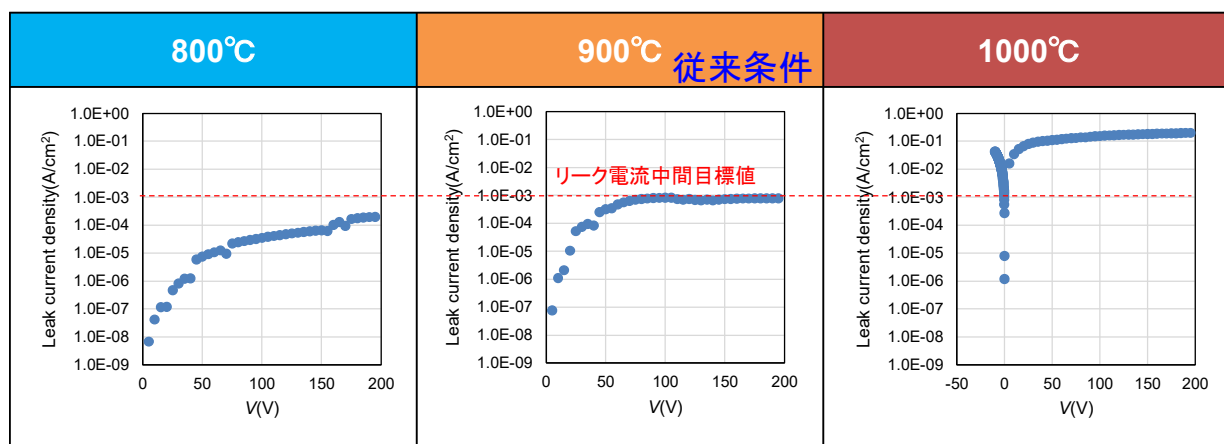


図 3-(1)-25 4 インチライン大型熱処理装置を用いて試作した TEG の電流ブロック特性の熱処理温度依存性

並行して、アンペア級の大型素子作製の試作、また将来の量産化の検討のため外注先の4インチラインプロセスの構築を進めた。アクセプタ不純物のドーピング制御工程に関しては、従来の研究用小型ランプ加熱装置に比較して、昇温、降温に長い時間がかかる4インチラインの大型熱処理装置が適用可能か検討した。図3-(1)-25に4インチラインで試作した電流ブロック評価TEGの電流ブロック特性の熱処理温度依存性を示す。研究用小型ランプ加熱装置と定性的に同じ熱処理温度依存性を得た。この結果から電流ブロック特性は主に熱処理温度で決まり、昇温、降温時間には大きく影響されないことがわかった。外注4インチラインでのN注入の活性化熱処理温度の候補としてリーク電流の中間目標値を実現する800、900℃を選びアンペア級MOSトランジスタプロセスへ適用した。

(1) - 4 Nドーピングエピタキシャル層の検討

イオン注入ダメージの無いHVPE成長によるNドーピングエピタキシャル層形成に関しても検討した。図3-(1)-26にSIMS分析で求めたドナー不純物であるCl濃度と深いアクセプタ不純物であるN濃度の成長条件依存性、図3-(1)-27にSIMS分析で求めた不純物の深さ方向分布を示す。成長時のGaCl分圧を下げることにより、しきい値電圧3 V以上を実現するために必要と考えている 10^{17} 台のNドーピングを実現した。Nドーピングエピタキシャル層を用いてトレンチMOSトランジスタの試作を行いイオン注入ダメージの無いNドーピング層に期待するMOSチャネルの高い移動度を確認した。トレンチMOSトランジスタの詳細評価結果は次節で説明する。

ここまでの開発結果を実施項目(4)トランジスタの試作・評価へ適用し、最終目標値の達成を目指した。詳細は実施項目(4)にて述べる。

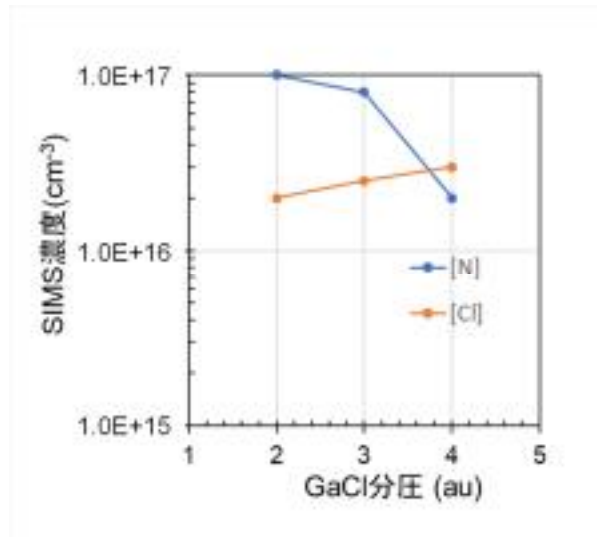


図 3-(1)-26 Ga_2O_3 エピタキシャル層の N, Cl 濃度の成長条件依存性

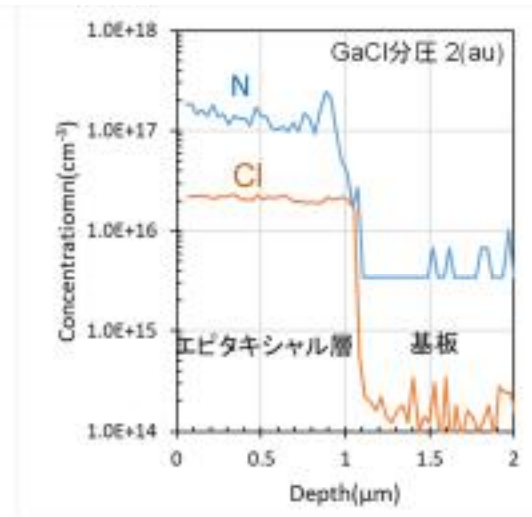


図 3-(1)-27 Ga_2O_3 エピタキシャル層 (GaCl 分圧 (au) 2) の N, Cl 濃度の深さ方向分布

3-(1) 参考文献

- 1) M. Wong et al., APL113, 102103 (2018)
- 2) K. Sasaki et al., "Si-Ion Implantation Doping in $\beta\text{-Ga}_2\text{O}_3$ and Its Application to Fabrication of Low-Resistance Ohmic Contacts" Applied Physics Express 6 (2013) 086502

(2) 絶縁膜/酸化ガリウム(Ga_2O_3)界面制御

要約

反転 MOS チャネル型酸化ガリウムトランジスタを実現するためには、しきい値電圧、チャネル抵抗、ゲートの信頼性に大きな影響を与える MOS 界面の制御技術が重要となる。

本実施項目では、最初にゲート絶縁膜に関して Al_2O_3 、 SiO_2 を、プロセス条件に関して成膜前処理、成膜方式、成膜後の熱処理 (PDA) を、MOS キャパシタ構造を用いて検討した。ウエルのリーク電流が増加しない熱処理温度 800–900°C の PDA 条件において Al_2O_3 、 SiO_2 とも良好な MOS 界面特性を示した。しかしながら、MOS キャパシタの容量-電圧特性に 1~3 V の初期変動が見られ、時定数の長い、MOS 界面近傍の電子トラップが存在していることが示された。追加の検討でこの初期変動は、PDA 温度を 1000°C まで上げると解決できることを確認した。しかしながら、1000°C の熱処理は、N ドープウエルのリーク電流が増加するため、現在の MOS トランジスタ作製プロセスには適用できない。初期変動の抑制は今後の課題として残っている。

次に絶縁膜/酸化ガリウム界面の特性を反転 MOS 型トランジスタの MOS チャネル移動度から評価した。N イオン注入で形成したウエルを有する横型の反転 MOS 型トランジスタでは電界効果移動度 50 cm^2/Vs 、N ドープエピタキシャル層をウエルとして用いた縦型の反転 MOS 型トランジスタでは電界効果移動度 100 cm^2/Vs を確認した。MOS チャネル移動度としては期待以上の良好な初期評価結果を得た。MOS チャネルの抵抗がトランジスタ抵抗の半分近くを占める 600–1200 V 耐圧用のトランジスタにおいても Ga_2O_3 の特徴を生かした低損失化が期待できる。

(2)-1 MOSキャパシタ構造を用いた評価

MOSキャパシタ構造を用いてゲート絶縁膜 Al_2O_3 、 SiO_2 に関して、成膜前処理、成膜方式、成膜後の熱処理 (PDA) がMOS界面に及ぼす影響を検討した。成膜方式としてはサーマル原子層成膜 (ALD) 方式とプラズマALD方式、PDAに関してはNドープウエルのリーク電流が増加しない熱処理温度範囲 800–900°C を中心に検討した。800–900°C の熱処理条件においてMOSキャパシタの容量-電圧特性は Al_2O_3 、 SiO_2 ともに良好なMOS界面特性を示した。しかしながら、容量-電圧特性に1~3 Vの初期変動が見られた。MOS界面準位は低いものの、MOS界面近傍に時定数の長い、電子トラップが存在していると推測している。この初期変動は、PDA温度を1000°Cまで上げることで抑制できることも確認した。1000°Cの熱処理工程は、MOSトランジスタのNドープウエルのリーク電流が増加するため、現状ではMOSトランジスタ作製工程に適用できない。容量-電圧特性における初期変動の抑制 (MOS 界面近傍の電子トラップ低減) は今後の課題である。

図3-(2)-1に評価に用いたMOSキャパシタ構造断面図を示す。評価試料は、酸化ガリウムエピタキシャル層上にサーマルALD装置、プラズマALD装置で Al_2O_3 膜、 SiO_2 膜を20 nm成膜して、成膜後の

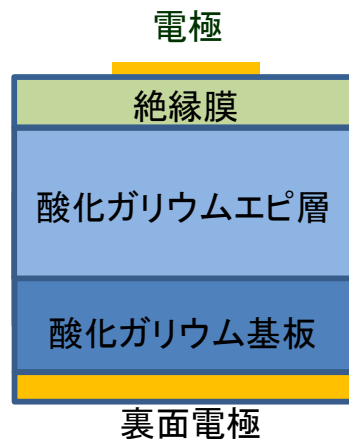
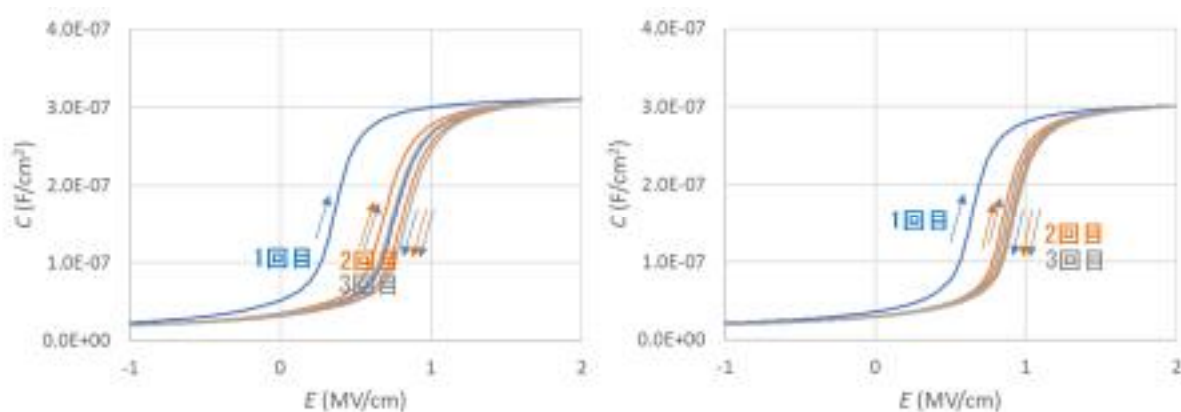


図 3-(2)-1 MOS キャパシタ構造断面図

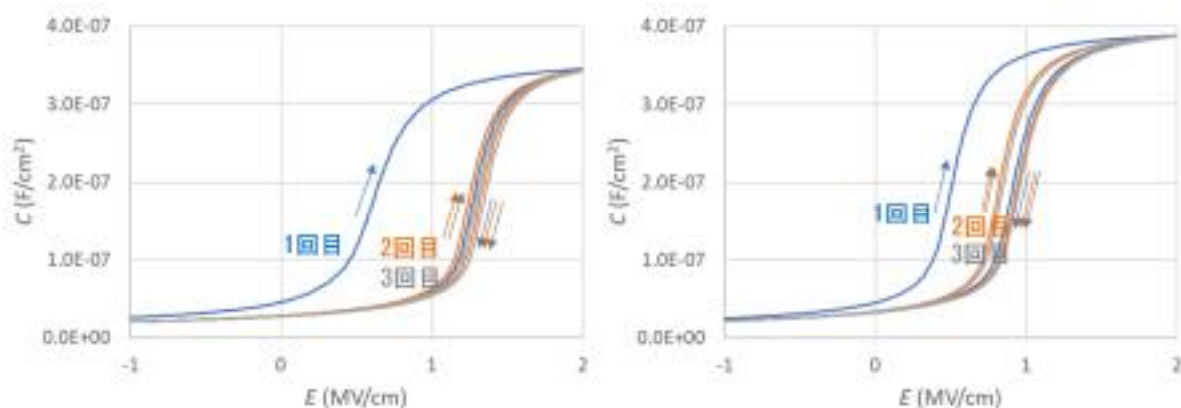
熱処理を（無し、あるいは450-900℃・10分間）実施後、電極を形成して評価した。コンタクトのため裏面の n^+ 基板にも電極を形成した。それぞれのALD方式の成膜条件は、各方式の標準条件を用いた。

図3-(2)-2に各ALD方式で Al_2O_3 を成膜したMOSキャパシタ素子の容量-電圧特性を示す。(a), (c)はALD成膜後に熱処理を行わず作製したMOSキャパシタ、(b), (d)は成膜後に熱処理を行って作製したMOSキャパシタである。両者とも1回目の測定の際に大きな時計回りのヒステリシスを示し、2回目以降の測定でヒステリシスは小さくなり素子特性は安定する。この現象は、最初の掃引でMOS界面の深い準位、あるいはMOS界面付近の絶縁膜中のトラップに電子が捕獲され、放出に数日程度の長い時間を要するため、捕獲電荷量に相当する電圧分特性がシフトして発生したと推測している。熱処理により、ヒステリシス幅が低減し、容量-電圧特性の曲線も理想曲線に近い波形となり界面準位も低減したが、ゲート絶縁膜としての長期の信頼性を確保するためには、さらなるMOS界面の改善が必要であると考えている。



(a) サーマル ALD 成膜、熱処理無し

(b) サーマル ALD 成膜、450℃熱処理



(c) プラズマ ALD 成膜、熱処理無し

(d) プラズマ ALD 成膜、750℃熱処理

図 3-(2)-2 各 ALD 方式で成膜、熱処理した Al_2O_3 MOS キャパシタの容量-電圧特性

次にALD成膜後の熱処理がMOSキャパシタ素子の電流-電圧特性に与える影響を調べた。図3-(2)-3に各ALD方式で Al_2O_3 を成膜したMOSキャパシタ素子の電流-電圧特性を示す。サーマルALD方式で作製したMOSキャパシタは、成膜後に熱処理を行うと、図3-(2)-2(b)示すようにMOS界面特性は良くなるが、図3-(2)-3(b)に示すようにリーク電流が増加することがわかった。一方、プラズマALD方式で作製したMOSキャパシタは、成膜後に熱処理を行うと、図3-(2)-2(d)示すようにMOS界面特性は良くなりかつ図3-(2)-3(d)に示すようリーク電流の増加がないことがわかった。ALD方式の成膜温度は200-300℃と低温のため、プラズマALD方式ではプラズマ励起により成膜時の反応が促進され高品質な Al_2O_3 絶縁膜が成膜されていると推測している。ゲートリーク電流が低いことはデバイスの信頼性に重要であり、ゲート絶縁膜用 Al_2O_3 成膜にはプラズマALD方式が有望であることがわかった。

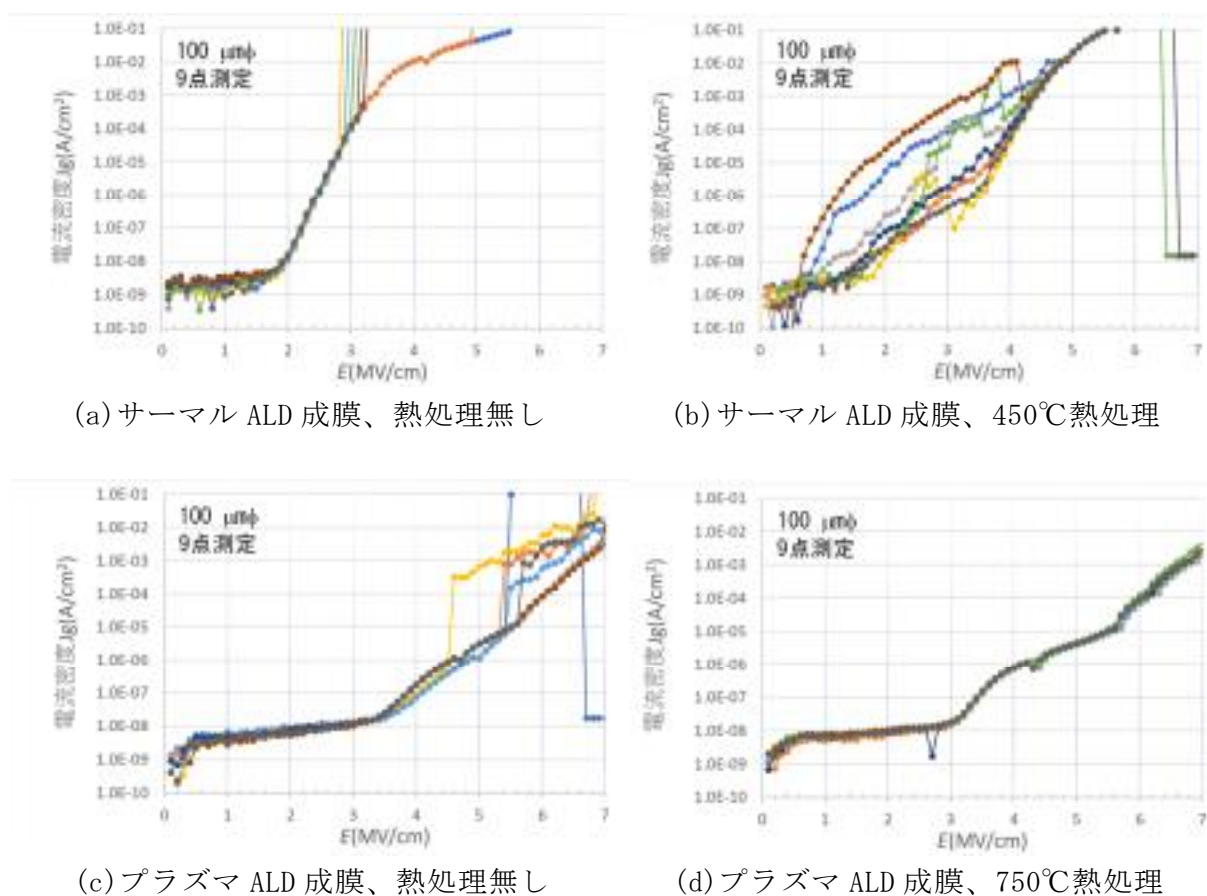
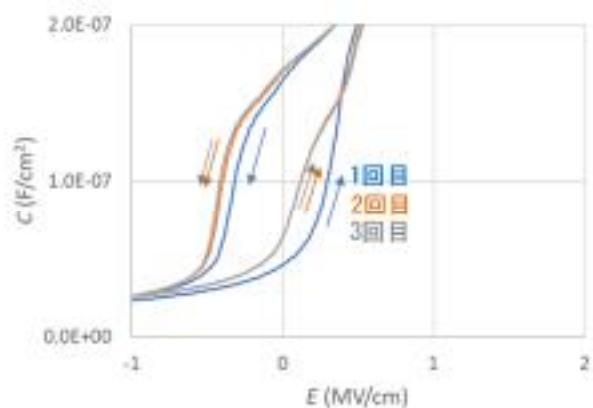


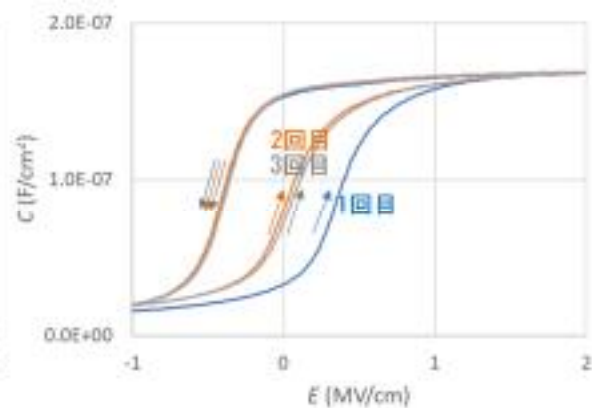
図 3-(2)-3 各 ALD 方式で成膜、熱処理した Al_2O_3 MOS キャパシタの電流-電圧特性

図3-(2)-4に各ALD方式でSiO₂を成膜したMOSキャパシタの容量-電圧特性を示す。SiO₂はバンドギャップが大きく、ゲート絶縁膜の有力候補である。(a), (c)はALD成膜後に熱処理を行わず作製したMOSキャパシタ、(b), (d)は成膜後に熱処理を行って作製したMOSキャパシタである。Al₂O₃絶縁膜と異なり、SiO₂絶縁膜では、すべてのMOSキャパシタで反時計回りの大きなヒステリシスが観測され、2回目以降の繰り返し測定でもヒステリシスが改善しなかった。

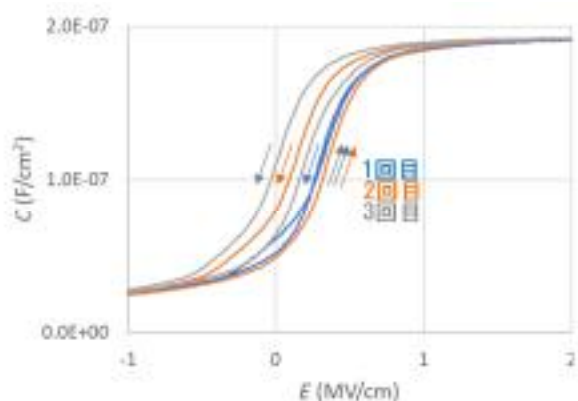
反時計回りのヒステリシス特性は、絶縁膜中をプラスイオン(Na等)が原因と考えて対策を検討した。まず、Ga₂O₃ウエハの前処理洗浄時のNa、K系の金属汚染を疑い、ウエハ洗浄治具をHCl系の酸洗浄を行い、MOSキャパシタを作製して検証した。図3-(2)-5に検討結果を示す。



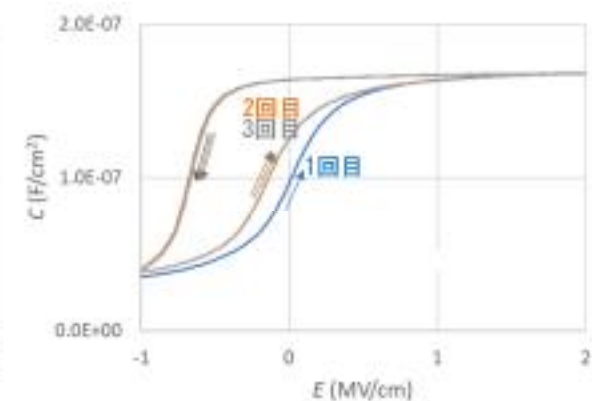
(a) サーマル ALD 成膜、熱処理無し



(b) サーマル ALD 成膜、900℃熱処理



(c) プラズマ ALD 成膜、熱処理無し

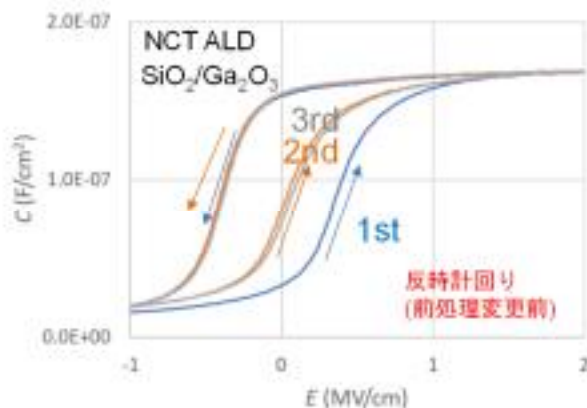


(d) プラズマ ALD 成膜、900℃熱処理

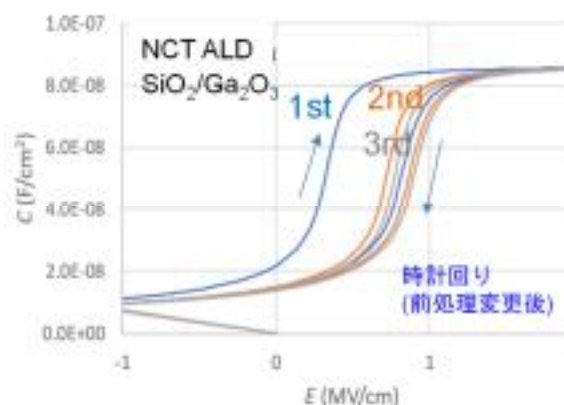
図 3-(2)-4 各 ALD 方式で成膜、熱処理した SiO₂ MOS キャパシタの容量-電圧特性

試作開始時にウェハ洗浄治具の金属汚染除去の酸洗浄を行えば、金属汚染を示す反時計回りのヒステリシスは発生しないことがわかった。以降の検討では SiO_2 成膜前に専用のウェハ洗浄治具を用意して金属汚染除去の酸洗浄を行うこととした。

次に各ALD方式で SiO_2 を成膜したMOSキャパシタ素子の電流-電圧特性を調べた(図3-(2)-6)。 Al_2O_3 絶縁膜と異なり、 SiO_2 絶縁膜に関しては成膜方式を問わず、リーク電流を低減するために成膜後の高温熱処理(450, 900℃)が必要であることが分かった。

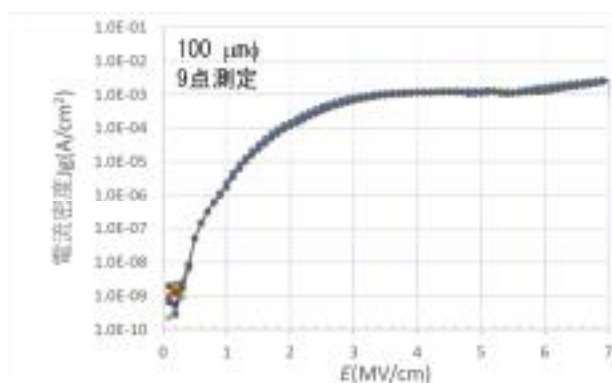


(a) 従来前処理

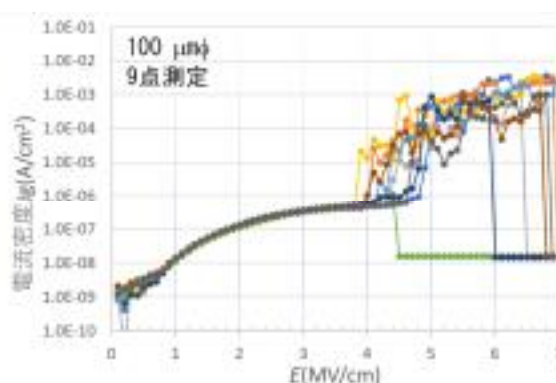


(b) 改善前処理

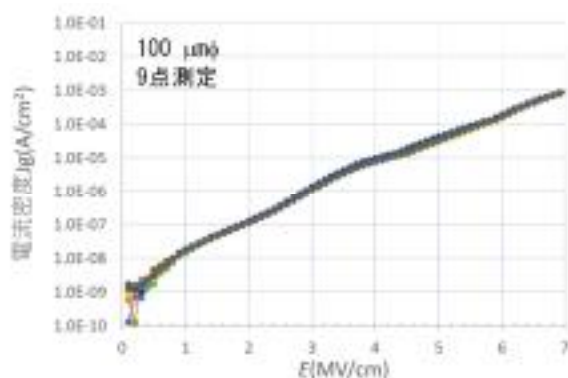
図 3-(2)-5 サーマル ALD SiO_2 膜を用いた MOS キャパシタの容量-電圧特性の成膜前処理依存性



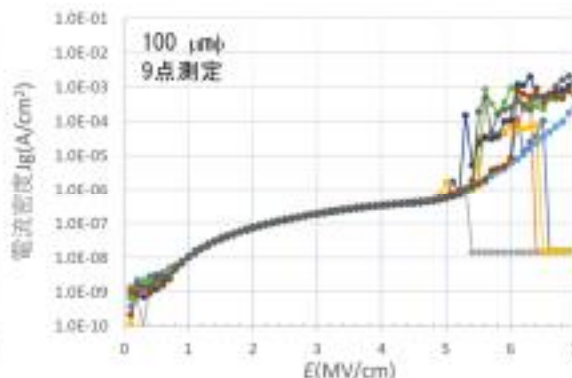
(a) サーマル ALD 成膜、熱処理無し



(b) サーマル ALD 成膜、450℃熱処理



(c) プラズマ ALD 成膜、熱処理無し



(d) プラズマ ALD 成膜、900℃熱処理

図 3-(2)-6 各 ALD 方式で成膜、熱処理した SiO_2 MOS キャパシタの電流-電圧特性

MOSキャパシタ構造の評価で明らかとなった容量-電圧特性の初期変動(ヒステリシス)の低減に関して、原因と考えられているMOS界面付近の電子トラップ低減を目的として、絶縁膜形成の前処理条件、成膜条件、成膜後の熱処理条件を検討した。ヒステリシスの低減には絶縁膜成膜後の熱処理、特に温度と時間が重要であることがわかった。図3-(2)-7に評価TEGの容量-電圧特性を示す。従来の熱処理条件(N₂雰囲気、800℃、10分)では、前処理、原子層成膜法(ALD)の成膜条件を検討しても改善は見られなかった。一方、酸素(O₂)雰囲気中1000℃、60分の熱処理では、東大が電子ビーム蒸着法で成膜したSiO₂報告している結果²⁾と同様に大幅なヒステリシス低減が実現できた。しかしながらドナー濃度も不活性化して低下する現象も見られた(図3-(2)-18)。このままではトランジスタの抵抗が高くなってしまいデバイス作製工程に適用できない。そこでO₂雰囲気と熱処理温度、時間の効果を分離するため窒素(N₂)雰囲気中の熱処理も比較検討した。N₂雰囲気でもヒステリシスは大幅に低減することが確認でき、酸素雰囲気ではなく、熱処理温度と時間が重要であることがわかった。N₂雰囲気熱処理ではドナーの不活性化もないことが確認できた(図3-(2)-8)。

MOS界面特性の改善効果が確認された、成膜後SiO₂膜の1000℃熱処理のデバイス作製プロセスへの適用を検討した。Nイオン注入層の活性化熱処理温度900℃のウエハを用いてSiO₂成膜後の熱処理を従来の800℃、10分処理(表3-(1)-5、水準2)とMOS界面特性が改善する1000℃、60分処理(表3-(1)-5、水準3)で電流ブロック評価TEGを試作して評価した。図3-(2)-9に電流ブロック特性を示す。MOS界面特性が改善するSiO₂成膜後の高温熱処理(1000℃、60分)によって、電流ブロック特性が大幅に悪化した。これはSiO₂成膜後の高温熱処理(1000℃、60分)によって、N注入ウエル層の電流ブロック特性が悪化したためと考えている。MOS界面特性を改善する熱処理温度の高温化と(1)項で説明した電流ブロック層を改善する熱処理温度の低温化とはトレードオフの関係にあることが明らかになった。MOS界面特性を改善するPDAとして900℃、60分でも不十分であることがMOSキャパシタのC-V特性から分かっており、今後の課題として、低い成膜後熱処理でも高品質SiO₂が得られるゲート絶縁膜の成膜方法、あるいは1000℃近い熱処理温度でも電流ブロック特性の劣化しないアクセプタ不純物のドーピング方法を開発する必要がある。

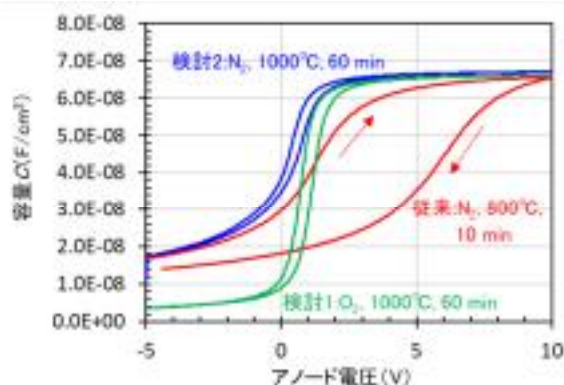


図 3-(2)-7 評価 TEG の容量-電圧特性

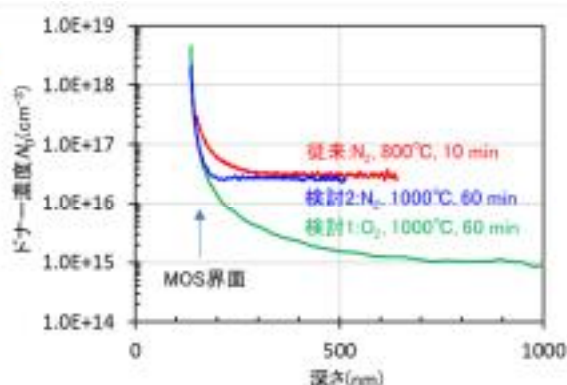


図 3-(2)-8 Ga₂O₃ エピ層のキャリア濃度

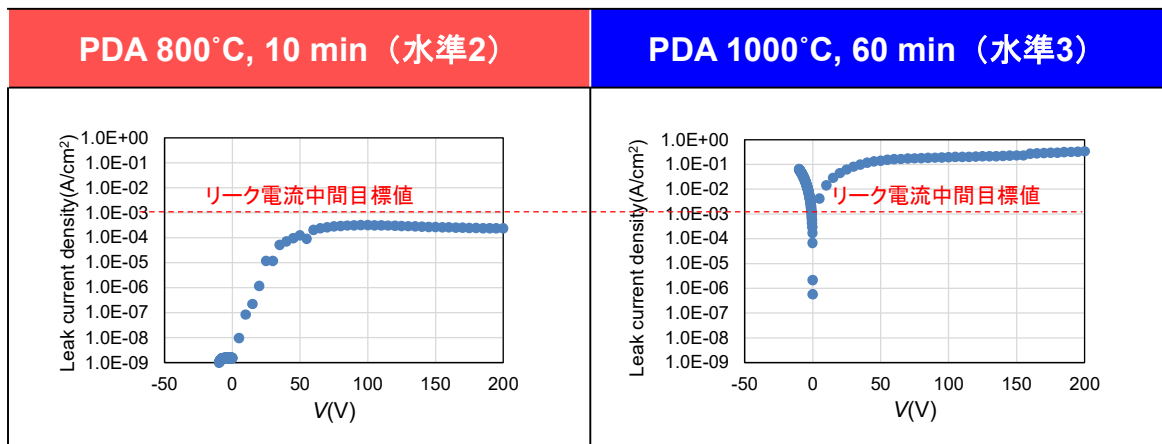


図 3-(2)-9 電流ブロック評価 TEG のリーク電流-電圧特性

参考文献

- 1) 応用物理 第89巻 第5 号 (2020) p265, 野口宗隆,
研究紹介 SiC-MOSFET のチャネル領域における電子散乱モデルと特性改善
- 2) 応用物理学会 2022年第83回応用物理学会秋季学術講演会 21p-M206-7喜多 浩之,
SiO₂/β-Ga₂O₃ MOS特性とその熱処理による変化

(2) - 2 反転チャネル型MOSトランジスタのMOSチャネル移動度評価

MOSトランジスタの特性として重要となる、MOSチャネル移動度を評価した。具体的には、Nイオン注入によって形成されるウエルのN濃度、N注入深さ(イオン注入エネルギー)、あるいは絶縁膜種(Al_2O_3 、 SiO_2)とMOSチャネル移動度の関係を調べた。ウエル中のアクセプタ不純物濃度を低減することにより、MOSチャネル移動度が向上する傾向が見られた。当初懸念した**MOSチャネルの移動度**に関しては期待以上の高い値 **$50 \text{ cm}^2/\text{Vs}$** を得て中間評価時の目標値 **$>10 \text{ cm}^2/\text{Vs}$** を達成した。さらにイオン注入に伴い発生する結晶欠陥によるMOSチャネル移動度低下の可能性に関する検証実験として、イオン注入ダメージの無いNドープエピタキシャル層をウエルに用いたトレンチMOSトランジスタ作製して、Nイオン注入ウエル(N濃度 $1 \times 10^{18} \text{ cm}^{-3}$)とNドープ(N濃度 $1 \times 10^{16} \text{ cm}^{-3}$)エピタキシャルウエルのMOSチャネル移動度を比較した。Nドープエピタキシャル層をウエルに用いたMOSチャネルは **$100 \text{ cm}^2/\text{Vs}$** と高い移動度を示した。高い移動度の要因に関しては、イオン注入ダメージの回避、低いN濃度、結晶面方位等の切り分けが十分でなく、今後解析を進める必要がある。

Nイオン注入により形成したウエル層を有するMOSチャネルの電界効果移動度を図3-(2)-10に示す横型長チャネルD-MOSトランジスタを作製して評価した。ゲート絶縁膜として Al_2O_3 あるいは SiO_2 を用いた。チャネル長は $100 \mu\text{m}$ 、Siイオン注入で形成したソース、ドレインの n^+ 領域はゲートのソース端、ドレイン端と重なっている。チャネルの移動度評価のため、チャネル抵抗が、ソースおよびドレイン電極の n^+ 層との接触抵抗、 n^+ 層のシート抵抗等の寄生抵抗より、十分大きくなるように長チャネル $100 \mu\text{m}$ とした。本デバイスは、寄生抵抗の要因となるゲート-ドレイン間の n^- の耐圧層を含まない構造となっており、高耐圧デバイスではない。

移動度評価用の横型長チャネルD-MOSトランジスタは実施項目(1)の電流ブロック層評価TEGと同一ウエハ上に同時に作製した。ウエル層のN注入条件は表3-(1)-3に記載されている。図3-(2)-11にN注入ウエル層のN濃度をパラメータとした電界効果移動度のゲート電圧依存性を示す。N濃度を高くするとしきい値電圧が高くなると共に移動度は減少する。図3-(2)-12にN注入深さ(注入エネルギー値)依存性、ゲート絶縁膜種依存性についての結果を示す。電界効果移動度はN濃度と異なり、注入深さ(注入エネルギー値)には大きく依存しないことが確認できた。これはSi、SiC、GaN MOSチャネルに見られる現象と同様¹⁾で、N濃度の増加と共に負に帯電する深いアクセプタNが増え、しきい値電圧がプラス側にシフトすると共に反転MOSチャネル層のMOS界面付近の電界が強くなりMOS界面散乱によって移動度が低下していると推測される。

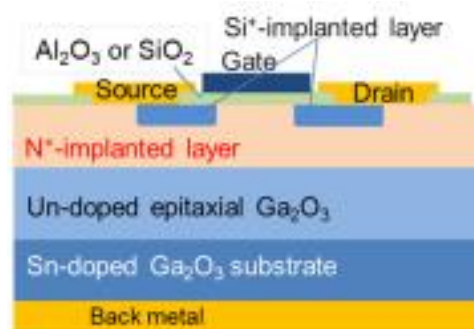


図 3-(2)-10 移動度評価用の横型長チャネル D-MOS トランジスタ

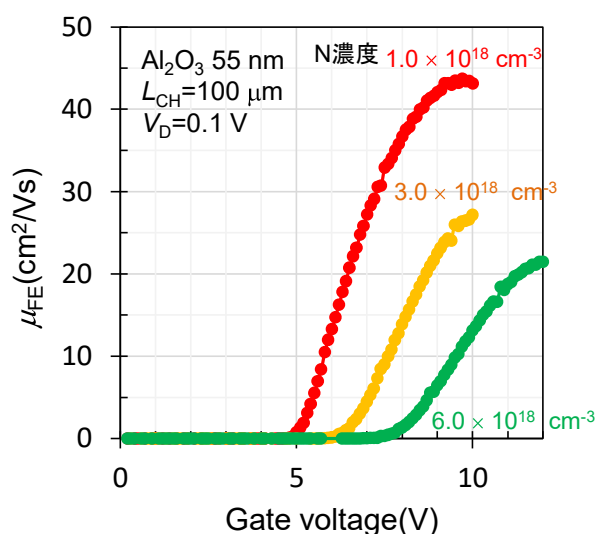


図 3-(2)-11 横型長チャネル D-MOS トランジスタの電界効果移動度のウエル層の N 濃度依存性

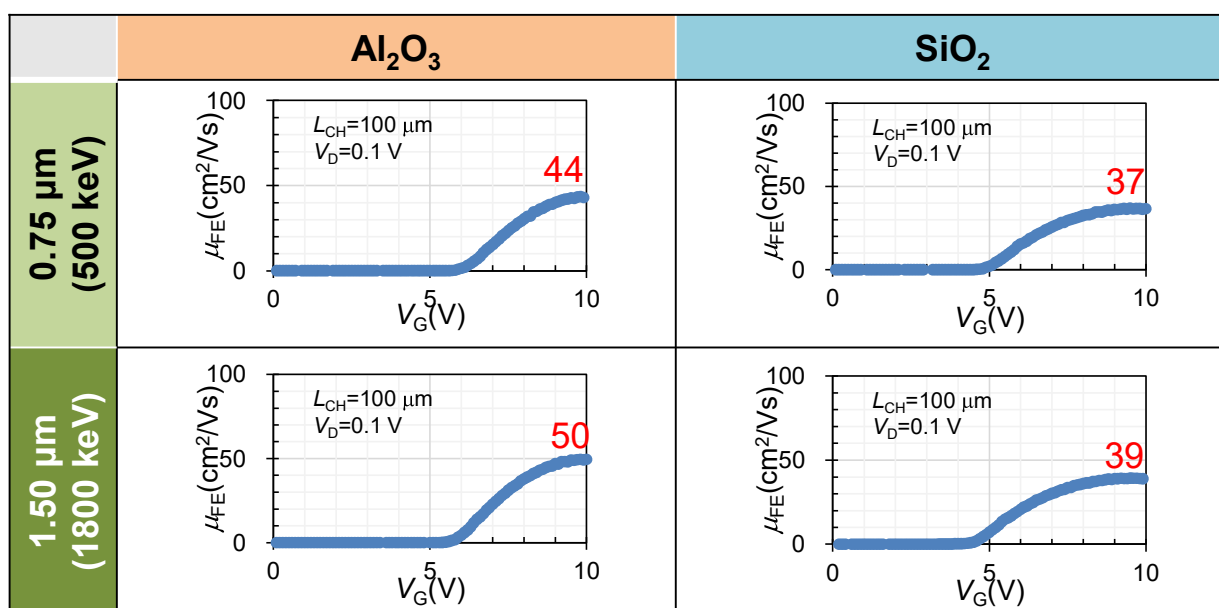


図 3-(2)-12 横型長チャネル D-MOS トランジスタの電界効果移動度のウエル層の N イオン注入深さ (注入エネルギー) 依存性及びゲート絶縁膜 (Al_2O_3 , SiO_2) 依存性

図3-(2)-11から、しきい値電圧、MOSチャネル移動度は注入深さ(注入エネルギー値)によらず、MOS界面付近のN濃度に依存していることが確認できる。今回のウエル層のN濃度、注入深さ(注入エネルギー値)の実験から実施項目(1)の成果である高い電流ブロック特性と実施項目(2)の成果である高いMOSチャネル移動度を両立するウエル構造として、N濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 、注入深さ $1.5 \mu\text{m}$ (注入エネルギー1800 keV)を選択した。今回の実験では解析を容易にするためウエル層は深さ方向に均一なN濃度としたが、デバイスの最適設計には深さ方向に濃度分布を付けることが有効であると考えており、今後深さ方向のN濃度プロファイルの最適化を進める。

従来の Al_2O_3 絶縁膜に加えて SiO_2 絶縁膜で長チャネルD-MOSトランジスタを作製して電界効果

移動度を比較した(図3-(2)-12)。Al₂O₃に比較してMOS界面付近の絶縁膜側に負の固定電荷量が少ないと考えられているSiO₂を適用することでMOS界面散乱が低減されて移動度が向上すると期待したが期待に反してSiO₂を用いることによる移動度向上は見られなかった。横型長チャネルD-MOSトランジスタのドレイン電流-ゲート電圧特性にヒステリシスがみられることから、Al₂O₃/Ga₂O₃、SiO₂/Ga₂O₃界面付近に散乱中心となる電子トラップが多い可能性が高いと考えている。

開発中のNドープエピ(N濃度 $1 \times 10^{16} \text{ cm}^{-3}$)を用いてトレンチMOS構造を作製しトレンチ側面に形成したMOSトランジスタのしきい値電圧、MOSチャネル移動度を評価した。移動度評価用トレンチMOSトランジスタの断面構造を図3-(2)-13に示す。MOSチャネル移動度を評価するため寄生抵抗となるドリフト層が無い構造となっており、高濃度n型Ga₂O₃基板上に直接ウエル層に相当するNドープエピ層を成長し、ソース側にはSiイオン注入によりn⁺ソースコンタクト領域を形成した。ドレイン電流のゲート電圧依存性から求めたMOSチャネルの電界効果移動度を図3-(2)-14に示す。しきい値電圧は1.7 V、移動度は100 cm²/Vsを得た。高い電界効果移動度が得られた要因は現在解析を進めている。移動度50 cm²/Vsを得たD-MOSトランジスタと比較して、イオン注入ダメージが無い、N濃度が一桁低くMOS界面付近のMOS界面方向の電界が弱まりMOS界面散乱が小さい、移動度に結晶面方位依存性がある等の可能性を考えている。

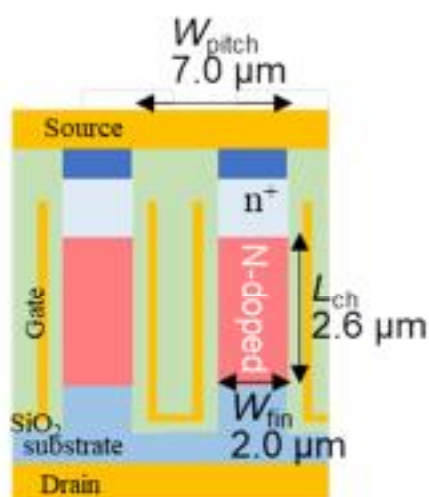


図 3-(2)-13 N ドーフトレンチ MOS トランジスタの断面図

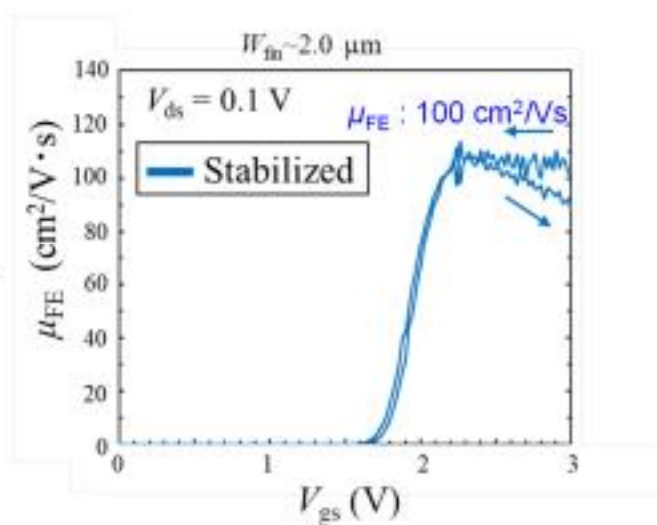


図 3-(2)-14 N ドーフトレンチ MOS トランジスタの電界効果移動度

(3) ヘテロp型半導体/n型Ga₂O₃接合作製

要約

MOSゲート技術開発で十分なチャネル移動度が得られない場合のリスク対策としてヘテロp型半導体/n型Ga₂O₃接合ゲートの基礎検討を並行して進めた。ヘテロp型材料の技術動向調査からNiOを選びpnダイオードの検討を行った。他研究機関と同様に立上り電圧はショットキー接合の0.75 Vに対して2.5 Vまで向上し、逆方向電圧印可時のリーク電流も大幅に低減できることを確認した。しかしながら接合ゲート材料として期待した、中間評価の目標値 $V_F > 3$ V を実現する材料系は見いだせなかった。本研究の主目的である反転MOSチャネルで期待以上の良好なMOSチャネル移動度 $50 \text{ cm}^2/\text{Vs}$ が得られたことヘテロpn接合を用いた接合ゲートの適用検討は中止した。

酸化ガリウムで課題となっているp型半導体を使った終端構造として、新たに注目して、追加の技術動向調査を行い終端構造としてのpn接合の検討を継続した。研究用スパッタ装置、4-6インチ用スパッタ装置の両装置にて、NiO多層(低アクセプタ濃度/高アクセプタ濃度)膜で終端構造にて他研究機関からの報告と同様に電界緩和効果が見られたが再現性に乏しく終端での破壊が発生した。終端構造としてはNiOのアクセプタ濃度、膜厚の制御、構造の設計が必要であり今後の課題と考える。Mgのガードリングと組み合わせた終端構造にすることで印可可能な電界強度は2 MV/cmから3.65 MV/cmまで向上したが、SiO₂とMgガードリングを組み合わせた構造の電界強度3.7 MV/cmと大きな差はなかった。トランジスタにはプロセスが容易なSiO₂とMgガードリングの組み合わせを本委託研究では採用した。

(3)-1 ヘテロp型材料の技術動向調査

MOSゲート技術開発で十分なチャネル移動度が得られない場合のリスク対策としてヘテロp型半導体/n型Ga₂O₃接合ゲートの基礎検討を並行して進めた。

既知のp型NiO/n型Ga₂O₃材料系(タイプII) の立上がり電圧 V_F 2.2 Vと比較して、さらに高い V_F が得られる可能性のある材料系(例えばBN、MgO、Ga₂O₃)の技術動向を調査した。結果を表3-(3)-1に示す。NiO材料を用いた検討が海外の研究機関で精力的になされヘテロpnダイオードとしての優れた特性が報告されていた。現状ではNiO、Cu₂O以外のp型材料はデバイスへの適用は難しいと判断しNiO材料を用いてヘテロpn接合の基礎検討を実施した。

最初に高抵抗サファイア基板上にNiO薄膜をNiOターゲットのスパッタにより成膜して、NiO薄膜上にホール効果素子を作製してp型NiO薄膜の電気的特性を評価した。表3-(3)-2にスパッタパワー、成膜温度とNiOの膜厚、抵抗率、ホール濃度を示す。スパッタ雰囲気は酸素100%とした。

表 3-(3)-1

ヘテロp型材料	長所	短所
NiO ₂	スパッタで成膜可能。 社内、社外で報告例多数。	キャリア濃度等、 再現性が悪い 。 ホール測定が困難。 パターニング加工が難しい 。 良好なpnダイオードの特性報告数が増加(2020年以降 中国研究機関より)
Cu ₂ O	比較的成膜が容易。 電特再現性良好。 耐熱性、信頼性も良好。 パターニング容易。	閾値がやや低い($V_{bi}=E_g-\Delta E_c=2.1-0.8=1.3 \text{ eV}$)。
poly-Si	成膜技術が成熟している。	閾値が低い。 使用設備借用が不可能。 成膜温度がやや高い。
BN	バンドが広く、ホール注入の可能性高	検討初期段階。ドーピングが課題。
p-Ga ₂ O ₃	最も理想的。 ホール注入可。 接合信頼性高。	検討初期段階。 難易度高。
(Ir _x Ga _{1-x}) ₂ O ₃	単結晶のため界面の安定性に期待できる。 混晶比でバンドエンジニアリング可能。	他社が特許申請済み。 CVDなら成長炉、成長条件開発の必要性。 バンドギャップが狭く、バンドオフセットができる。 絶縁破壊電界が低い。

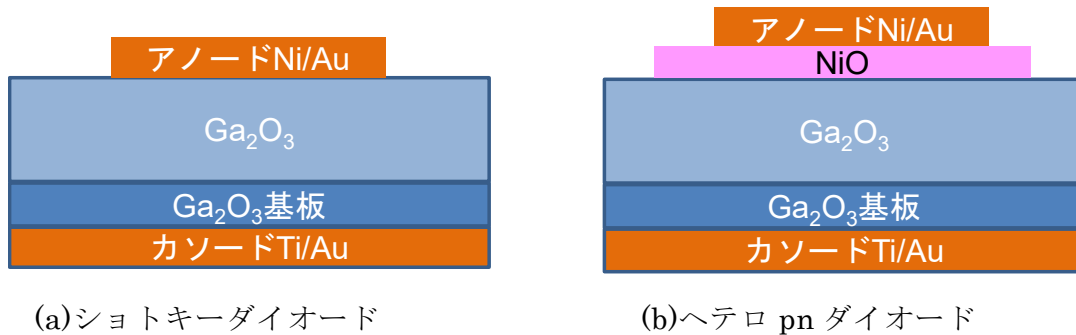


図 3-(3)-1 ダイオードの断面構造図

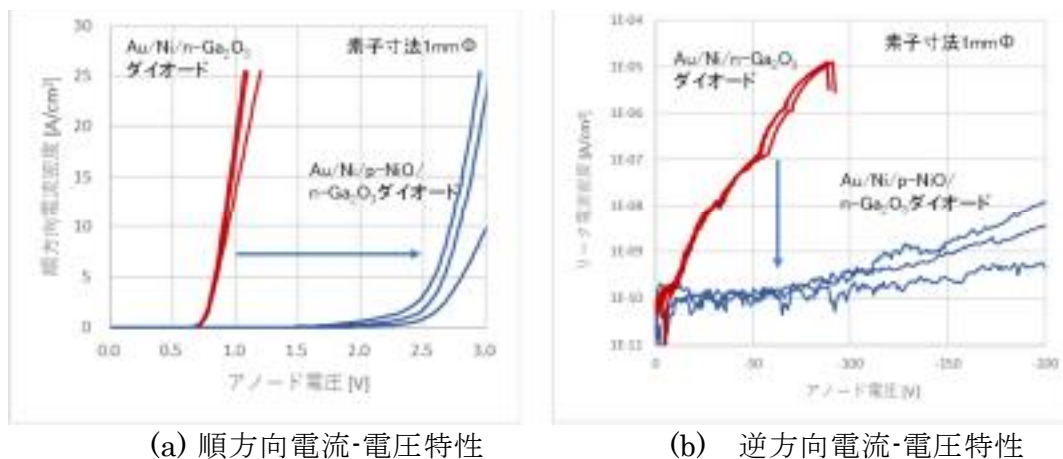


図 3-(3)-2 ショットキーダイオードとヘテロ pn ダイオードの電気的特性

研究開発用の小型スパッタ装置でNiOを成膜して成膜後、300℃熱処理条件を用いてヘテロpnダイオードを作製した。従来のショットキーダイオードと特性を比較した。ショットキーダイオードとヘテロpn接合ダイオードの構造断面図を図3-(3)-1に、順方向特性、逆方向特性を図3-(3)-2(a)、(b)に示す。他研究機関と同様に立上り電圧はショットキー接合の0.75 Vに対して2.5 Vまで向上し、逆方向電圧印可時のリーク電流も大幅に低減できることが確認できた。**中間評価時の目標値 $V_f > 3$ V を実現する材料系は令和3年度において見いだせなかった。**

ヘテロpnダイオードの立ち上り電圧を現状では3 V以上に高くすることが難しく、本研究の主目的である反転MOSチャネルで期待以上の良好なMOSチャネル移動度50 cm^2/Vs が得られたことヘテロpn接合を用いた接合ゲートの適用検討は中止した。

(3)-2 ヘテロpn接合のデバイス終端構造への適用

酸化ガリウムで課題となっているp型Ga₂O₃の代替としてp型NiOの終端構造への適用の観点から、追加の技術動向調査を行いpn接合の検討を継続した。終端構造の重要性を示す図としてパワーデバイスの性能指数(オン抵抗-耐圧相関)を表す図を図3-(3)-3に示す。令和3年度までに開発したFinFETトランジスタ、及び海外で先行して開発しているコーネル大学のFinFETトランジスタの特性を図中にプロットした。現状では電極終端部への電界集中のため素子の電極端で破壊が発生しており、印可できる電圧は電界強度に換算して2.8 MV/cmに留まっている。このため現状ではSiCを超える性能が実証できていない。SiCの性能を超えるためには電界強度にして4 MV/cm以上を印可可能なデバイス設計が必要となり、Ga₂O₃の物性的特徴である破壊電界強度6-8 MV/cmを十分活かしたデバイス設計が行えていない。Si, SiCではp型導電層が終端構造に適用され電界集中の緩和、デバイスの性能向上に効果を発揮している。p型導電層技術が未確立であるGa₂O₃では代替技術としてヘテロp型材料が電極終端部に導入できないか検討が盛んとなっている。

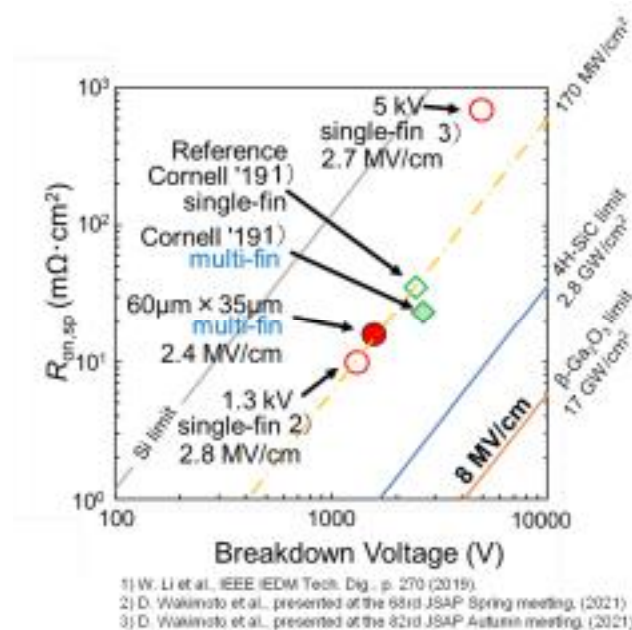


図 3-(3)-3 オン抵抗-耐圧相関図

表 3-(3)-2 ヘテロ p-NiO/n-Ga₂O₃ ダイオードの終端技術の動向調査

文献	素子構造・プロセス条件	耐圧 (V)	E _{max} (MV/cm)	R _{on,sp} (mΩcm²)
Xidian Univ/22.7	NiO bilayer structure (400nm), FP (SiO ₂) + GR (Mg I/I), Epi: Nd = 5~7×10 ¹⁵ cm ⁻³ , Th = 13 μm, wafer th. = 300μm.	8320	6.2	5.24
Florida univ/22.7	NiO bilayer structure (20nm), JTE, RTA (Ohmic contact 550C, 1min in N ₂ , Anode contact 300C in O ₂), high L.C	4700	5.5	11.3
Nanjing Univ/21.12	NiO bi-layered structure, taper angle 6 deg, JTE, (Nd=2.6×10 ¹⁶ cm ⁻³)	2040	4.4	2.26
State Univ/2022	Bilayer NiO JTE with graded charge density(8×10 ¹⁵ cm ⁻³)	>3000	2.95	-
Xidian Univ/22.4	NiO Single layer (80nm), JTE&FP (SiO ₂ , beveled 8.5°)	2410	3.9	1.12
Univ. of Sc.&Tech/22.7	NiO Single layer (60nm), JTE, RTA (2×10 ¹⁶ cm ⁻³)	2600	4.34	2.5
Sun Yat-sen Univ/20.4	NiO Single layer structure (200nm), 4×10 ¹⁶ cm ⁻³	1059	3.9	3.5

(3)-3 ヘテロpn接合の終端技術の動向調査

表3-(3)-2に最近の技術動向をまとめた。ヘテロp型材料候補SiC, GaN, Cu₂O, NiO等の中でNiOはバンドギャップ3.6-4.0 eVと大きくp型導電層が形成できることから注目され、精力的にGa₂O₃デバイスへの適用が検討されている。特に中国の大学で研究開発がなされており、高アクセプタ濃度/低アクセプタ濃度の積層NiO構造と追加の終端構造を組み合わせることによって小型TEGではあるがで最大電界強度6 MV/cmの耐圧を実現している。

(3)-4 ヘテロpn接合を用いた終端構造の検討

研究用小型スパッタ装置を用いてNiO/Ga₂O₃ダイオードを終端構造検討TEGとして作製して電界集中緩和、耐圧向上の検討を行った。表3-(3)-3、図3-(3)-4に検討水準構造を示す。技術動向調査より、p-NiO/Ga₂O₃ヘテロ界面付近の電界を緩和させる低アクセプタ濃度NiO単層構造、高アクセプタ濃度/低アクセプタ濃度のNiOの積層構造に関して検討を行った。

作製したヘテロp-NiO/n-Ga₂O₃ダイオードの逆方向特性を図3-(3)-5示す。各構造とも2~3サンプルを測定した。各構造の耐压特性はバラツキの範囲で同じで構造による差は見られなかった。最大電界強度としては3.3 MV/cmが得られたが、いずれも電極終端で破壊が発生していた。この結果から今回の実験では、素子終端部が耐压を律則しており、各構造の依存性が観測できなかったと推測している。

表 3-(3)-3 NiO 層構造水準

NiO 構造	アクセプタ濃度	NiO Thickness
1	低濃度	100 nm
2	中濃度	100 nm
3	高濃度	100 nm
4	低/高濃度	50 nm/50 nm

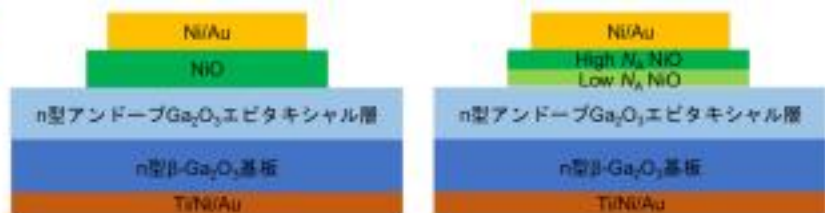
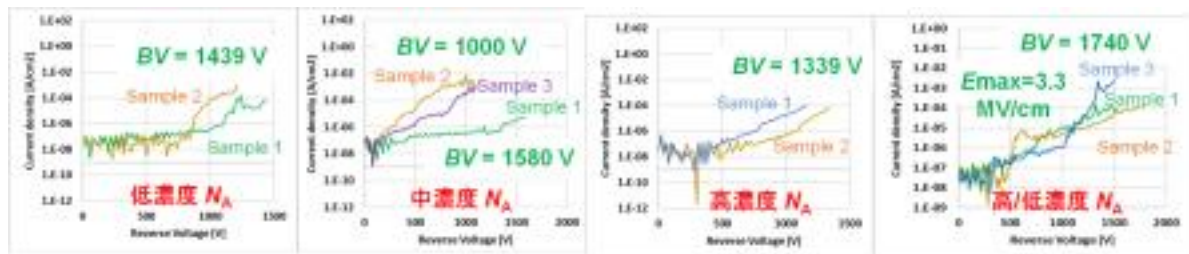


図 3-(3)-4 ヘテロ p-NiO/Ga₂O₃ ダイオード構造断面図



構造 1

構造 2

構造 3

構造 4

図 3-(3)-5 各構造のヘテロ p-NiO/n-Ga₂O₃ ダイオードの逆方向耐压特性

(3)-5 4-6インチ対応スパッタ装置によるヘテロp-NiO/Ga₂O₃接合の検討

数十アンペアの電流をスイッチング可能な大型素子(5-10 mm角)を歩留良く作製するため、清浄度が高い外注4インチラインを用いたMOSトランジスタ作製プロセスを開発している。ヘテロp-NiO/Ga₂O₃接合形成プロセスを4インチラインプロセスに適用するため、これまでの研究用小型スパッタ装置ではなく、4-6インチウエハに成膜可能な中型スパッタ装置を用いたNiO膜の成膜条件の検討を外部のデモ装置を用いて実施した。中型スパッタ装置は、サンプル交換時にスパッタ成膜室が大気に曝されないロードロック式の装置であり、NiO膜のウエハ面内の均一性、共にNiO膜の品質、再現性の向上が期待できる。

デモ評価設備で成膜したNiO膜のアクセプタ濃度の制御と評価を試みた。これまでに低アクセプタ濃度、高アクセプタ濃度の2層膜構造としてヘテロpn界面の電界集中を低減する試みが報告されている。NiOのアクセプタ濃度を制御して更なる耐压向上を検討した。

表3-(3)-4にスパッタ成膜条件とNiOの抵抗率、ホール移動度を0.5 cm²/Vsと仮定したときのアクセプタ濃度を示す。2層構造に必要な低抵抗率(数Ω cm)、高アクセプタ濃度(10¹⁹ cm⁻³)のNiO膜はO₂ガス100%のスパッタ条件でO₂流量と圧力を変化させて検討した(成膜条件2、3)。スパッタ条件の条件1からの変更値と実現したNiOの低抵抗率値、高アクセプタ濃度値を赤字で示す。高アクセプタ濃度(10¹⁹ cm⁻³)のNiO膜は成膜条件2で実現した。NiOのアクセプタ濃度はNi欠損に起因することが知られており、低O₂圧力のスパッターでNi欠損の多いNiO膜が形成されたと推測している。アクセプタ濃度値(10¹⁷ ~ 10¹⁹ cm⁻³)の精密な制御は今後の課題である。

図3-(3)-6に示す単層、及び2層NiOを有するp-NiO/Ga₂O₃ダイオードを作製した。高抵抗NiO₂膜の成膜は条件1(赤字)を用い、低抵抗NiO膜の成膜は条件2(赤字)を用いた。エピタキシャル層のドナー濃度は1.0 × 10¹⁶ cm⁻³、厚さは10 μm、NiOの層厚は200 nmであり、NiOの上層にNi/Auを形成した。n型基板の裏面にはTi/Auオーミックコンタクトを形成した。

図3-(3)-7に比較のためのショットキーダイオードと共に各構造の順方向特性を示す。電流をリニアプロットしたグラフから立上り電圧はショットキーダイオードに比較して1 V程度高くなっておりヘテロpn接合の効果が確認できる。また2 V以上の領域の電流密度-電圧特性からNiOの抵抗率の増加に従って微分オン抵抗 $R_{sp} (= \Delta V / \Delta J)$ が高くなっていることが分かる(低抵抗単層構造⇒高抵抗/低抵抗積層構造⇒高抵抗単層構造)。電流をログプロットしたグラフの電流の傾きと切片からダイオードの理想(n)値と障壁高さ ϕ_b を求めた。n値はpn接合界面付近で電子と正孔の再結合が生じる場合の値2に近い値となり、障壁高さはショットキーダイオードの値に比較して0.4-0.5eV高い値となった。これらの値は、pn接合の特徴を表している。界面に結晶欠陥、トラップ等を含むヘテロpnダイオードの詳細な伝導機構の理解は今後の課題である。

図3-(3)-8に逆方向特性を示す。p-NiO/Ga₂O₃界面に高抵抗(低アクセプタ濃度) NiOが存在することにより電界強度が緩和されリーク電流が低減する効果が確認できた。

表 3-(3)-4 スパッタ成膜条件と NiO の抵抗率、ホール濃度

条件	Ar (mL/min)	O ₂ (mL/min)	Ratio (%) O ₂ / (Ar+O ₂)	圧力 (Pa)	パワー (W)	成膜時間 (min)	膜厚 (nm)	抵抗率 ($\Omega \cdot \text{cm}$)	濃度※ (cm^{-3})	
1	0	50	100	0.6	300	189	200	35.5	3.52E+17	高抵抗
2	0	25	100	0.1	300	159	189	1.25	1.00E+19	低抵抗
3	0	50	100	0.8	300	193	155.5	30.3	4.13E+17	
4	20	40	66.67	0.6	300	162	185.5	28.9	4.33E+17	
5	5	45	90	0.6	300	171	175	12.3	1.02E+18	

※移動度を0.5 cm²/V・sとした場合
(ref. Appl. Phys. Lett. 121, 042105 (2022))



図 3-(3)-6 ヘテロ p-NiO/Ga₂O₃ ダイオードの構造断面図

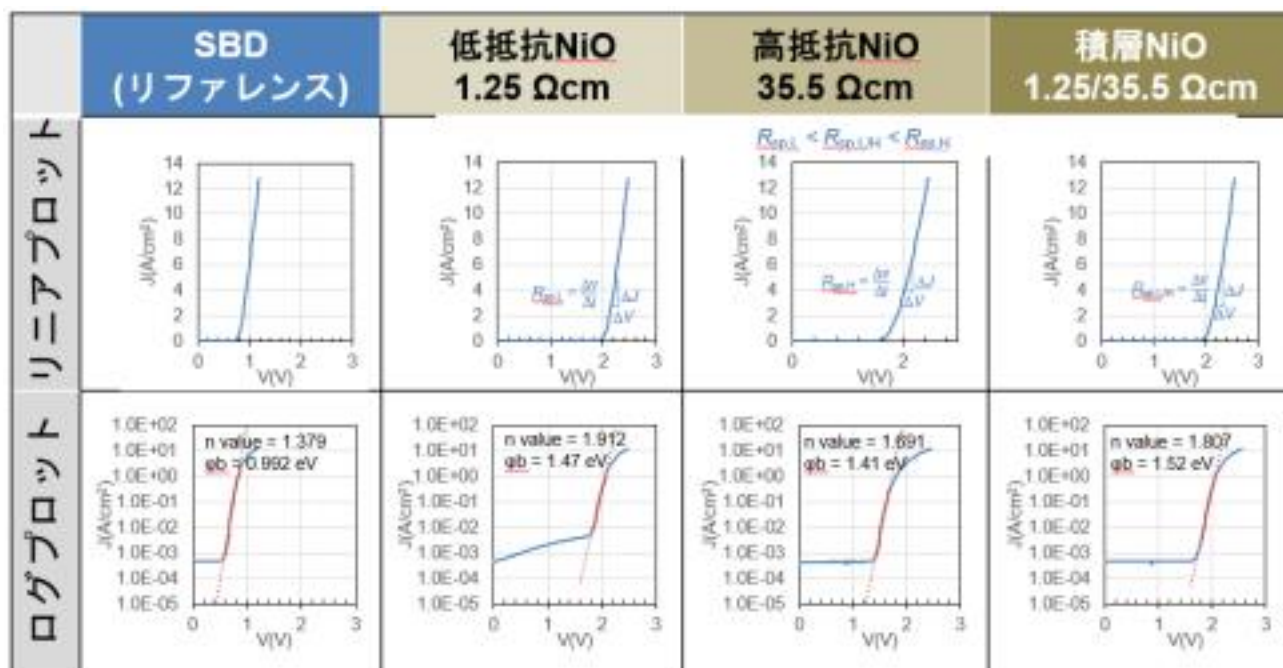


図 3-(3)-7 Ga₂O₃ショットキダイオード(SBD)とヘテロ p-NiO/Ga₂O₃ ダイオードの順方向特性

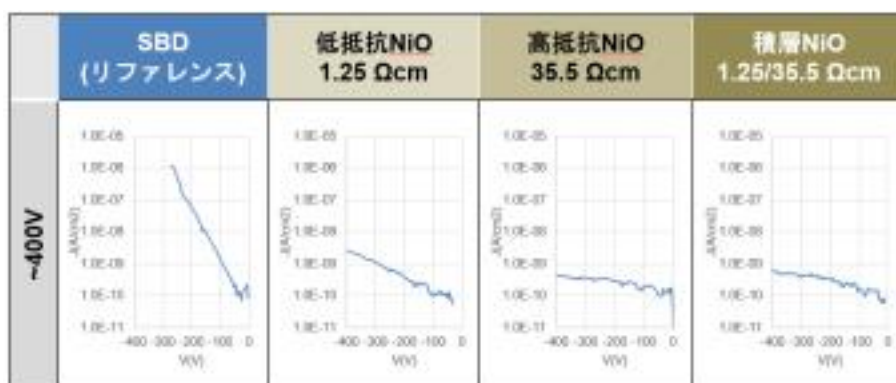


図 3-(3)-8 Ga₂O₃ショットキダイオード(SBD)とヘテロ p-NiO/Ga₂O₃ ダイオードの逆方向特性

(3)-6 Mgガードリング終端構造による最大電界強度の向上検討

NiOのMOSトランジスタ終端構造への適用を想定して、電界が集中して耐圧を律則しているNiO終端領域の検討を行った。保有の小型スパッタ装置で形成したヘテロp-NiO/Ga₂O₃ダイオードの外周部にイオン注入によりMgガードリング構造を形成することで印可可能な絶縁破壊電界強度が約2.0 MV/cmから3.3-3.8 MV/cmまで向上することを確認した。

ヘテロp-NiO/Ga₂O₃ダイオードの外周部にアクセプタ不純物を形成したガードリング構造で電界集中を緩和して耐圧の向上を試みた。実施項目(1)にてアクセプタ不純物として窒素(N)を検討してイオン注入エネルギーを高めて注入不純物の分布を1.5 μmまで深くすることにより電流ブロック層としての特性が向上することを明らかにした。トランジスタのウエル層としては数μm以下に抑える必要があるが、終端構造としてはアクセプタ不純物ドーピング層を更

に深くして電界集中緩和効果を高めることを試みた。アクセプタ不純物としては、Nと異なり、熱拡散により1.5 μm 以上の深さまでドーピングが可能なマグネシウム (Mg) を選択した。

実験に用いたヘテロp-NiO/Ga₂O₃ダイオード(Mgガードリング付き)の断面構造を図3-(3)-9に示す。エピタキシャル層のドナー濃度は $3.2 \times 10^{16} \text{ cm}^{-3}$ 、厚さは8.5 μm 、Mgはイオン注入により深さ0.6 μm 、濃度 $5 \times 10^{19} \text{ cm}^{-3}$ の分布を一旦形成し、その後の窒素雰囲気中1000℃、60分の熱処理によりさらに深くまでの拡散を試みた。熱処理の温度は、Mgの拡散係数が大きくなる1000℃¹⁾、時間はエピ/基板界面までMgが拡散するのに十分な時間として60分を推測して選んだ。図3-(3)-10にMgのイオン注入プロファイル(計算値)とSIMS分析で測定したMgの濃度プロファイルを示す。イオン注入直後のMg濃度プロファイルは計算値と同じであることを令和年2年度にSIMS分析により確認している¹⁾。拡散熱処理によりエピ層表面付近0.6 μm から8.5 μm 下の基板まで拡散していることがSIMS分析により確認できた。本検討では、Mg注入拡散層とNiO膜外周とのオーバーラップ量の異なる円形のNiO(直径300 ~ 1000 μm)を形成し、NiO薄膜上にNi/Au電極、n型Ga₂O₃基板の裏面にTi/Au電極を形成した。作製したNiOの直径の異なるヘテロp-NiO/Ga₂O₃ダイオードの耐压波形を図3-(3)-11に示す。実線は素子が破壊するまでの電流-電圧

$$E_{\max} = \left(2 \cdot \frac{q}{\epsilon_0 \cdot \epsilon_s} \cdot N_D \cdot V_B \right)^{0.5} \quad (1)$$

特性を示している。測定した破壊電圧から(1)式を用いて破壊時の電界強度(最大電界強度 $E_{\max}$)を算出した。

ここで q : 素電荷, ϵ_0 : 誘電率, ϵ_s : 酸化ガリウムの比誘電率, N_D : ドナー濃度, V_B : 破壊電圧である。

Mgドーピング層とNiO薄膜の外周(終端)とのオーバーラップ量が50 μm の素子では破壊電界強度が約2.0 MV/cmから3.3-3.8 MV/cmまで向上した。アクセプタ不純物Mgを用いたガードリング構造を導入することにより電界集中が緩和して最大電界強度が高められることを確認した。

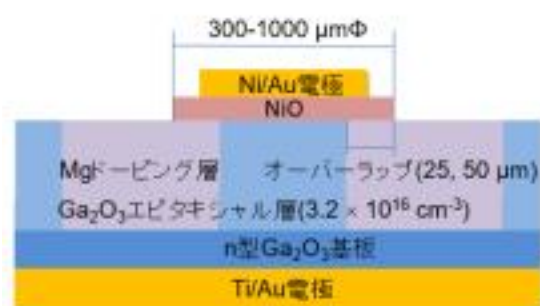


図 3-(3)-9 ヘテロ p-NiO/Ga₂O₃ ダイオード (Mg ガードリング付き) の断面構造

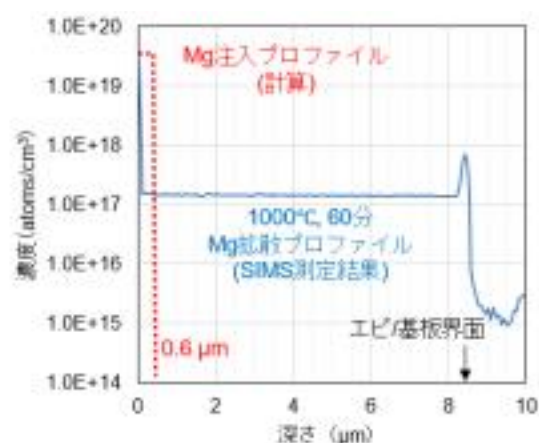


図 3-(3)-10 Mg のイオン注入、拡散プロファイル

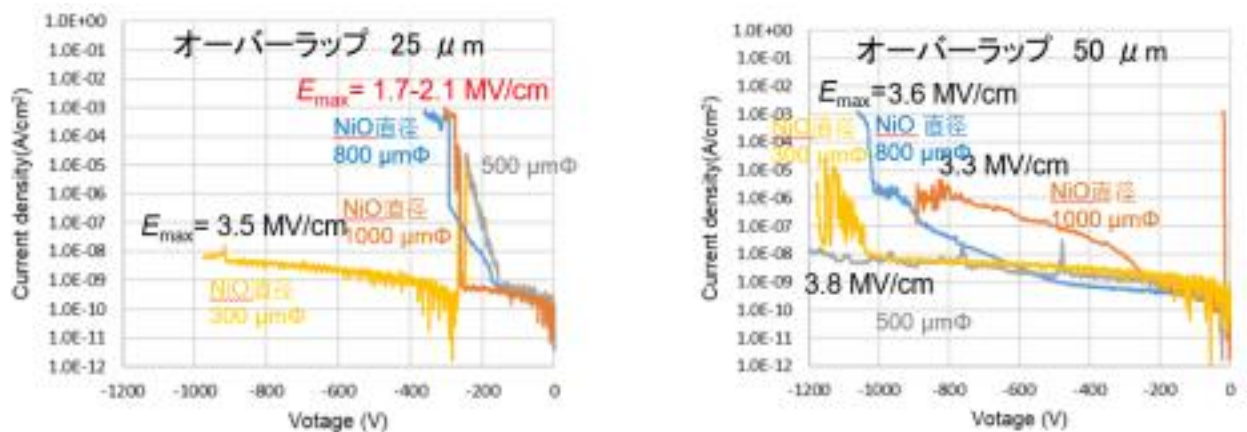


図 3-(3)-11 ヘテロ p-NiO/Ga₂O₃ ダイオード(Mg ガードリング付き)の耐圧波形

(3)-7 4-6インチ対応スパッタ装置によるヘテロp-NiO/Ga₂O₃接合とMgガードリングの検討

①量産対応可能な4-6インチウエハ中型スパッタ装置によるNiO、②最大電界強度の向上に効果があることが明らかになったMgガードリング(Mg GR)、2つを組み合わせ構成した終端構造を適用したヘテロp-NiO/Ga₂O₃ダイオードを用いて、そのダイオード特性から終端構造の課題を調べた。NiOを形成した後の熱処理の最適化、高温動作時の耐圧特性を改善するためのMg GR構造の更なる最適化、スパッタNiO膜へのドーピング制御技術の確立、が今後の課題であることが明らかとなった。

図3-(3)-12にヘテロp-NiO/Ga₂O₃ダイオードの逆方向電流電圧特性を示す。表3-(3)-6条件2の低抵抗率単層NiO、キャリア濃度 $4 \times 10^{16} \text{ cm}^{-3}$ 品のn-Ga₂O₃エピ基板を使用したNiO部分の直径が1000 μmのダイオードで評価した。Mg GRを適用した構造としてNiOとMg GRとのオーバーラップ(OL)を25 μm、50 μm、75 μm、100 μmの4種類を評価した。Mg GRを適用しない構造と、解析用の全面にMgを注入した構造も評価した。

その結果、Mg GRを適用しない構造の耐圧が393 V(最大電界強度2.37 MV/cm)であるのに対して、Mg GRを適用するとOL 25 μmで508 V、OL 50 μmで525 V、OL 75 μmで881 V、OL 100 μmで929 V(最大電界強度3.65 MV/cm)となった。Mg GRの適用、およびOLを長くすることで耐圧は向上した。しかしながら、SiO₂とMgガードリングを組み合わせた構造((4)-2-1)の最大電界強度3.7 MV/cmとほぼ同等であった。現状ではNiOのアクセプタ濃度、膜厚の制御、構造設計が不十分な可能性があり、トランジスタ試作には適用しなかった。p型NiO成膜技術は終端構造形成に重要な技術と考えており本研究終了後も継続して検討を進める。

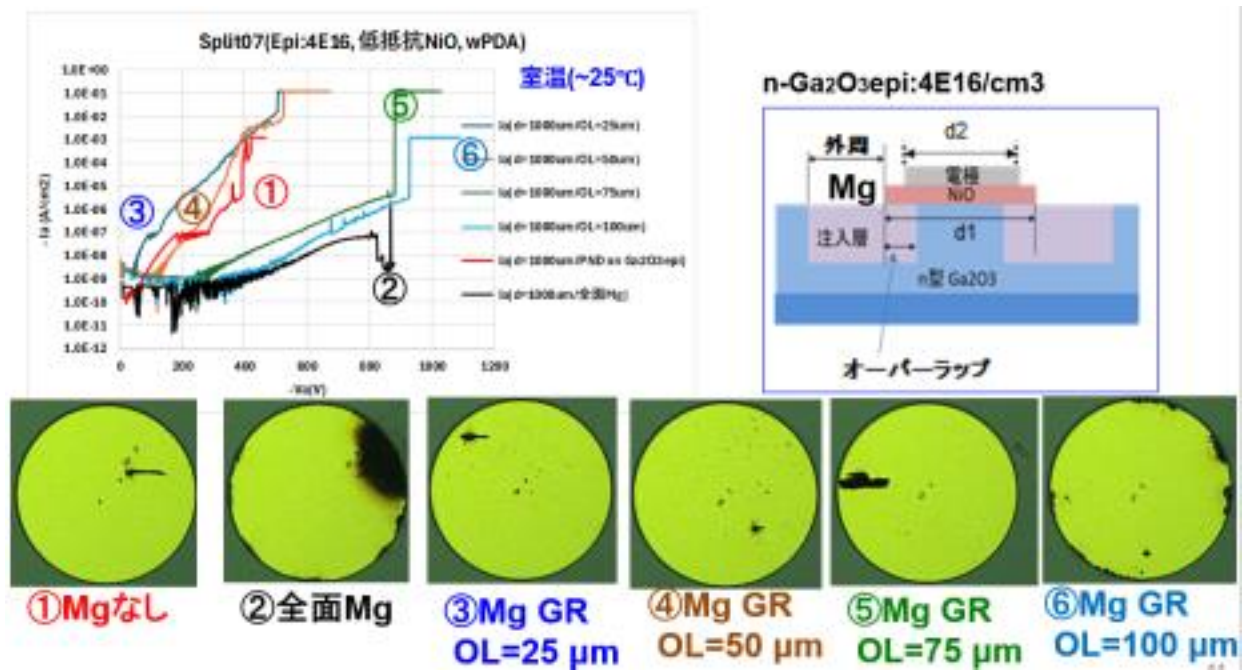


図 3-(3)-12 Mg ガードリング付きヘテロ p-NiO/Ga₂O₃ 接合ダイオードの逆方向電流電圧特性

(4) トランジスタの試作・評価

要約

実施項目(1)(2)(3)の基礎検討結果をもとにMOSゲートを有する反転MOSチャネル構造を用いた縦型トランジスタを開発した。イオン注入を用いたD-MOSトランジスタの小型基本素子は、 Ga_2O_3 として、当時(令和4年度)、世界で初めて縦型反転MOSチャネルトランジスタ動作を実証した。しきい値電圧は6.2 V、耐圧は1000 Vを示し中間評価時の目標(しきい値電圧1 V以上、耐圧600 V以上)を達成した。さらにより高性能が期待されるNドープトレンチMOSトランジスタにおいて高いチャネル移動度 $100 \text{ cm}^2/\text{Vs}$ 、しきい値電圧1.3 Vを得た。

最終目標の一つである電流100 A素子の実証に関しては、大電流の大型素子を歩留良く作製するため清浄度が高い外注4インチラインプロセスを構築した。外注先4インチラインで試作した10 mm角大型素子のパッケージ評価にてドレイン電流 $I_D=109 \text{ A}$ ($V_D=7 \text{ V}$, $V_{GS}=12 \text{ V}$)を実証して最終目標値のドレイン電流100 A以上を達成した。

一方、最終目標の耐圧10 kV素子に関しては、10 kV耐圧に必要な低ドナー濃度、厚膜エピタキシャルウエハの4インチ化が実現できなかったことから、ウエハ小片上の小型FinFETを試作して10 kV耐圧を実証するにとどまった。10 kV耐圧の実証は縦型 Ga_2O_3 トランジスタとしては世界初である。

電流100 A素子、耐圧10 kV素子は、それぞれ世界で初めての実証となったが、最終目標の耐圧10 kV、電流100 Aを両立する素子は実現できなかった。耐圧、電流の目標値を同時に満たす素子の実現には10 kV耐圧に必要な低ドナー濃度、厚膜エピタキシャルウエハの4インチ化が今後の課題として残った。

(4)-1. 反転MOSチャネルトランジスタの開発

実施項目(1)(2)(3)の基礎検討結果をもとにMOSゲートを有する反転MOSチャネル構造を用いたトランジスタを開発した。イオン注入を用いたD-MOSトランジスタは、 Ga_2O_3 として世界で初めて縦型反転MOSチャネルトランジスタ動作を実証した。しきい値電圧は6.2 V、耐圧は1000 Vを示し中間評価時の目標(しきい値電圧1 V以上、耐圧600 V以上)を達成した。さらにより高性能が期待されるNドープトレンチMOSトランジスタにおいて高いチャネル移動度 $100 \text{ cm}^2/\text{Vs}$ 、しきい値電圧1.3 Vを得た。

図3-(4)-1に試作したD-MOSトランジスタの断面構造図を示す。D-MOSトランジスタは、n型 $\beta\text{-Ga}_2\text{O}_3$ (001)基板上にハライド気相成長法を用いて形成したエピタキシャルウエハ(ドナー濃度 $2.0 \times 10^{16} \text{ cm}^{-3}$ 、膜厚12 μm)を用いて作製した。イオン注入N濃度及び注入深さ(エネルギー)がMOSトランジスタ特性に与える影響を調べた。3(1)で示した表3-(1)-3、4の条件でNイオン注入を行った。Nの注入エネルギーは500 keV一定として1, 3, $6 \times 10^{18} \text{ cm}^{-3}$ の3種類の窒素濃度のD-MOSFETを、また窒素濃度 $1 \times 10^{18} \text{ cm}^{-3}$ としてN注入深さ0.75, 1.0, 1.5 μm (注入エネルギー値500, 800, 1800 keV)のD-MOSFETを作製した。プロセス及び解析を容易するため電流ブロック領域とチャネル領域のイオン注入N濃度は同じ値とし、深さ方向のN濃度も一定とした。n⁺ソース領域はSiのイオン注

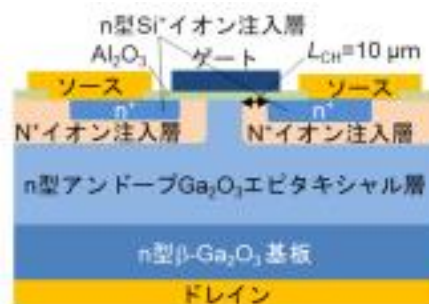


図 3-(4)-1 縦型 Ga_2O_3 D-MOS トランジスタの断面構造図

入(濃度 $1 \times 10^{19} \text{ cm}^{-3}$)により形成した。N、Si各注入後にそれぞれ酸素、窒素雰囲気中で 900°C の熱処理を行い、ゲート絶縁膜として原子層堆積法を用いて厚さ55 nmの Al_2O_3 を成膜、ゲート電極としてNi/Au、ソース電極、ドレイン電極としてTi/Auを形成した。

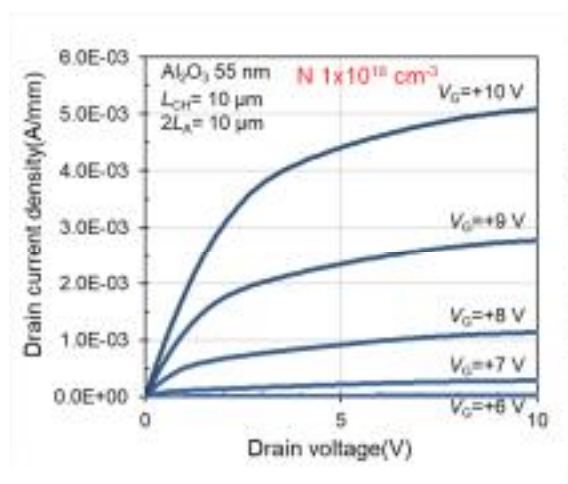


図 3-(4)-2 D-MOSFET の I_D - V_D 特性

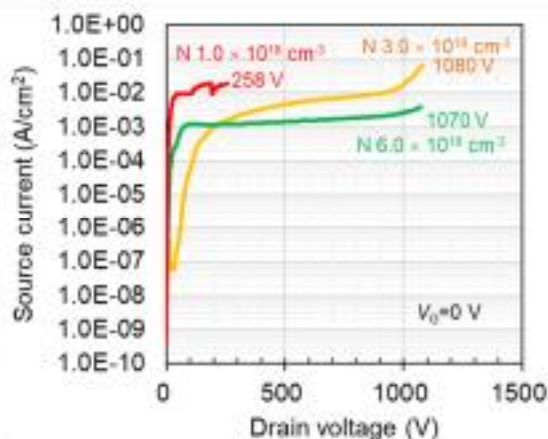


図 3-(4)-3 D-MOSFET オフ耐圧特性のイオン注入 N 濃度依存性

表 3-(4)-1 しきい値電圧と耐圧のイオン注入 N 濃度依存性

N濃度(cm^{-3})	1.0×10^{18}	3.0×10^{18}	6.0×10^{18}
V_{TH} (V)	6.6	7.0	8.5
耐圧 (V)	258	1080	1070

代表的なドレイン電流-ドレイン電圧 (I_D - V_D) 特性を図3-(4)-2に、オフ耐圧特性を図3-(4)-3に示す。また各窒素イオン注入濃度のD-MOSFETのしきい値電圧 (V_{TH})、耐圧を表3-(4)-1にまとめる。しきい値電圧は、ドレイン電圧0.1 Vでのドレイン電流-ゲート電圧特性から算出した。Nイオン注入濃度が 1×10^{18} 、 3×10^{18} 、 $6 \times 10^{18} \text{ cm}^{-3}$ と増加すると、しきい値電圧は6.6, 7.0, 8.5 Vと上昇し、電流ブロック効果が向上して耐圧は258, 1080, 1070 Vとなった。

次にNイオン注入深さ(エネルギー)依存性の検討を行った。試作した代表的なドレイン電流-ドレイン電圧特性を図3-(4)-4に、オフ耐圧特性を図3-(4)-5に示す。また各窒素イオン注入深さ(エネルギー値)のD-MOSFETのしきい値電圧、耐圧を表3-(4)-2にまとめる。窒素イオン注入を深く(エネルギー増加)することより、しきい値電圧は7.0-7.1 Vとほぼ一定のまま、電流ブロック効果が向上して耐圧は950 Vから1168 Vまで増加した。

MOSチャネルの移動度から考えるとMOS界面付近は低N濃度、電流ブロック層領域は高N濃度あるいはブロック層が厚いことが好ましいことが実験結果から示された。本検討では解析を容易とするため深さ方向に一定のN濃度でウェル層を形成したが、デバイス特性の向上には深さ方向のプロファイル最適化が重要となると考える。

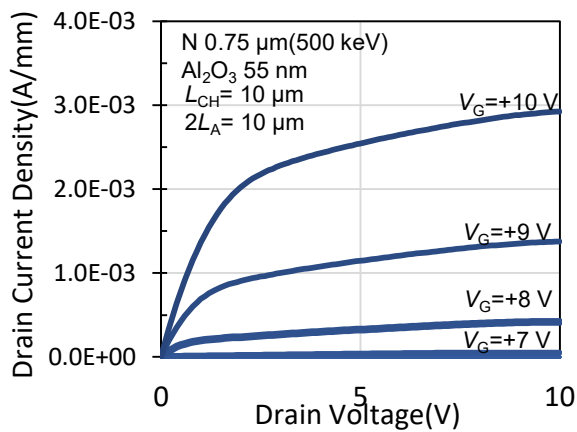


図 3-(4)-4 D-MOSFET の I_D - V_D 特性

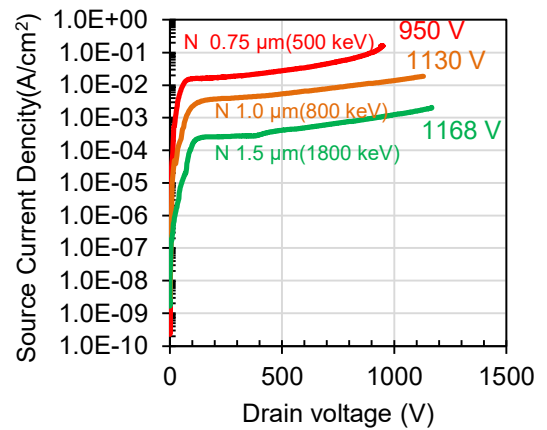


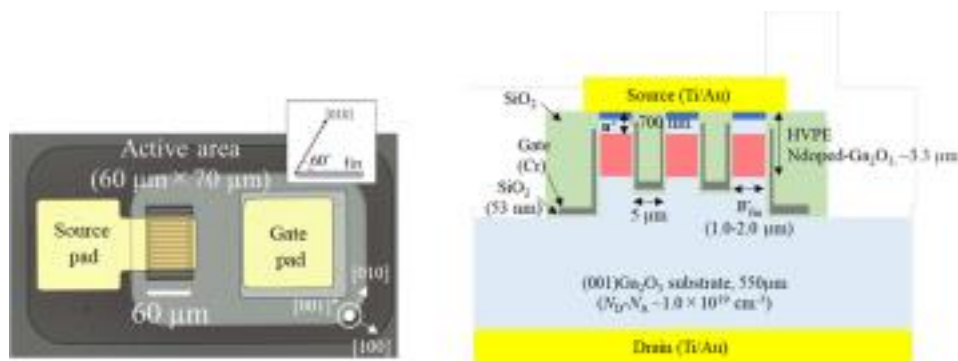
図 3-(4)-5 D-MOSFET オフ耐圧特性の
N イオン注入深さ
(エネルギー)依存性

表 3-(4)-2 しきい値電圧と耐圧の N イオン注入深さ(エネルギー)依存性

N注入深さ(μm)	0.75	1.0	1.5
N注入エネルギー(keV)	500	800	1800
V_{TH} (V)	7.1	7.1	7.0
耐圧 (V)	950	1130	1168

次にNドーパエピタキシャル層をウエル層に用いたトレンチMOS構造トランジスタの試作評価を行った。トレンチMOSFETは、n型 β -Ga₂O₃(001)基板上にハライド気相成長法にてNドーパエピタキシャル層(膜厚3.3 μm)を形成したウエハを用いFinFETと同様のプロセスで作製した(図3-(4)-6)。今回の試作ではMOSチャネルの移動度を評価するため抵抗成分の大きいドリフト層(耐圧層)を用いない構造とした。ソース電極サイズ70 μm × 60 μm、メサ幅2.1 μm、セルピッチ7 μm、フィン長さ60 μm、ゲート長2.6 μmのトレンチMOSFETの J_d - V_D 特性を図3-(4)-7に示す。良好なFET特性、最大電流密度760 A/cm²、特性オン抵抗2.9 mΩ・cm²を示した。

しきい値電圧の初期測定値、複数回測定後の安定化した値のメサ幅依存性を図3-(4)-8に示す。n型Ga₂O₃をチャネル層に用いる従来のFinFETではノーマリオフ特性を得るためにメサ幅0.4 μm 以下の微細化が必要であるのに対して、MOSチャネル層を形成するウエル層にNドープGa₂O₃を用いるトレンチMOSトランジスタではメサ幅1-2 μm においてもノーマリオフ特性が得られ、さらにしきい値電圧のメサ幅依存性も小さく大型素子を作製し易いことが確認できた。メサ幅1 μm 以上でノーマリオフ特性が得られることから、NドープトレンチMOSトランジスタは、4、6インチ量産ラインの光学露光装置で作製可能な、大電流化可能なデバイスとして期待している。



(a) 光学顕微鏡写真

(b) 断面構造図

図 3-(4)-6 N ドープトレンチ MOS トランジスタ

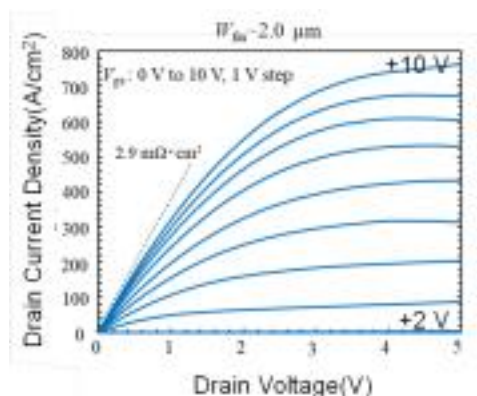


図 3-(4)-7 トレンチ MOSFET の I_D - V_D 特性

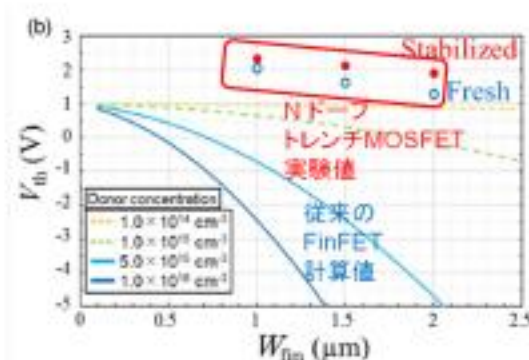


図 3-(4)-8 しきい値電圧のメサ幅依存性

(4)-2 アンペア級大型Ga₂O₃ MOSトランジスタの開発

最終目標の100 Aデバイス実現のため、大型素子(5-10 mm角)を歩留良く作製可能な清浄度が高い外注4インチラインを用いたMOSトランジスタ作製プロセスを構築した。プロセス検証を兼ねたアンペア級MOSトランジスタの1次試作にて4インチウエハ面内で均一性良くトランジスタが作製できることを確認した。縦型Ga₂O₃ MOSトランジスタでアンペア級素子を4インチウエハ面内で均一性良く作製できたのは世界で初めてである。最終目標である100 A MOSトランジスタ実現、10 A MOSトランジスタの高速スイッチング特性評価のため、新規に設計した大型素子用(5、10 mm角チップ)マスクを用いトランジスタを試作した。10 mm角大型素子のパッケージ品において、ドレイン電流 I_D 109 A(@ $V_D=7$ V, $V_{GS}=12$ V)の値が得られ、最終目標値のひとつであるドレイン電流100 A以上を達成した。

(4)-2-1 4インチラインプロセスの構築

最終目標の100 Aデバイス実現のため、大型素子(5-10 mm角)を歩留良く作製可能な清浄度が高い外注4インチラインを用いたMOSトランジスタ作製プロセスを構築した。プロセス検討を兼ねたアンペア級MOSトランジスタの1次試作にて4インチウエハ面内で均一性良くトランジスタ

が作製できることを確認した。縦型 Ga_2O_3 MOSトランジスタでアンペア級素子を4インチウエハ面内で均一性良く作製できたのは世界で初めてである。

マルチセルD-MOSトランジスタの構造(図3-(4)-9)及びプロセス設計を行い、外注4インチライン試作用マスク(図3-(4)-10)を設計した。外注先4インチラインで試作したアンペア級MOSトランジスタの断面構造を図3-(4)-11に示す。4インチラインのi線ステップ露光装置を用いて素子の微細化、大型化をはかった。1次試作では各工程の課題抽出のためデバイス寸法は製品化が進んでいるSiC MOSトランジスタより余裕を取って大きくした。チャンネル長は $2.0\ \mu\text{m}$ 、セルピッチは $30\ \mu\text{m}$ である。

図3-(4)-12にアンペア級MOSトランジスタの4インチラインでのプロセスフローを示す。新規材料を取り入れた工程を赤字で示す。ウェル層、コンタクト層形成のためのイオン注入、活性化熱処理工程は研究試作ラインと同様である。一方、電極の加工は研究試作ラインのレジストリフトオフ法から、パーティクル発生を抑制するためウェットエッチング法に切り替えた。またアンペア級MOSトランジスタでは、各セル間のソースを、ゲートをまたいで、接続する必要があり、ゲート電極とソース電極の間に層間絶縁膜 SiO_2 を形成して分離した。層間絶縁膜 SiO_2 成膜装置では、金属汚染防止の観点からNi、Au系金属付着ウエハを処理できないためゲート電極を従来のNi/Auから SiO_2 成膜装置の基板ホルダーと同じ材質のAlに切り替えた。ゲートAl電極の SiO_2 絶縁膜に対する密着性に問題が無いか実際にMOSトランジスタを試作して確認した。



図 3-(4)-9 マルチセル D-MOSFET の断面構造図

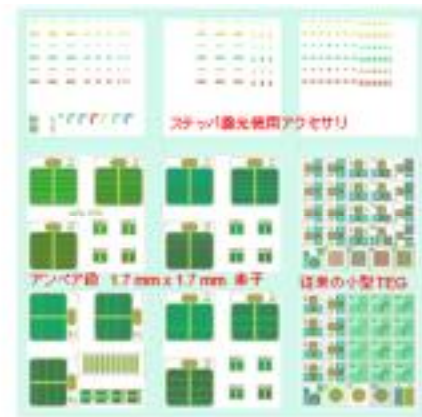


図 3-(4)-10 ステップ露光用マスク

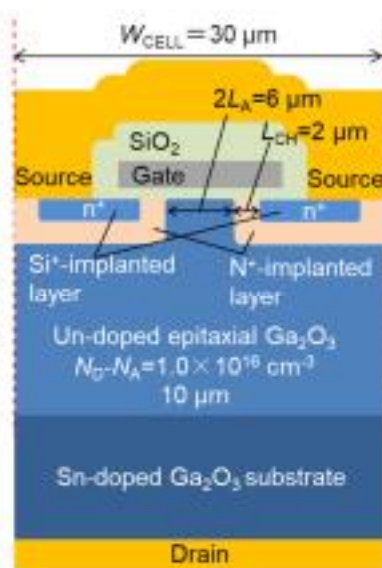


図 3-(4)-11 アンペア級 D-MOS トランジスタの断面構造

4インチラインプロセスフロー	Nイオン注入	1.5 μm , ボックス注入 濃度 $1.0 \times 10^{18}\text{ cm}^{-3}$
	熱処理	900°C, 30 min in O_2
	Siイオン注入	0.1 μm , $5 \times 10^{18}\text{ cm}^{-3}$
	熱処理	900°C, 1 min in N_2
	絶縁膜形成	SiO_2 50 nm by ALD
	ゲート形成	Al
	層間絶縁膜	SiO_2 500 nm by p-CVD
	絶縁膜開口	Wet etching
	ソース電極形成	Ti/Au
	ドレイン電極形成	Ti/Ni/Au
	熱処理	350°C, 3 min in N_2

図 3-(4)-12 4インチラインプロセスフロー

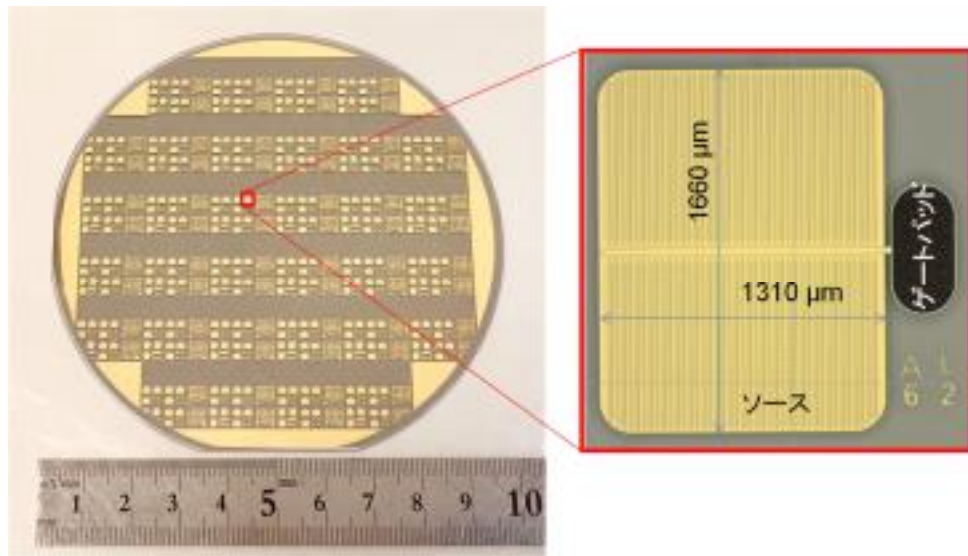


図 3-(4)-13 4 インチ β -Ga₂O₃ ウエハに作製したアンペア級 MOS トランジスタ

図3-(4)-13にアンペア級MOSトランジスタを作製した4インチウエハの外観写真とアンペア級MOSトランジスタの光学顕微鏡写真を示す。4インチウエハを使うことによりアンペア級のMOSトランジスタが数多く作製できるようになった。アンペア級のMOSトランジスタはゲートパッドから素子の中心方向に給電線を延ばし、給電線の上下にAlゲート電極が延びており、ゲートAl電極が魚の骨のように配置されている。Alゲート電極は層間絶縁膜SiO₂で覆われソースコンタクト部のみSiO₂を除去して全面にTi/Auソース電極を形成する平面レイアウトとなっている。

図3-(4)-14(a)に作製したアンペア級トランジスタのドレイン電流-電圧(I_D - V_{DS})特性を示す。オン抵抗は3 Ω (65 m Ω cm²)と製品化が進むSiCトランジスタの値より10倍程度高いが、今後素子の微細化、寄生抵抗の低減により低抵抗化をはかる。図3-(4)-14(b)に耐圧波形を示す。Ga₂O₃のエピタキシャル層のドナー濃度、膜厚から期待される耐圧を示した。しかしながらドレインリーク電流(I_{Dleak})、ゲートリーク電流(I_{GLEak})が高い点は今後の課題である。ドレインリーク電流に関しては、Nイオン注入ウエル層の電流ブロック特性の改善に向けた更なる検討が必要である。ゲートリーク電流に関しては、Al電極パッド形成プロセスの問題であることを明らかにして、2次試作以降では工程を修正して改善した。

図3-(4)-15(a)に示す I_D - V_{GS} 特性には、小型TEGと同様に初期変動があり1回目のゲート電圧の掃引の復路以降はほぼ安定する。ここでしきい値電圧(V_{TH})は安定後のドレイン電流(I_D) 1 mAとなるゲート電圧と定義した。図3-(4)-15(b)に V_{TH} の4インチウエハ面内分布を示す図3-(4)-15(c)に V_{TH} の累積確率分布を示す。縦軸は累積確率を正規分布の目盛でプロットしている。図3-(4)-16(a)にドレイン電圧(V_{DS}) 5.0 V、ゲート電圧(V_{GS}) 12 V印可時のドレイン電流(I_D)のウエハ面内分布、図3-(4)-16(b)に累積確率分布を示す。赤いエリアはゲートリーク電流大の特性不良素子、青文字は図3-(4)-14で特性を示した素子である。小型TEGと同様にしきい値電圧の初期変動はあるものの、ウエハ面内で均一性良くアンペア級MOSトランジスタが作製できることが確認できた。アンペア級MOSトランジスタを歩留良く形成できたのは世界で初めてである。しきい値電圧の初期変動をなくすため引き続きMOS界面特性の改善を進める。

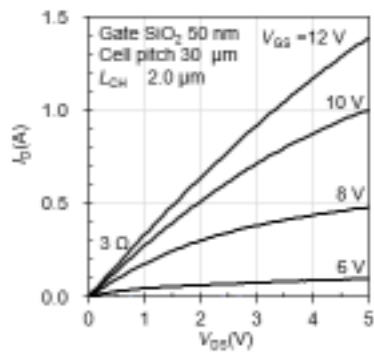


図 3-(4)-14(a)
ドレイン電流-電圧特性

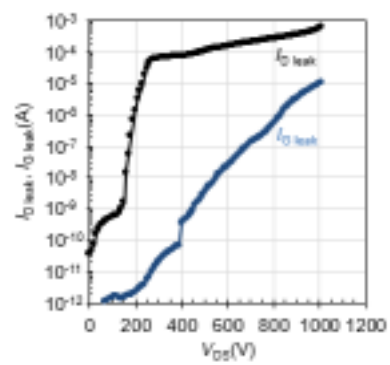


図 3-(4)-14(b)
耐圧波形

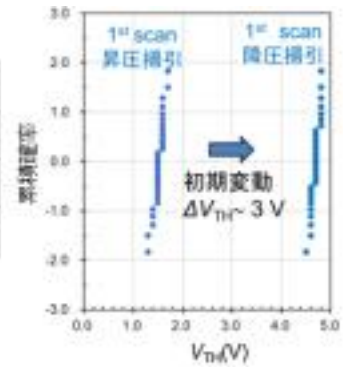
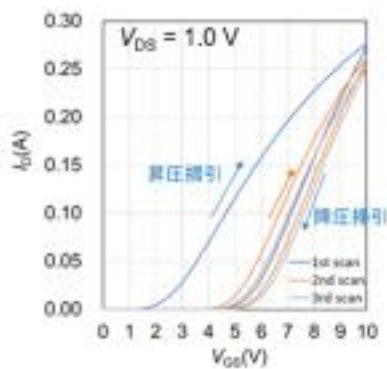
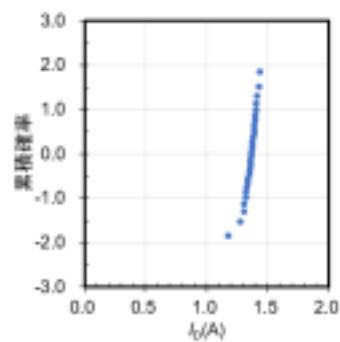


図 3-(4)-15 (a) I_D - V_{GS} 特性 (b) V_{TH} 分布 (1st scan 降圧) (c) V_{TH} の累積確率分布



図 3-(4)-16 (a) ドレイン電流の
4 インチウエハ内分布



(b) ドレイン電流の
累積確率分布

(4)-2-2 電流100 A Ga_2O_3 MOSトランジスタの作製

最終目標である100 A MOSトランジスタ実現、10 A MOSトランジスタの高速スイッチング特性評価のため、外注4インチラインプロセスを用いて試作を行った。試作には新規に設計した大型素子用(5、10 mm角チップ)マスクを用いた。試作した10 mm角大型素子のパッケージ品において、ドレイン電流 $I_D=109$ A($V_D=7$ V, $V_{GS}=12$ V)の値が得られ、最終目標値のひとつであるドレイン電流100 A以上を達成した。

MOSトランジスタの実現に向けて素子の微細化と共に大型化を行う新規マスクを設計した。図3-(4)-14にステップ1ショット15 mm角エリアのチップレイアウトを示す。新規マスクでは、チャネル長を $2.0\ \mu\text{m}$ から $1.0\ \mu\text{m}$ 、セルピッチを $30\ \mu\text{m}$ から $15\ \mu\text{m}$ まで短縮してオン抵抗の低減を行い、チップサイズを $1.6\ \text{mm}$ から5、10 mm角に大きくした。新規作成マスクを用いてMOSトランジスタを作製し、5 mm角チップ4個、あるいは10 mm角チップ1個をパッケージに組み立てることで100 A MOSトランジスタの実現を目指した。新規に設計した微細化大型素子マスクを用いたMOSトランジスタ大型素子(5 mm角)を作製した。作製した4インチウエハの外観写真を図3-(4)-16に示す。図3-(4)-16の赤枠で囲われた部分を光学顕微鏡で観察し撮影した画像を、図3-(4)-17に示す。

作製した5 mm角素子の断面構造は、図3-(4)-8に準ずる。30 A狙いの素子としてチップサイズを $1.6\ \text{mm}$ から5 mm角に拡大、チャネル長を $2.0\ \mu\text{m}$ から $1.0\ \mu\text{m}$ に短縮し、セルピッチは $20\ \mu\text{m}$ ($2L_A = 3.0\ \mu\text{m}$)とした。Nイオン注入後の活性化熱処理温度は 800°C と 900°C の2条件とした。試作した

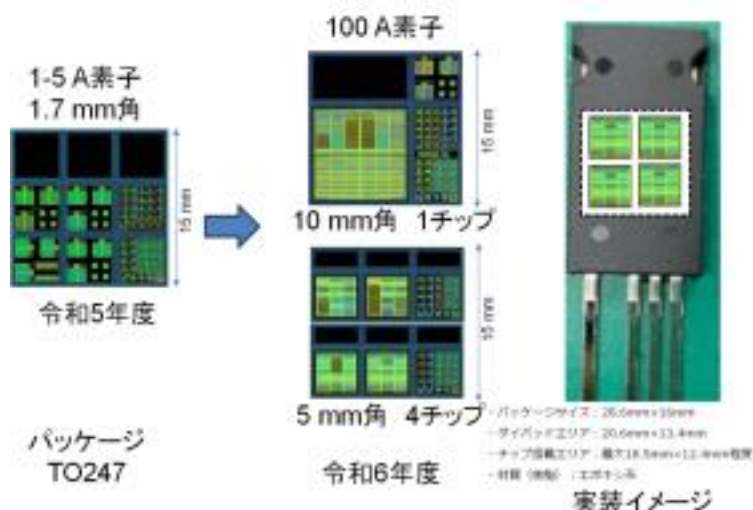


図 3-(4)-14 令和 5 年度試作と令和 6 年度試作のマスクレイアウト及び実装イメージ

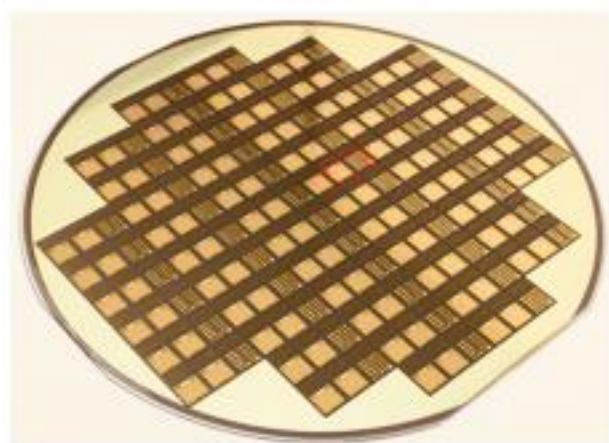


図 3-(4)-16 5 mm 角素子 4 インチウエハ
外観写真

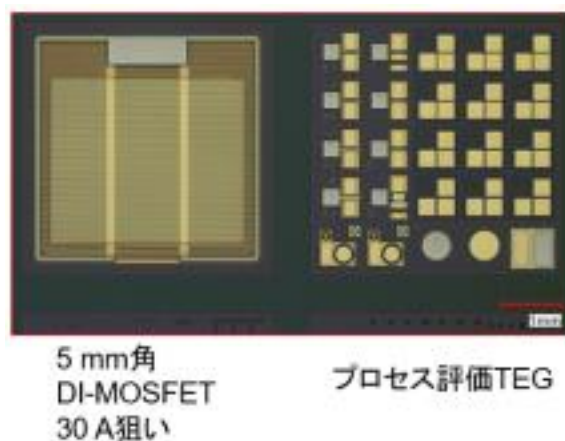


図 3-(4)-17 光学顕微鏡画像

5 mm角素子の I_D - V_{GS} 特性を、図3-(4)-18に示す。 $I_D = 12.8 \text{ A} (@V_D=3 \text{ V}, V_{GS}=12 \text{ V})$ と1.6 mm角素子からの電流駆動能力の向上を確認できた。

作製した5 mm角素子のうち、活性化熱処理温度800°C、セルピッチ20 μm ($2L_A=3.0 \mu\text{m}$) の素子をチップ化してT0247パッケージに組み、カーブトレーサーにて評価した I_D - V_{GS} 特性を図3-(4)-19に示す。オンウエハ評価系の寄生抵抗の影響が除去されたためドレイン電流は増加し $I_D=24.1 \text{ A} (@V_D=5 \text{ V}, V_{GS}=12 \text{ V})$ の電流値が得られ、4チップ合成によるドレイン電流100 A実現のポテンシャルを確認した。

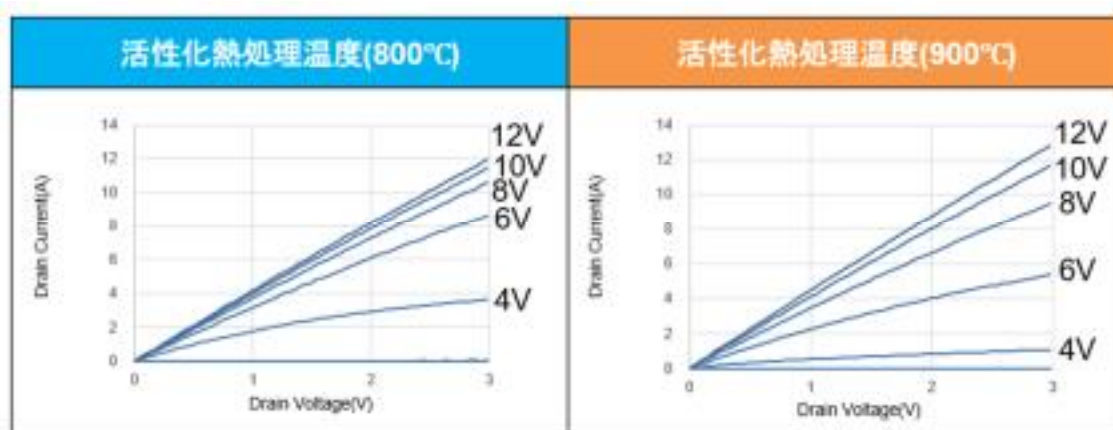


図 3-(4)-18 5 mm 角素子ドレイン電流-電圧特性（オンウエハ評価）

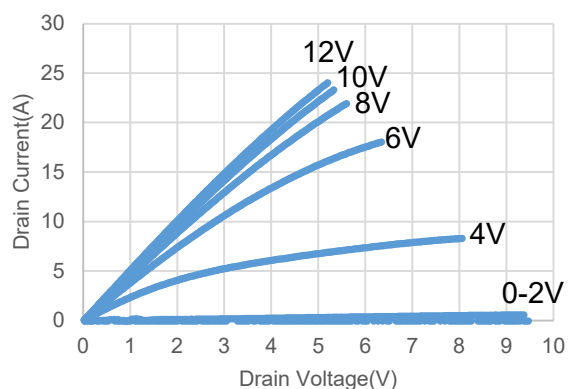


図 3-(4)-19 5 mm 角素子ドレイン電流-電圧特性（パッケージ品評価）

続いて、大型素子マスクを用いたMOSトランジスタ大型素子(10 mm角)を作製した。チャネル長 $1.0\text{ }\mu\text{m}$ 、セルピッチは $20\text{ }\mu\text{m}$ ($2L_A=3.0\text{ }\mu\text{m}$)とした。作製した4インチウエハの外観写真を図3-(4)-20に示す。1ショット領域を拡大した光学顕微鏡写真を図3-(4)-21に示す。

この10 mm角素子のうち、イオン注入エネルギー3000 keVでNイオン注入を行ったウエハ内の素子をチップ化して、10 mm角チップ用に用意したパッケージに組んだ。カーブトレーサーにて評価した I_D - V_{GS} 特性を図3-(4)-22に示す。ドレイン電流値 $I_D=109\text{ A} (@V_D=7\text{ V}, V_{GS}=12\text{ V})$ が得られ、最終目標値のひとつである $I_D=100\text{ A}$ を達成した。オン抵抗は $50\text{ m}\Omega\text{ cm}^2$ と1次試作の1.6 mm角チップよりも改善したが、十分ではない。ソース、ドレイン部分の高い寄生抵抗が原因であることが判明しており今後プロセスの改善を進める。

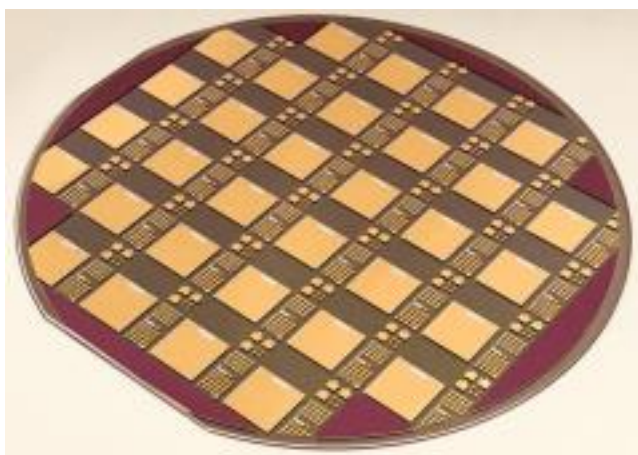


図 3-(4)-20 10mm 角チップ 4 インチウエハ外観

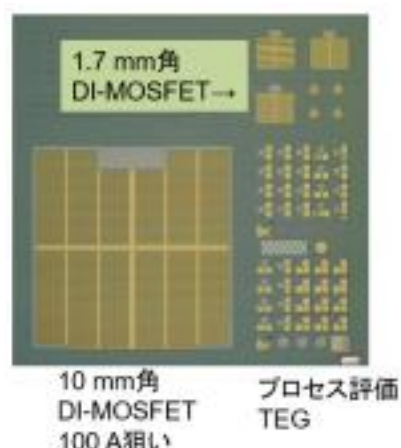


図 3-(4)-21 光学顕微鏡画像

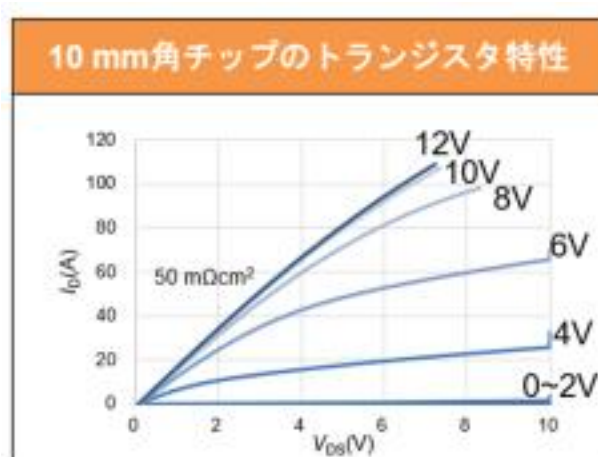


図 3-(4)-22 10 mm 角素子ドレイン電流-電圧特性

(4)-2. 10 kV耐圧Ga₂O₃ MOSトランジスタの開発

(011)Ga₂O₃基板上に低ドナー濃度、厚膜エピタキシャル層（ドナー濃度 $7.5 \times 10^{15} \text{ cm}^{-3}$ 、膜厚55 μm ）を成長したウエハ小片を用いてMg終端構造を適用したマルチFinFETを試作して耐圧5.1 kV、特性オン抵抗 $21.6 \text{ m}\Omega\text{cm}^2$ 、パワーFOM(性能指数)は 1.23 GWcm^{-2} の酸化ガリウムトランジスタのパワー性能指数(P-FOM)として世界最高値を得た。この世界最高値はMg終端構造の適用により最大電界強度を3.7 MV/cmまで高められたことにより実現された。さらに低いドナー濃度、厚いエピタキシャル層(ドナー濃度 $1.8 \times 10^{15} \text{ cm}^{-3}$ 、膜厚85 μm)を形成したウエハ小片を用いてマルチFinFETを試作して最終目標値 耐圧>10kV(評価システムの測定限界)を確認した。

(4)-2-1 Mgガードリング終端構造の開発

最初に、素子の外周の終端部にMgガードリング構造を適用することにより終端部の電界集中を緩和して素子の最大電界強度を高めることを検討した。検討には、MOSトランジスタの外周を模したMOSキャパシタを用いて行った。図3-(4)-8に検討に用いたMOSキャパシタの断面構造図を示す。Nイオンの全面注入に加えて、終端部にはヘテロNiO/Ga₂O₃ダイオードで新規に導入したMgガードリング適用している。この実験では、10 kV耐圧用エピに比べて一桁高いドナー濃度 $3.2 \times 10^{16} \text{ cm}^{-3}$ 、厚さ10 μm のエピタキシャルウエハを用いた。これは耐圧測定が容易な電圧3 kV以下で高い電界強度(4-5 MV/cm)をGa₂O₃中に発生させるためである。図3-(4)-9に作製したMOSキャパシタの オフ電流-電圧特性を示す。Mgガードリング適用素子3個とNイオンの全面注入適用素子2個の逆方向電流-電圧特性を素子が破壊するまで電圧を印加して測定した。

MOSキャパシタの破壊電圧から酸化ガリウム半導体中の最大電界 E_{max} を式(2)、(3)を用いて求めた。まず破壊した電圧 V_B を印加した際の酸化ガリウムの空乏層幅 W_{max} を(2)式で求め、最大電界 E_{max} を(3)式に W_{max} 値を入れて求めた。

$$V_B = \underbrace{qN_D/(2\varepsilon_0 \varepsilon_s)}_{\text{半導体に加わる電圧}} \cdot W_{\text{max}}^2 + \underbrace{qN_D/(\varepsilon_0 \varepsilon_{\text{ox}})}_{\text{SiO}_2に加わる電圧}} \cdot W_{\text{max}} \cdot t_{\text{ox}} \quad (2)$$

$$E_{\text{max}} = \underbrace{qN_D/(\varepsilon_0 \varepsilon_s)}_{\text{半導体最大電界強度}} \cdot W_{\text{max}} \quad (3)$$

ここで q : 素電荷、 ε_0 :誘電率、 ε_s :酸化ガリウムの比誘電率、 ε_{ox} :SiO₂の比誘電率、 N_D :ドナー濃度、 V_B :破壊電圧、 W_{max} :最大空乏層幅、 t_{ox} :酸化膜厚である。

Mg注入のガードリング構造を導入することによりトランジスタを模したMOSキャパシタ構造においても最大電界強度を1.6 ~ 2 MV/cmから3.7 MV/cmまで高めることができた。

最大電界強度を3.7 MV/cmまで高めた耐圧向上効果を1次元解析式(2)、(3)によって確認した。解析では最大の空乏層厚 W_{max} をエピタキシャル層厚 d とした。図3-(4)-10に1次元解析によって求めた耐圧とエピタキシャル層厚 d の関係を示す。MOSキャパシタの実験結果は図中のドナー濃度 $3 \times 10^{16} \text{ cm}^{-3}$, 1500 V付近に相当する。ドナー濃度 N_D をパラメータとしており、赤い破線は最大電界強度 E_{max} (3)式のラインを示す。最大電界強度以下の領域でGa₂O₃層のドナー濃度と膜厚を調整することにより最大の耐圧を得ることができる。最大電界強度が従来値の2 MV/cmではドナー濃度 $2 \sim 3 \times 10^{15} \text{ cm}^{-3}$ 、厚さ50 μm のエピタキシャルウエハでは耐圧5 kVが限界で有ったが、最大電界強度を4 MV/cm程度まで高めればドナー濃度 $4 \sim 5 \times 10^{15} \text{ cm}^{-3}$ 、厚さ50 μm のエピタキシャルウエハで耐圧10 kVが実現できる見通しを得た。

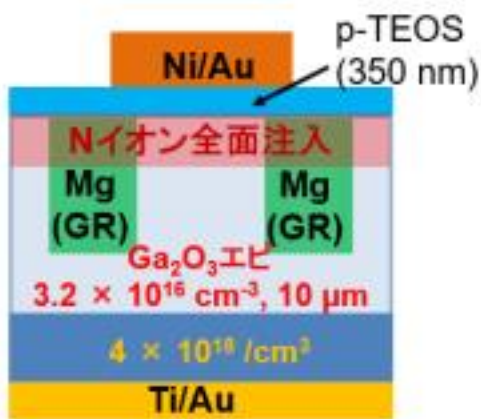


図 3-(4)-8 Mg ガードリング付き MOS キャパシタ構造

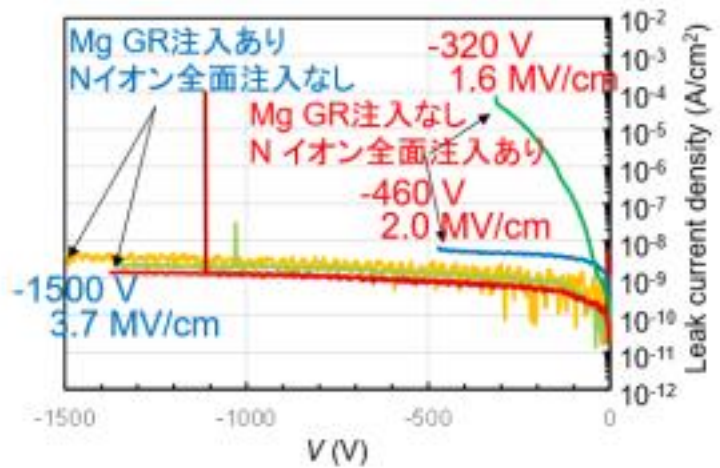


図 3-(4)-9 MOS キャパシタのオフ電流-電圧特性

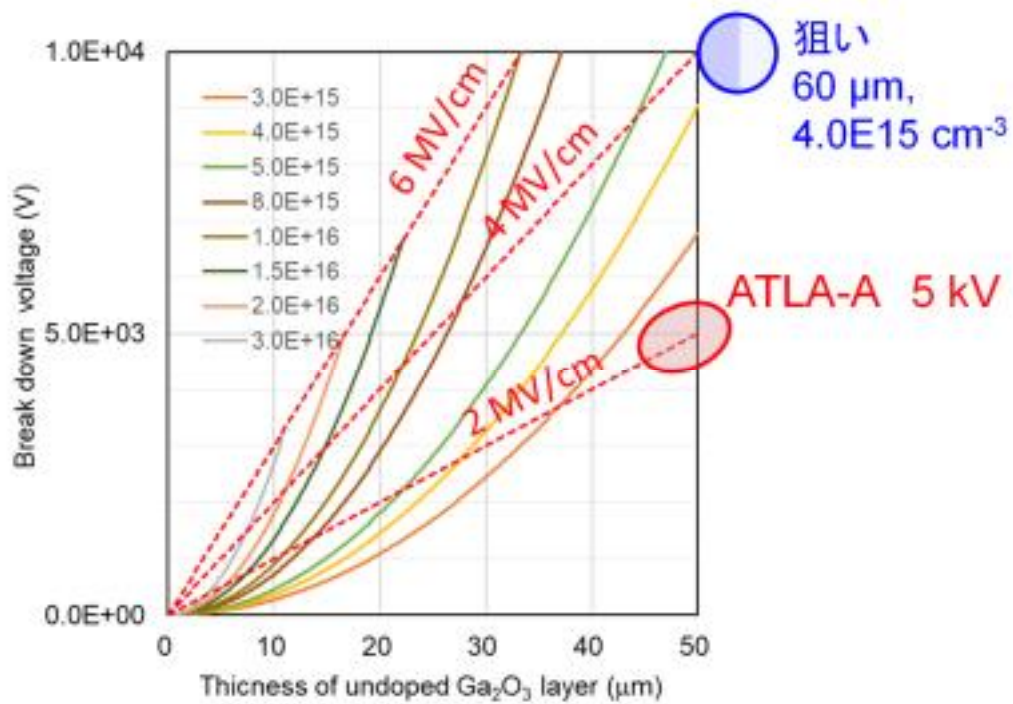


図 3-(4)-10 耐圧と Ga_2O_3 エピ厚の関係 (計算)

(4)-2-2 5 kV, 10 kV耐圧を有する小型マルチFinFETの試作

次に電界強度4 MV/cm設計でデバイスを設計、試作して検証した。電界強度4 MV/cmを実現するためMgの終端構造を適用した320 $\mu\text{m} \times 470 \mu\text{m}$ の小型のMOSトランジスタを作製した。

(011)基板を用いた低ドナー濃度厚膜エピタキシャルウエハ（ドナー濃度 $7.5 \times 10^{15} \text{ cm}^{-3}$ ，膜厚55 μm ）を作製し、そのウエハ上にゲート電極サイズ320 $\mu\text{m} \times 470 \mu\text{m}$ 、ソース電極サイズ50 $\mu\text{m} \times 60 \mu\text{m}$ 、ソース電極と接するFinの本数10本の小型のマルチFinFETを作製した。図3-(4)-19(a)、(b)に構造断面図と光学顕微鏡写真を示す。素子の外周にはMgガードリングとSiO₂のフィールドプレート膜を適用した。

本試作において得られたトランジスタのドレイン電流-ドレイン電圧特性を図 3-(4)-20 に、ドレイン電流-ゲート電圧特性を図 3-(4)-21 に、 オフ電流-電圧特性を図 3-(4)-23 に示す。しきい値+1.3 V、オンオフ比 >8 桁、破壊耐圧 5150 V、破壊電界強度 3.72 MV/cm、特性オン抵抗 21.6 $\text{m}\Omega \text{ cm}^2$ であり、パワーFOM(性能指数)は 1.23 GWcm^{-2} となり酸化ガリウムトランジスタのパワーFOMの世界最高値を得た。

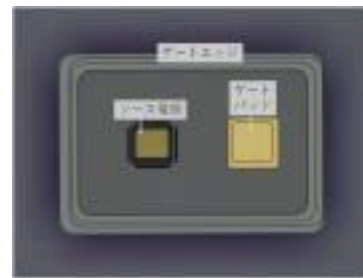
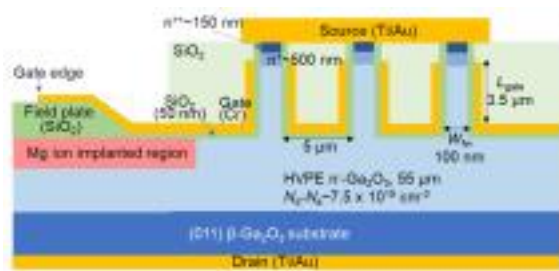


図 3-(4)-19 (a)FinFET の断面構造図

(b)FinFET の光学顕微鏡写真

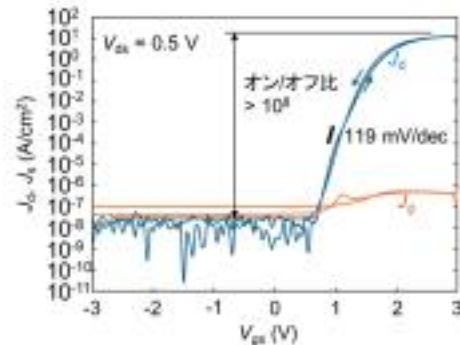
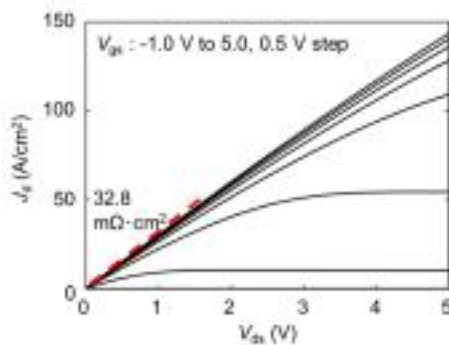


図 3-(4)-20 ドレイン電流-ドレイン電圧特性

図 3-(4)-21 ドレイン電流-ゲート電圧特性

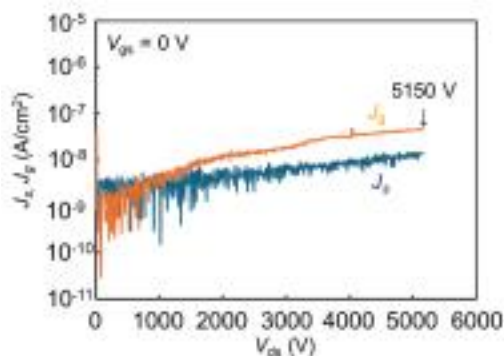


図 3-(4)-23 オフ電流-電圧特性

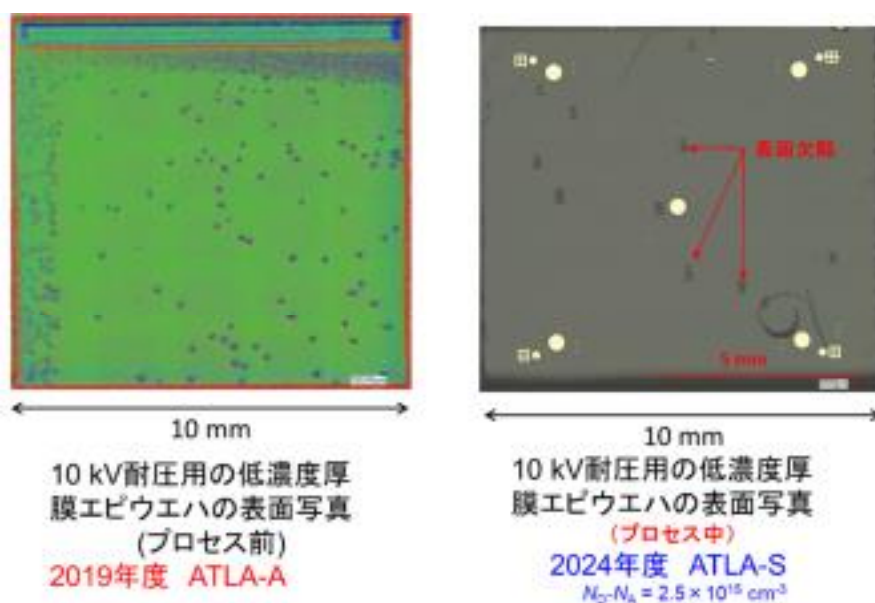


図 3-(4)-24 (011)Ga₂O₃ エピタキシャルウエハの表面欠陥変遷

最後に 10 kV 耐圧トランジスタ作製のため、(011)基板上にさらに低いドナー濃度、厚いエピタキシャル層(ドナー濃度 $1.8 \times 10^{15} \text{ cm}^{-3}$ 、膜厚 85 μm)を成膜したウエハ小片を作製した。(011)基板上的 HVPE エピタキシャル成長は低ドナー濃度化、表面平坦度向上に有利なため開発を進めてきたが、表面欠陥密度が高く、デバイスの歩留まりや耐圧が想定通りにできない課題があった。(011)基板育成条件の改善による基板の欠陥密度低減、エピ成長条件の改善による表面欠陥密度の低減を行い、表面欠陥密度は十数個/ cm^2 まで低減した(図 3-(4)-24)。

作製した(011)基板上の低ドナー濃度厚膜エピタキシャルウエハを用いて $320\ \mu\text{m} \times 470\ \mu\text{m}$ サイズの FinFET を試作した。試作したトランジスタのドレイン電流-ドレイン電圧特性を図 3-(4)-25 に、ドレイン電流-ゲート電圧特性を図 3-(4)-26 に、 オフ電流-電圧特性を図 3-(4)-27 に示す。ドレイン電流密度は、電流がアクティブエリア ($70 \times 45\ \mu\text{m}^2$) からドリフト層 (厚さ $80\ \mu\text{m}$) へ 45 度の角度で広がっていく想定で実効導電面積を規定して算出した。しきい値 $+0.7\ \text{V}$ 、オンオフ比 >7 桁であり、破壊耐圧 $>10\ \text{kV}$ を達成した。 $10\ \text{kV}$ は装置の測定限界である。この耐圧は既報告の Ga_2O_3 縦型 MOS トランジスタの最高耐圧値 $5\ \text{kV}$ を大きく超える値である。本試作では Mg ガードリング構造を適用していないため $10\ \text{kV}$ 時の電界強度は $2.55\ \text{MV/cm}$ であった。特性オン抵抗は $289\ \text{m}\Omega\text{cm}^2$ であり、パワー FOM は $0.35\ \text{GWcm}^{-2}$ である。ドナー濃度を調整 (ドナー濃度 $1.8 \times 10^{15}\ \text{cm}^{-3}$, 膜厚 $85\ \mu\text{m}$) して電界強度を $4\ \text{MV/cm}$ まで高めればさらに高い耐圧 ($>15\ \text{kV}$) のトランジスタの実現できると見込んでいる。

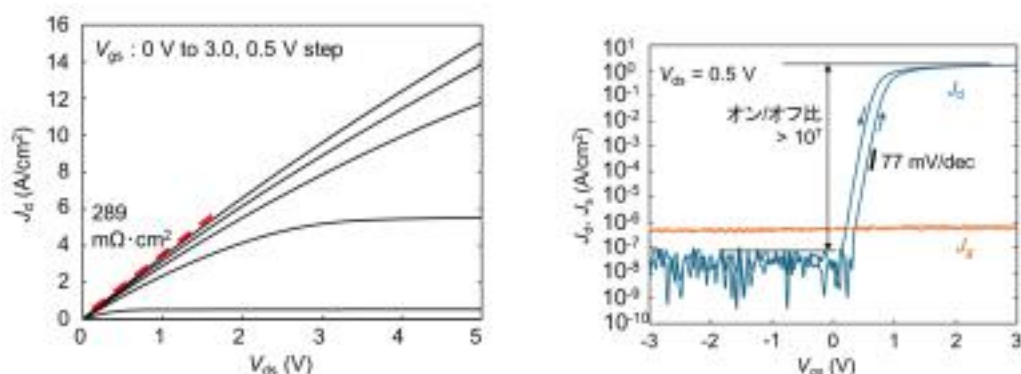


図 3-(4)-25 ドレイン電流-ドレイン電圧特性 図 3-(4)-26 ドレイン電流-ゲート電圧特性

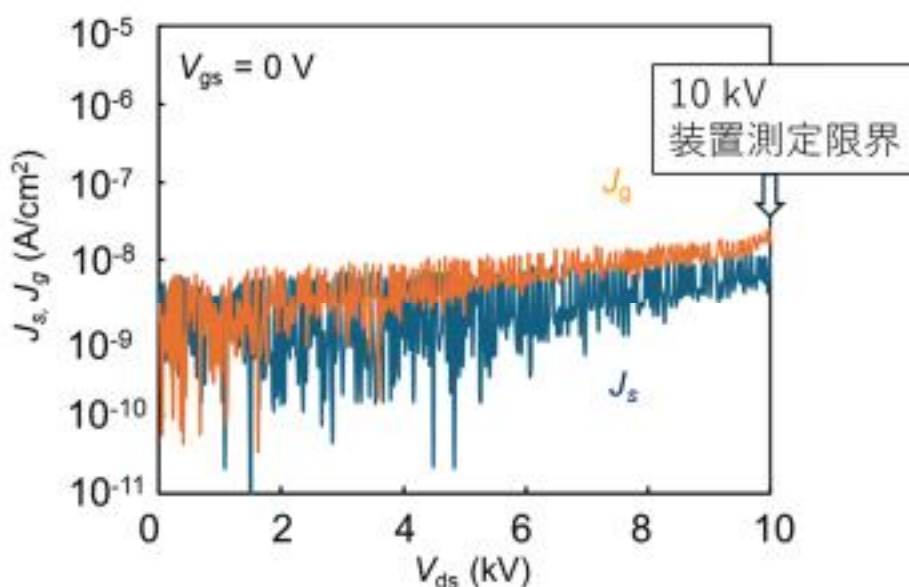


図 3-(4)-27 オフ電流-電圧特性

最後に、本プロジェクトにて作製した高耐圧 Ga_2O_3 トランジスタの特性オン抵抗と破壊電圧特性を図 3-(4)-28 に示す。Mg ガードリングを用いた 5 kV 耐圧トランジスタ(電界強度 4 MV/cm 設計)は Ga_2O_3 トランジスタにおける世界最高の PFOM 値を有し、SiC のトランジスタの性能に大きく近づいた。10 kV 耐圧縦型トランジスタ(電界強度 2.55 MV/cm 設計)は既報告の Ga_2O_3 10 kV 耐圧横型 MOS トランジスタと比較して特性オン抵抗が 1 桁小さく、優れた特性を示している。今後、デバイスの高電界設計(> 6MV/cm)を可能とする終端構造の開発(アクセプタ不純物のイオン注入、NiO 等を用いたヘテロ p 型半導体材料の適用)、素子の大面積化を可能とする低キラー欠陥密度エピタキシャルウエハ成膜技術の開発を進め、SiC の理論限界を超える高耐圧、大電流トランジスタの実現を目指す。

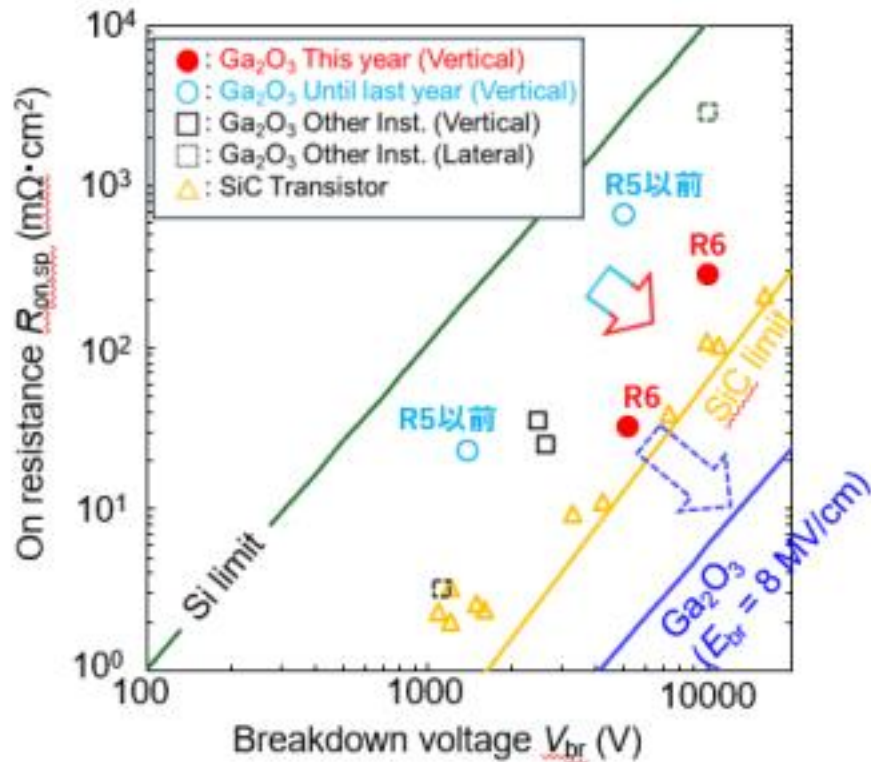


図 3-(4)-28 特性オン抵抗と破壊電圧特性

(5) Ga₂O₃トランジスタのスイッチング特性評価

要約

1.7 mm角のアンペア級トランジスタのT0247パッケージ品にて周波数500 kHz、電圧20 V、周波数100 kHz、電圧300 V、電流0.7 Aの高速連続動作を確認した。アンペア級、数百 Vのスイッチング動作を確認したのは世界で初めてである。さらに5 mm角20 A級トランジスタのT0247パッケージ品にてドレイン電圧300 V、ドレイン電流6 Aでのスイッチング速度、オン時間 $t_{on}(= t_{d(on)} + t_r) = 54.0$ ns、オフ時間 $t_{off} = (t_{d(off)} + t_f) = 72.8$ nsを確認した。最終目標の10 A級トランジスタにける数十nsレベルでの高速スイッチングが確認できた。しかしながら1.2kV用の4インチウエハで大型D-MOSトランジスタを作製したため、スイッチング電圧は300 Vにとどまった。10 kV、10 A級トランジスタの高速スイッチングに関して目標未達となった。

スイッチング特性の予備評価として、1.7 mm角のアンペア級トランジスタをチップ化してT0247パッケージに組みスイッチング特性を評価した。図3-(5)-1に組み立てたパッケージの写真、スイッチング評価回路を示す。図3-(5)-2にスイッチング波形を示す。ゲート抵抗は2.2 Ω 、負荷抵抗は100 Ω 、パルスジェネレータにより500 kHz、duty比10%、0~11 Vのゲートパルス電圧を与え、20 Vの電圧をスイッチングし、500 kHzの高速連続動作を確認した。アクセプタ不純物をドーピングした高抵抗ウエル層を有するGa₂O₃トランジスタで高速スイッチング動作を確認したのは初めてである。高速スイッチングデバイスとしての縦型 β -Ga₂O₃ D-MOSトランジスタのポテンシャルを確認した。

次にドレイン電圧300 Vでのスイッチング評価を実施した。スイッチング評価回路を図3-(5)-3に示す。ゲート抵抗は2.2 Ω 、負荷抵抗は400 Ω 、パルスジェネレータにより100 kHz、duty比5%、0~13 Vのゲートパルス電圧を与え、印加電圧を300 Vに設定した。連続スイッチング波形を図3-(5)-4に示す。100 kHz、300 V、0.7 Aの高速連続動作を確認した。Ga₂O₃トランジスタにてアンペア級、数百 Vのスイッチング動作を確認したのは世界で初めてである。同素子のスイッチング速度(t_{on} 、 t_{off})は、ドレイン電圧300 Vで $t_{on}(= t_{d(on)} + t_r) = 38.4$ ns、 $t_{off} = (t_{d(off)} + t_f) = 77.6$ nsと数十nsレベルの高速スイッチングを確認した。

最後に、5 mm角20 Aトランジスタ素子を用いドレイン電圧300 V、ドレイン電流6 Aでのスイッチング速度をダブルパルス法で評価を行った。測定条件は印加電圧300 V、負荷抵抗47 Ω 、ゲートパルス電圧0~12 Vとした。測定したスイッチング速度はオン時間 $t_{on}(= t_{d(on)} + t_r) = 54.0$ ns、オフ時間 $t_{off} = (t_{d(off)} + t_f) = 72.8$ nsであり、最終目標の10 A級トランジスタにおいても数十nsレベルでの高速スイッチングが確認できた。

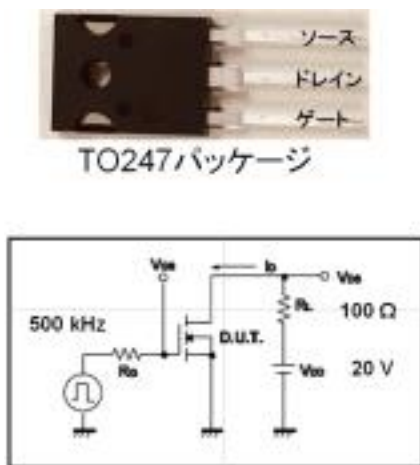


図 3-(5)-1 パッケージ写真
スイッチング評価回路



図 3-(5)-2 500 kHz 動作スイッチング波形

しかしながら10 kV耐圧、mA級トランジスタのスイッチング評価はトランジスタの試作が遅れたため、また高電圧のスイッチング評価システムが準備できなかったため、実施できなかった。今後、高電圧スイッチング評価系の外注先調査を行い、スイッチング特性評価を進める。

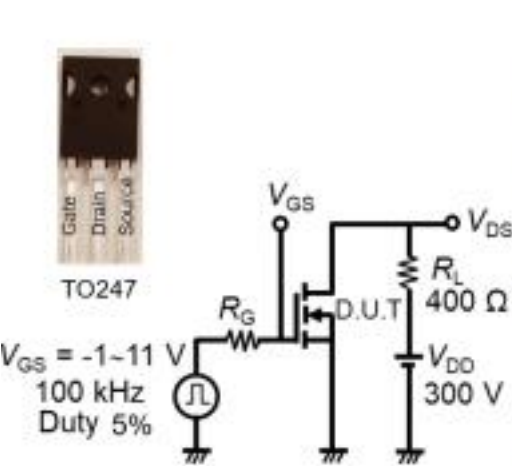


図-(5)-3 パッケージ写真
スイッチング評価回路

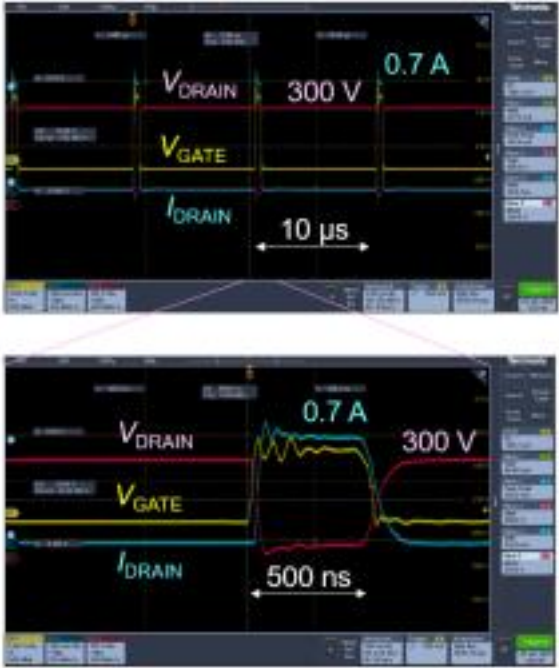
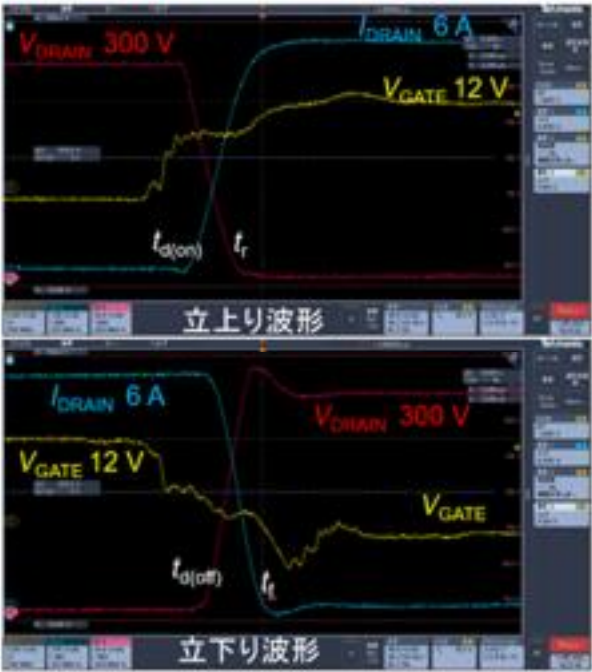
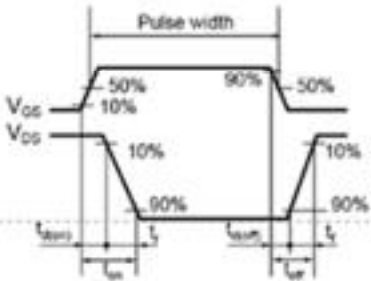


図 3-(5)-4 100 kHz, 300 V, 0.7 A 動作
連続スイッチング波形



$t_d(\text{on})$	20 ns
t_r	34 ns
$t_d(\text{off})$	48.8 ns
t_f	24 ns



測定条件
 $R_{\text{load}}=47\ \Omega$
 $V_{\text{DS}}=300\ \text{V}$
 $V_{\text{GS}}=12\ \text{V}$

図 3-(5)-5 5 mm 角 20 A トランジスタのスイッチング波形

(6) 結晶欠陥の構造解析

要約

本実施項目では、 β -Ga₂O₃単結晶基板およびSBD中の結晶欠陥を高精度に評価する手法を確立し、デバイス性能への影響を明らかにすることを目的として、以下の取り組みを実施した。取りこぼしなく転位を顕在化させるため、検出精度の高いエッチャント (KOH+NaOHの共晶融液) を選定した。さらに、反射配置X線トポグラフィによる基板およびエピ膜中の転位やドメインバウンダリの検出とg・b解析による転位種類の同定を可能にした上でSBDデバイスのオペランド観察技術を確立した。本技術を適用することにより、電極端部での電界集中による破壊が多く観察され、さらに [010] 方向に延びる欠陥が逆方向リークの要因となっている可能性が示唆された。また、異常透過を利用して基板内部の欠陥も検出する透過配置X線トポグラフィ観察技術を開発し、これをSBDデバイスのオペランド観察に適用した結果、ドット列の発生後に破壊が生じる現象を見出した。加えて、放射光X線トポグラフィ観察時に試料と検出器間にメッシュを配置し、ドメインバウンダリに起因するメッシュ像のずれを解析することでドメインバウンダリの種類および方位ずれ量を定量する技術を開発した。

以上により、 β -Ga₂O₃結晶およびSBDデバイスに内在する欠陥の構造・位置・種類をオペランド観察も含めて評価する複数の手法が確立された。また、 β -Ga₂O₃ウエハの加工において重要となる機械特性の結晶方位依存性を解明するなどの付加的な成果も得られた。

a. エッチングによる欠陥検出

a-1. エッチングによるバルク結晶の欠陥検出^[1]

エッチピット法は、欠陥箇所と周囲の完全結晶領域との化学反応速度の差異を利用し、欠陥位置にピット (穴) またはヒロック (突起) のような表面形状を形成させることで、欠陥の分布と種類を調べる方法である。異方性エッチング反応を促進するアルカリ性エッチャントを選定した。適切な条件で形成したエッチピットと転位の相関解析により精度を検証した。更に、先行研究で報告された熱リン酸を用いたエッチピット法^[2,3]と比較し、両手法の特徴と相違点を調査した。

本検討にはノベルクリスタルテクノロジー (以下、NCT) でedge-defined film-fed growth法 (以下、EFG法) で作製した β -Ga₂O₃単結晶基板を用いた。明瞭な表面形状を形成するために必要な異方性エッチング反応を促進するアルカリ性エッチャントを選定した。400℃以上の高温エッチングで発生する表面劣化を避けるため、融点が高い (約170℃) KOH : NaOH=1.3:1 (重量比) の共晶融液を採用した。面方位の異なる3種類の基板 (($\bar{2}$ 01)面、(010)面、および(001)面) を200~300℃のKOH+NaOH共晶融液に2~4分間浸漬し、処理後の基板表面をレーザー顕微鏡で観察した。

図3-(6)-1に200℃で2分間エッチングした($\bar{2}$ 01)面基板の例を示す。エッチング後の基板表面には、深さが約2 μ mで、明瞭なファセット面で構成された、芯のあるエッチピットが10⁴cm⁻²台の密度で確認された。後述するX線トポグラフィで測定した同サンプルの転位密度と一致する。同様な方法で処理した(010)面と(001)面基板表面においても、転位密度と一致する表面形状が形成されたことを確認した。エッチング温度が200℃より高くなると、転位と対応しない領域においても異方性エッチングが速く進み、表面が粗くなる傾向がある。その結果、転位と無関係の「芯のない」浅いエッチピットが大量に形成され、転位由来のエッチピットの計数と分類に支障が生じる。また、エッチング時間に関しては、対象サンプルの大きさとキャリア濃度に応じ、2~4分間の範囲で適宜調整する必要がある。以上の結果から、全ての面方位において、KOHとNaOHの共晶融液を用いたエッチピット法がGa₂O₃の転位検出手法として使用できることを確認した。

¹ Y. Yao, Y. Sugawara, K. Sato, D. Yokoe, K. Sasaki, A. Kuramata, Y. Ishikawa, J. Alloys. Compd., 910 (2022) 164788.

² K. Hanada, T. Moribayashi, K. Koshi, K. Sasaki, A. Kuramata, O. Ueda and M. Kasu, Jpn. J. Appl. Phys., 55 (2016) 1202BG.

³ M. Kasu, T. Oshima, K. Hanada, T. Moribayashi, A. Hashiguchi, T. Oishi, K. Koshi, K. Sasaki, A. Kuramata and O. Ueda, Jpn. J. Appl. Phys., 56 (2017) 091101.

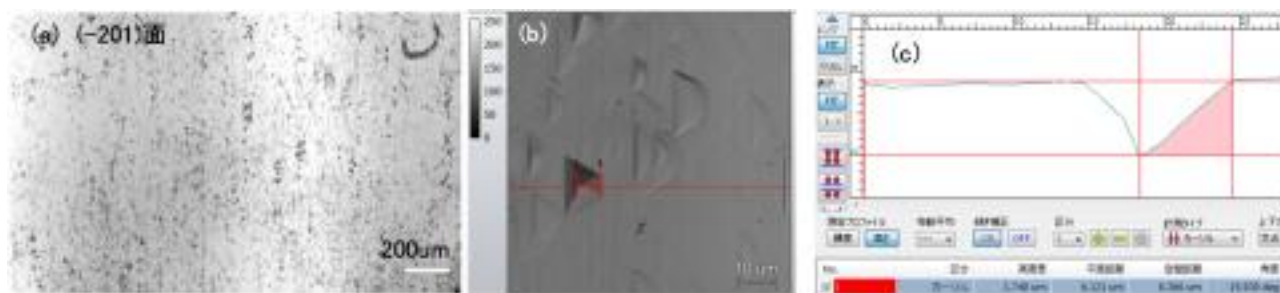


図 3-(6)-1 (a) 200℃の KOH+NaOH 共晶熔融液で 2 分間エッチングした (201) 面基板のレーザー顕微鏡像,
(b) 代表的エッチピットの拡大像, (c) 同ピットの断面深さプロフィール

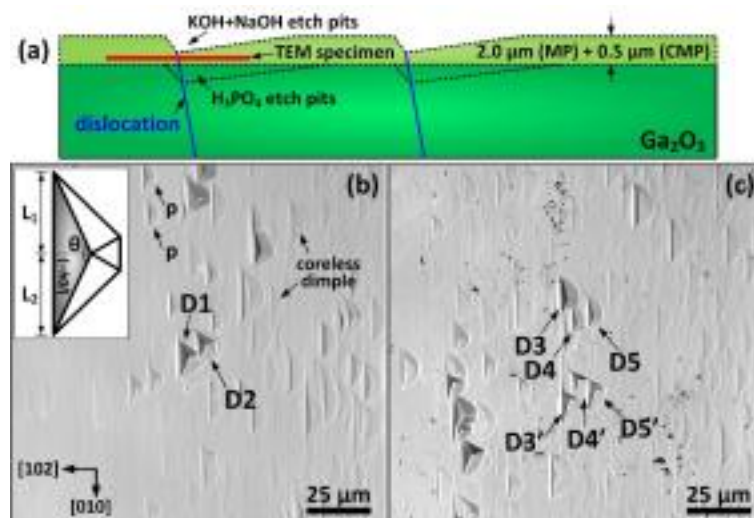


図 3-(6)- 2 (a) KOH : NaOH エッチングと熱リン酸エッチングを比較するためのサンプル処理の模式図, (b, c) KOH : NaOH エッチングにより (201) 面に形成したエッチピットの光学顕微鏡像 (ピット D1～D5 の直下にある転位を FIB で抽出し、TEM による転位観察を行った。)^[1]

図3-(6)- 2(a)に二つのエッチング手法を比較するための(201)面サンプルのエッチング処理の模式図を示す。まずは、KOH : NaOH共晶熔融液で基板を処理し、光学顕微鏡を用い、表面に形成したエッチピットを観察した。[010]方向に沿って、形の対称性が異なる複数のピットを選定し、その直下から転位線を含む結晶薄片をFIBで抽出した(図3-(6)-3と図3-(6)-4)。次に、機械研磨(MP)および化学機械研磨(CMP)を実施し、KOH : NaOHで形成したエッチピットを含む2.5 μm厚の表面層を除去することで、表面再生を行った。最後に、熱リン酸による2回目のエッチングを実施し、同一場所でエッチピット形成の有無、およびピットの位置と形状を比較した。

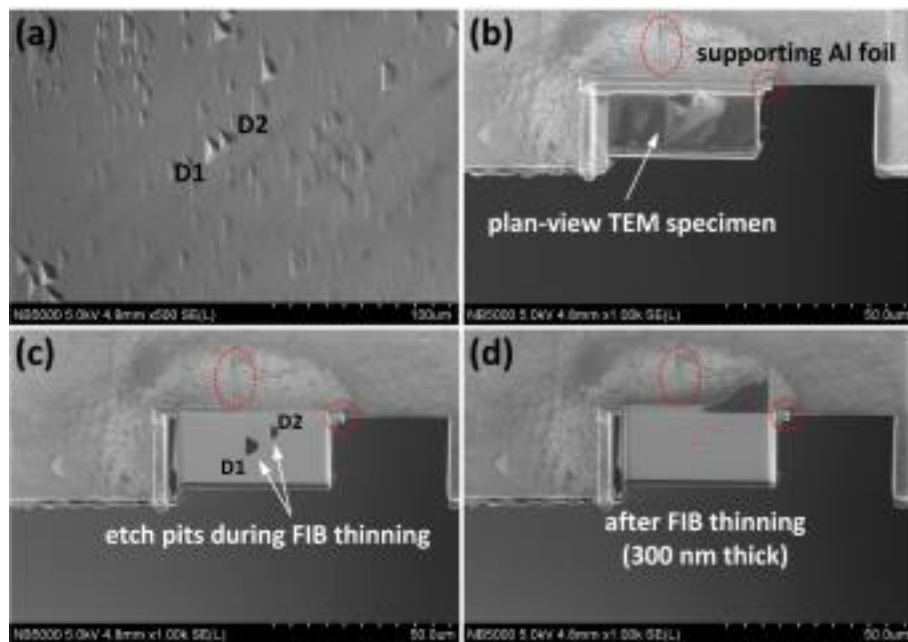


図 3-(6)-3 FIB によるエッチピット D1 と D2 の直下にある転位の抽出 ^[1]

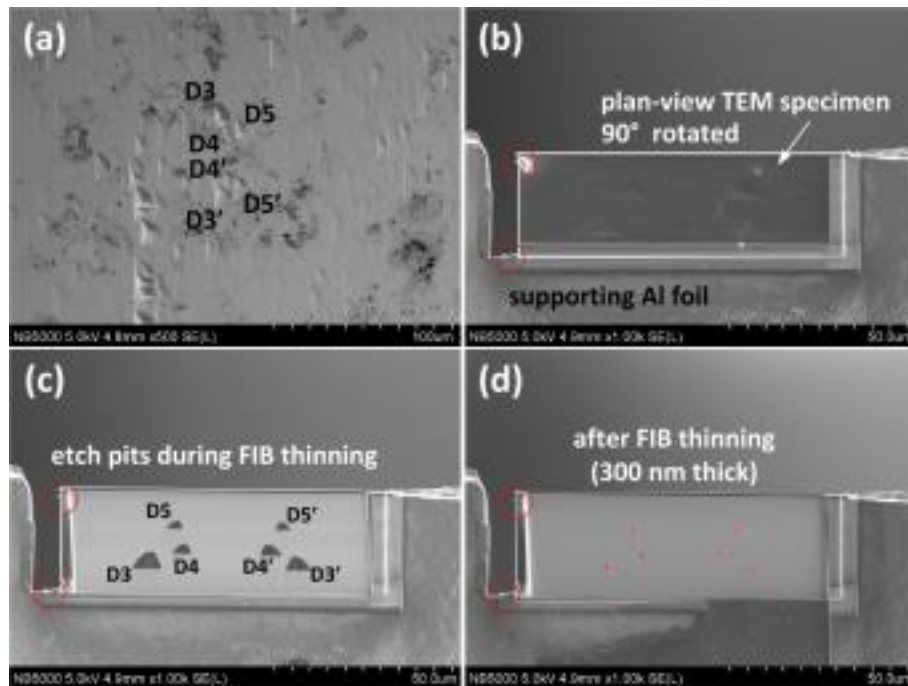


図 3-(6)-4 FIB によるエッチピット D3~D5、D3' ~D5' の直下にある転位の抽出 ^[1]

エッチピットD1とD2の直下、およびD5-D5'の直下にある転位のTEM像をそれぞれ図3-(6)-5と図3-(6)-6に示す。D1とD2のように、[010]方向に沿って、対称性の高いエッチピットは、基板表面となす角の大きな転位（直立に近い）と対応することがわかった。また、D3~D5、D3' ~D5'のように、単一のピットとしては対称性が低い、ピットペアとしては対称性を有するものは、(201)面とほぼ平行に伸展する基板面転位と対応することがわかった。TEM観察した5つのピットいずれもピット芯下に転位が観察されたことからKOH+NaOHエッチングは転位を正確に検出すると判断した。

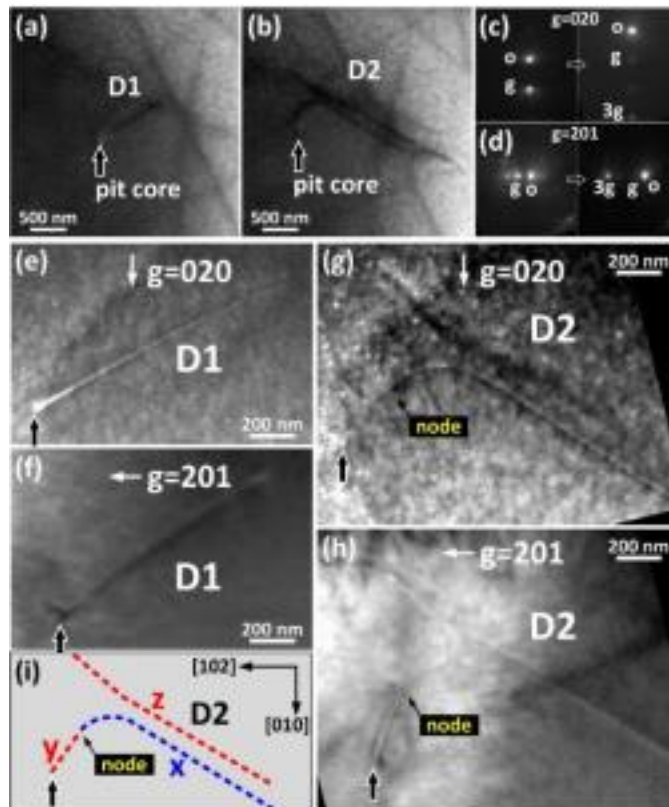


図 3-(6)-5 (a, e, f)エッチピット D1 の直下にある転位の TEM 像、(b, g, h)エッチピット D2 の直下にある転位の TEM 像、(c, d) $g/3g$ SADP パターン、(i) $g \cdot b$ 解析で判定した D2 と対応する転位の模式図 ^[1]

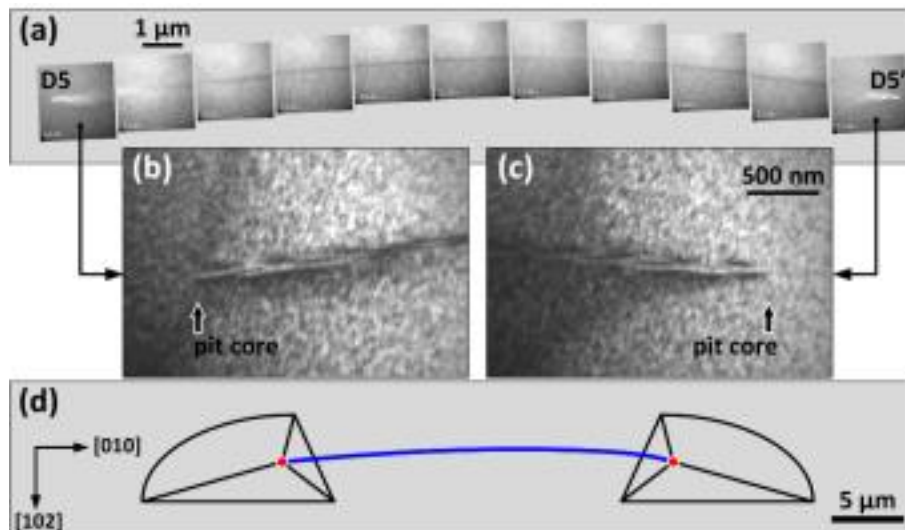


図 3-(6)-6 (a)エッチピット D5-D5 'の直下にある基板面転位の TEM 像、(b, c)転位両端の高倍 TEM 像、(d)エッチピットと転位の位置関係を示す模式図 ^[1]

図3-(6)-7にKOH+NaOHによるエッチピットと熱リン酸によるエッチピットの比較を示す。熱リン酸エッチングでは、転位が弾丸状ピットとして検出される。両手法で形成した同一領域のピット（図3-(6)-7(b)と(c)）を比較すると、熱リン酸のエッチピットの数が少ない、即ち、熱リン酸エッチングでは一部の転位が検出されないことが明らかになった。熱リン酸で検出されなかったD12～D14は、ピットが非対称であることから基板表面となす角が小さい基板面転位であると推定した。即ち、結晶内に存在する転位すべてを検出するにはKOH+NaOHがエッチャントとして適しており、基板表面となす角の大きな転位のみを検出するには熱リン酸がエッチャントとして適していると判断した。

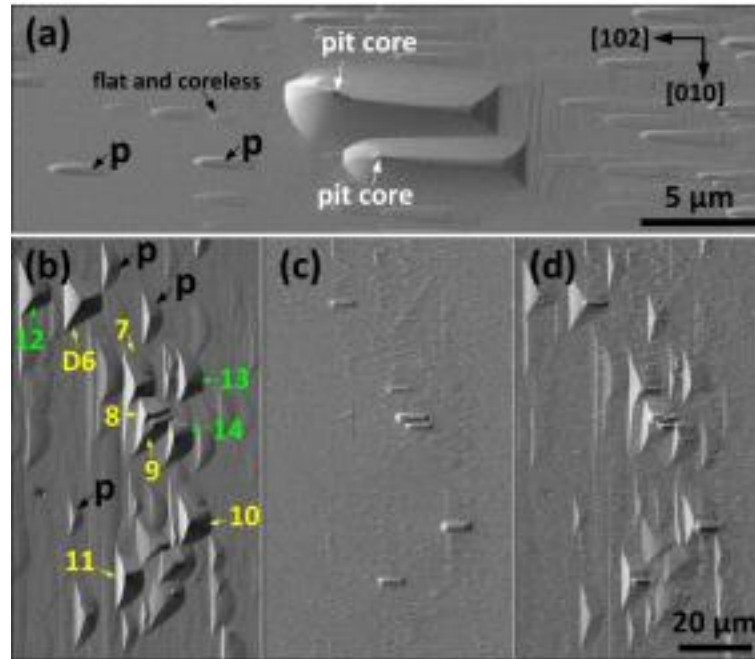


図 3-(6)-7 (a)熱リン酸によるエッチピットの拡大像、(b, c)同一箇所の KOH+NaOH によるエッチピットと熱リン酸によるエッチピット、(d)二種類のエッチャントのエッチピット像を重ね合わせた画像^[1]

a-2. エッチングによるSBDデバイスの欠陥検出

化学エッチングによる結晶格子欠陥の評価は、放射光のような大型施設を必要とせず、実験室で簡易かつ低コストで実施可能という特長がある。加えて、エッチピットを利用することで、結晶表面から欠陥の場所を特定できるため、集束イオンビーム（FIB）を用いた欠陥抽出（欠陥箇所のマイクロサンプリング）やその後の透過電子顕微鏡微構造解析に必要な欠陥位置情報を提供可能である。

KOH+NaOH共晶熔融液を用い、電極付きのSBDデバイスのエッチング処理を行った。図3-(6)-8に同じTEGのXRT像とエッチピット像の比較を示す。図3-(6)-8(a)に示すXRT像においては、転位のサンプル表面で終端する位置に白いスポットが形成される。一方、図3-(6)-8(b)の光学顕微鏡で観察されたエッチピット像においては、転位に対応するピットが黒い領域として観察される。パターン部の結晶は、電極の金属膜に保護されるため、腐食が進まず、エッチピットが形成されない。一方、結晶が露出するパターン外側の部分は、欠陥と対応する位置にエッチピットが形成された。XRT像とエッチピット像の相関解析を行うことで、両手法の転位検出の正しさが検証された。

パターン部直下にある欠陥と対応する箇所にエッチピットを形成するには、酸性腐食液で金属膜を除去し、TEG全体の転位分布を簡単に評価できるようにする必要がある。欠陥が表面に露出する位置をエッチピットで正しく特定し、FIBマイクロサンプリングによる転位抽出とTEM観察を行うことで、リアルタイムXRTで観察した欠陥箇所の微構造解析が可能になる。

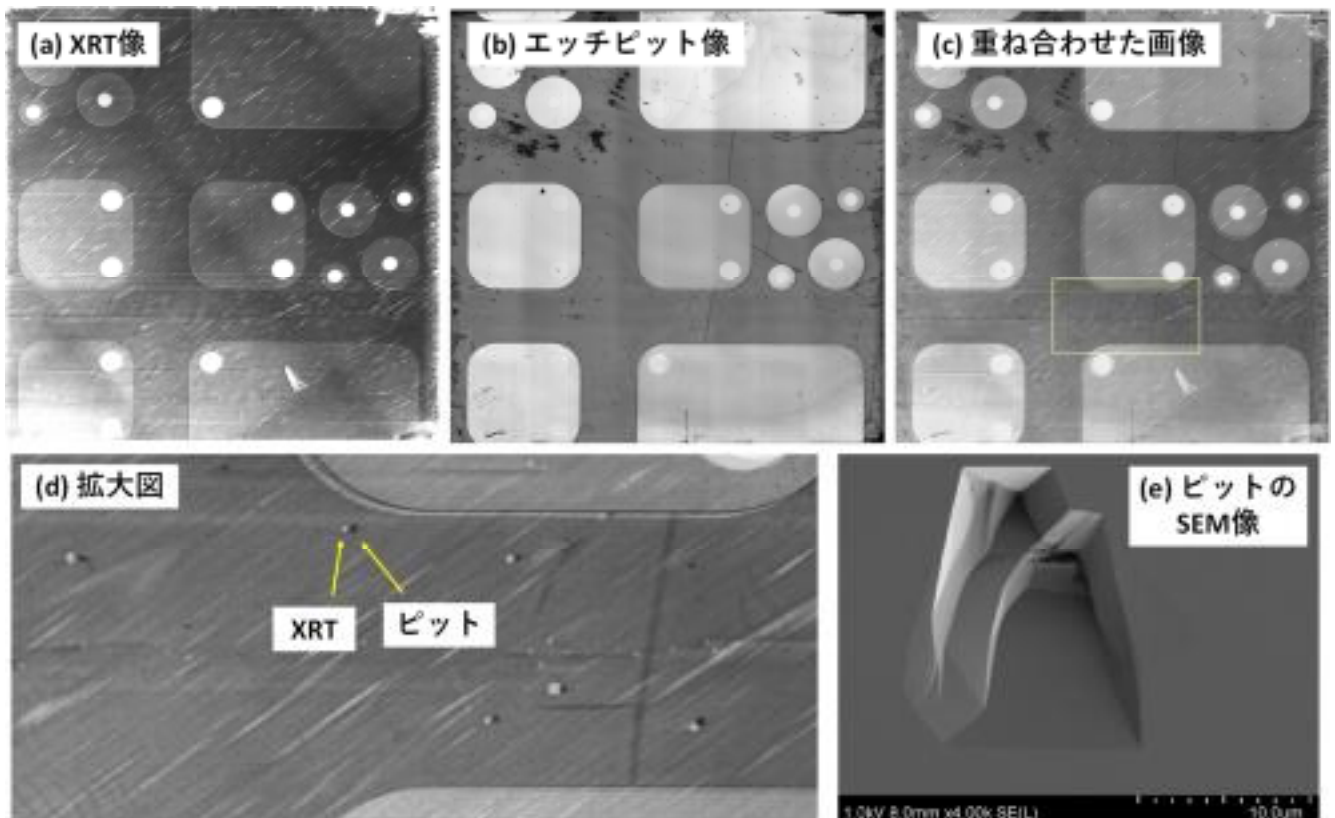


図 3-(6)-8 (a)XRT 像、(b)エッチピットのレーザー顕微鏡像、(c)XRT 像とエッチピット像を重ね合わせた画像、(d)重ね合わせた画像の一部の拡大像、(e)エッチピットの SEM 像

b. X線トポグラフィによる静的欠陥評価

b-1. X線トポグラフィによるバルク結晶表面近傍の欠陥評価^[4]

X線トポグラフィ法は、欠陥周囲の歪場によるX線回折方向の乱れを利用して欠陥をX線回折強度の二次元マップ像としてイメージングする方法である。X線トポグラフィの β -Ga₂O₃転位観察法としての適用性を確認するために、NCTで作製したEFG法(010)面および(001)面基板、またはエピ付き基板(10×15mm²、片面CMP)を用いて表面近傍の欠陥検出に適した反射配置(図3-(6)-9(a))での欠陥観察を行った。デバイス特性に大きく影響を与える線状欠陥である転位の種類を特定するために、各面方位において複数の回折ベクトル g を利用した。

⁴ Y. Yao, D. Wakimoto, H. Miyamoto, K. Sasaki, A. Kuramata, K. Hirano, Y. Sugawara, Y. Ishikawa, Scripta Materialia, 226 (2023) 115216.

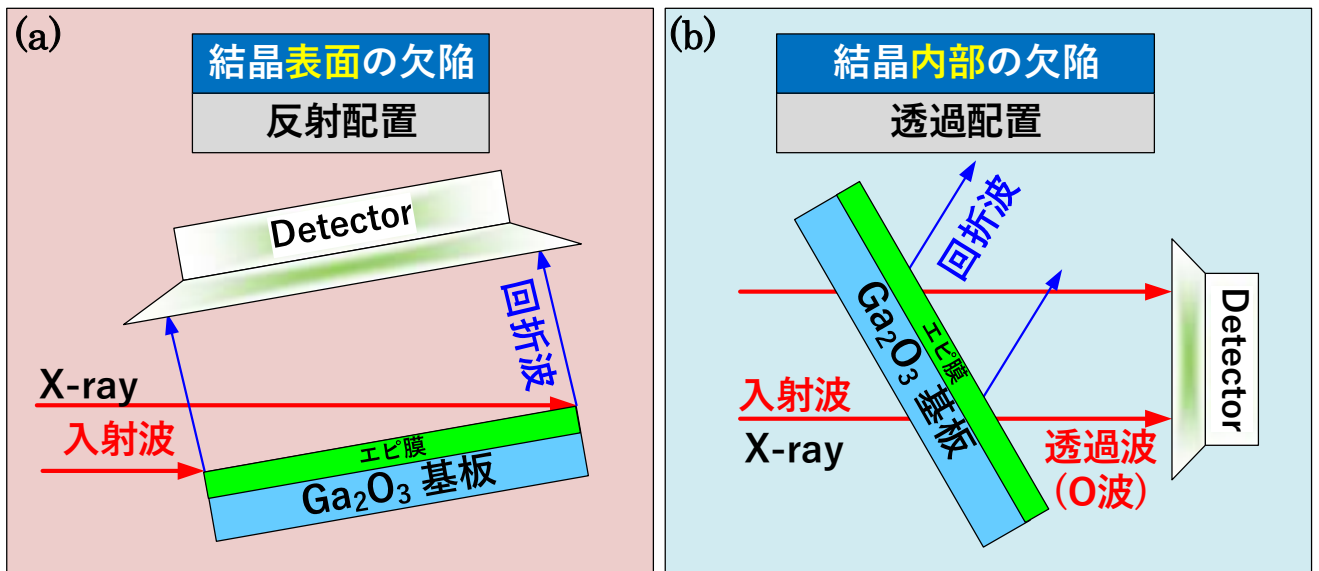


図 3-(6)-9 X線トポグラフィによる結晶欠陥評価の光学系。(a)反射配置、(b)透過配置。

図3-(6)-10に $g=623$ 回折で撮影した(010)面基板のX線トポグラフィ像と $g=024$ 回折で撮影した(001)面基板のX線トポグラフィ像を示す。EFGの引き上げ方向である[010]軸と直交する(010)面を主面とする基板では、[010]方向の貫通転位が主な欠陥種類として、 10^4cm^{-2} 台のスポット状コントラストで観察される。点状転位以外に、転位バンドと研磨加工に起因するスクラッチのような特異箇所も確認された。転位バンドの両側にある結晶の方位が 100 arcsec 程度異なることがXRD測定で判明し、その間の結晶粒界(DB、domain boundary)には高密度な転位が形成されたことがX線トポグラフィで明らかになった。また、研磨加工で導入されたスクラッチの周囲には、転位形成を伴う大きな歪場が存在するため、X線トポグラフィ像で明瞭に検出することができる。

一方、(001)面基板においては、成長方向の[010]軸が(001)面内に位置するため、[010]方向の転位は図3-(6)-10(b)中の縦方向の白線として検出される。また、(001)面内にある他方向の基板面転位は、概ね横方向の白色曲線として観察される。一部の基板面転位において、曲線状コントラストの終端にスポット状のコントラストが観察され、(001)面内の基板面転位が伸展方向を変え、ほかの結晶面にのることが示された。(010)面基板に比べ、貫通転位と対応するスポット状のコントラストが少ないことは(001)面基板の特徴である。この結果から、(001)面基板を利用することで、貫通転位の伝播を抑制でき、高品質なエピタキシャル層が得やすい可能性が示唆された。

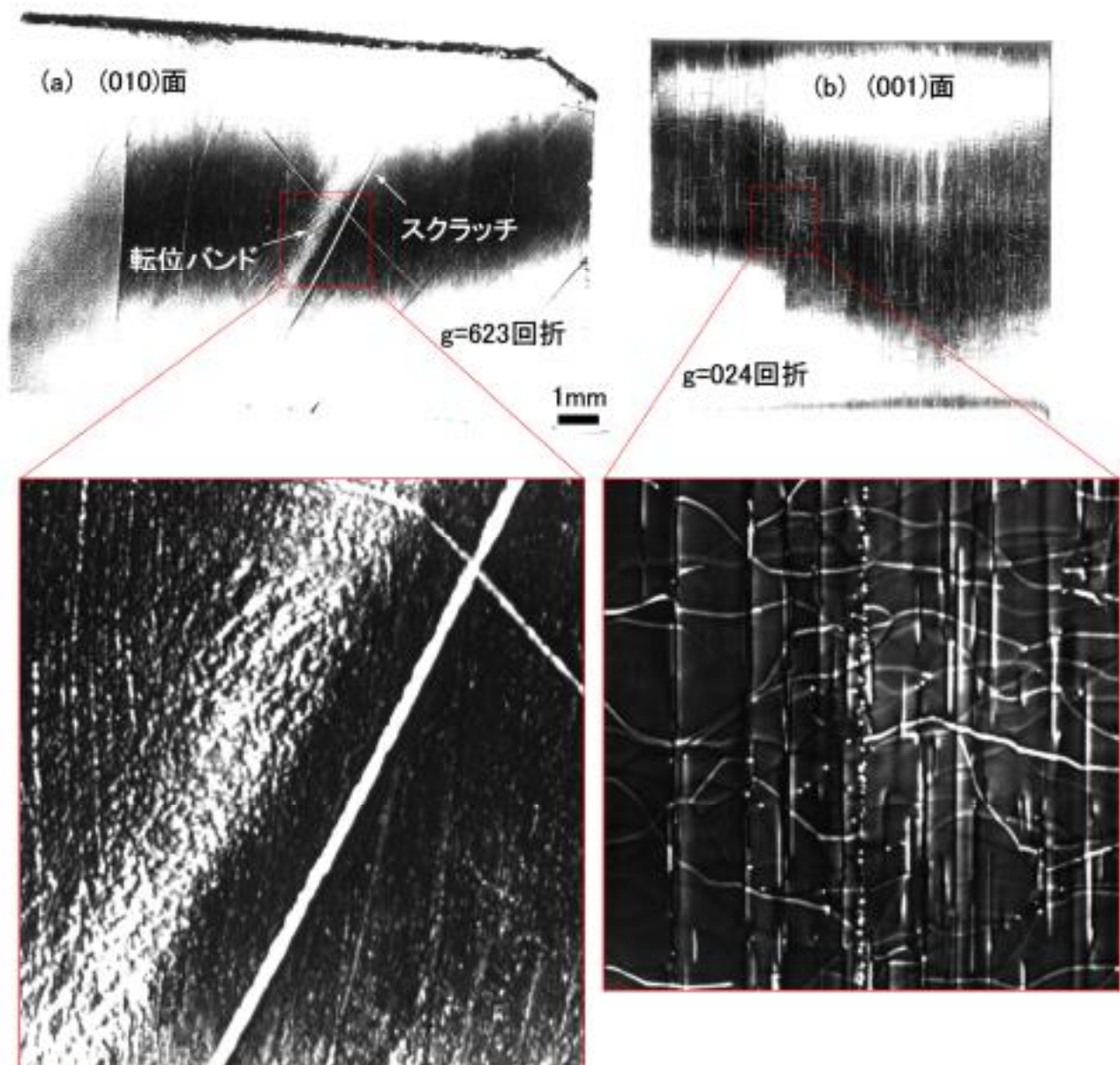


図 3-(6)-10 (a) $g = 623$ 回折で撮影した (010) 面基板の X 線トポグラフィ像 ; (b) $g = 024$ 回折で撮影した (001) 面基板の X 線トポグラフィ像。

X線トポグラフィ像における転位のコントラストは、回折ベクトル g と転位のバーガースベクトル b の内積に依存する。図3-(6)-11に (001) 面の同一領域を $g = \bar{6}26$, 024 , $0\bar{2}4$, $\bar{1}005$ の複数 g ベクトルで観察した反射 X 線トポグラフィ像を示す。転位 A1, B2, C1, D1 は $g = \bar{1}005$ でコントラストが消失したことから、 $b = [010]$ または $[0\bar{1}0]$ のらせん転位と判定される。以上の様に複数の g ベクトルで取得した X 線トポグラフィ像を比較すること（すなわち、 $g \cdot b$ 解析）で、 $\beta\text{-Ga}_2\text{O}_3$ においても転位のバーガースベクトル b を判別できることを確認した。

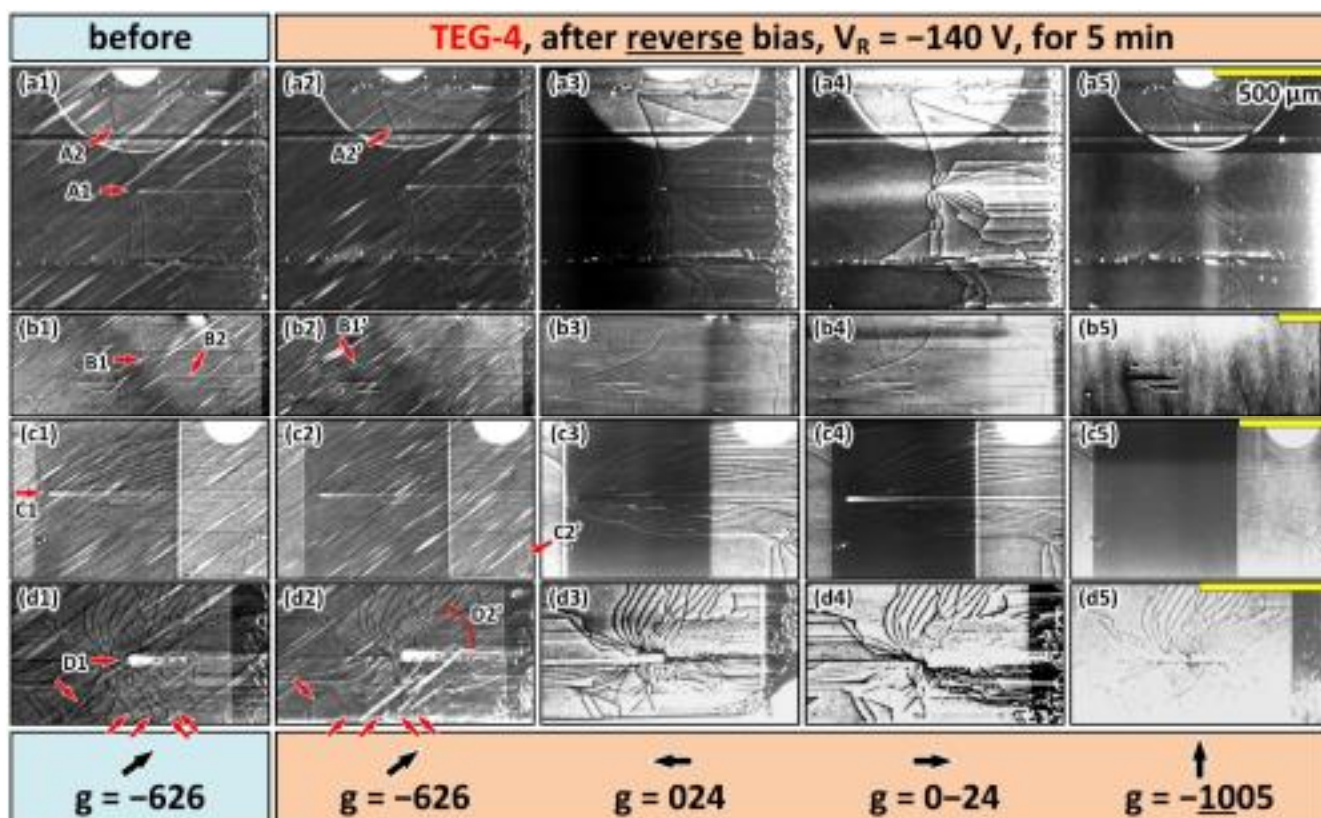


図 3-(6)-11 反射X線トポグラフィ像 ((a)～(d)各測定領域を示し、1～5は測定条件 g を示す。1, 2 $g=\bar{6}26$, 3 $g=024$, 4 $g=0\bar{2}4$, 5 $g=\bar{1}005$)^[4]

以上の結果から、各面方位の β -Ga₂O₃基板において、X線トポグラフィを利用することで、伸展方向の異なる貫通転位と基板面転位、また、バーガースベクトルの異なる異種の転位を検出できることを確認した。本手法は、DBに位置する高密度な転位列および加工由来の結晶ダメージの検出にも有効であることを確認した。

b-2. X線トポグラフィによる(001)面SBDの欠陥評価

非破壊評価かつX線回折評価法の一つであるX線トポグラフィを用い、(001)面SBDの欠陥観察を行った。図3-(6)-12(a)と(b)にそれぞれサンプルの外観と一つのTEGに含まれる電極の形状と位置を示す。X線トポグラフィ欠陥観察は、最初に単結晶基板の評価によく用いる回折ベクトル $g = \bar{6}26$ を使用して撮影した。図3-(6)-12(c)に $g = \bar{6}26$ で得られたX線トポグラフィ像を示す。電極パターン以外の領域においては結晶に含まれる転位が明瞭に観察されたが、電極の部分は回折強度が弱く、その下にある欠陥の観察はできなかった。 $g = \bar{6}26$ では、浅い角度でX線を基板表面に入射したため、電極によるX線の吸収が強く、X線の結晶への侵入深さが不十分であることがわかった。

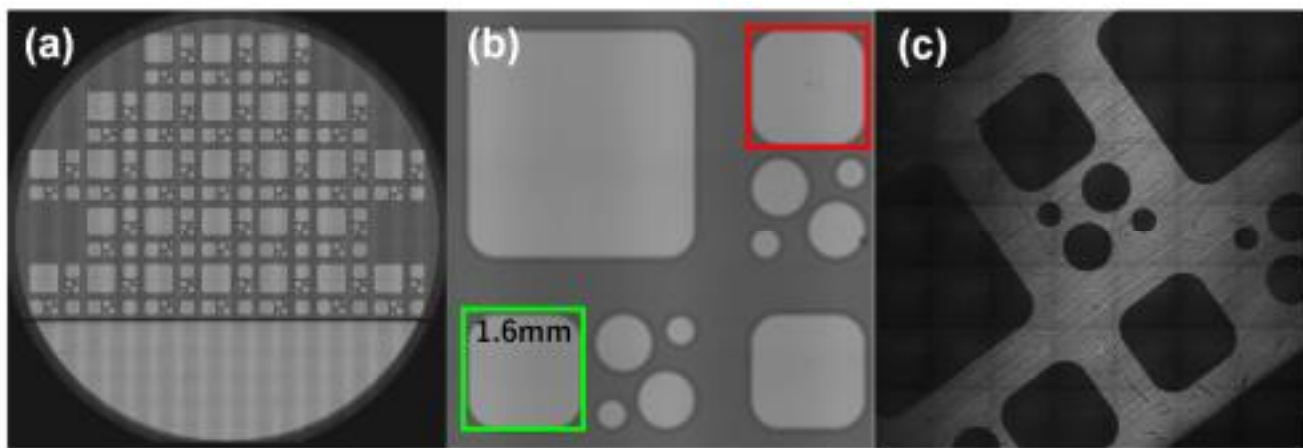


図 3-(6)-12 (a) 2 inch(001)面 SBD サンプルの外観、(b)電極の形状と位置、(c)X線トポグラフィ像

次に、電極付きのデバイス構造に適用する回折ベクトルを検討し、最適な $g = 316$ を見出した。図 3-(6)-13(a) に TEG の位置番号を示す。結晶の曲率半径が不十分なため、ブラッグ条件を同時に満たす領域は帯状領域に限られた。 $g = 316$ は結晶の三つの主軸成分 a, b, c を共に有するので、図 3-(6)-13(b) に示すように、X線トポグラフィ観察可能な領域は斜めになる。図 3-(6)-13(c) に TEG(1,2) の右上の電極の X線トポグラフィ像を示す。 $g = 316$ を利用することで、電極金属膜が表面に付着している領域からも欠陥の観察が可能になった。直線状の $[010]$ 方向のらせん転位、曲線状の (001) 面内の基板面転位、および点状の貫通転位が確認された。以上の結果で、X線トポグラフィ法はデバイス構造における結晶欠陥の観察が可能であることを確認した。

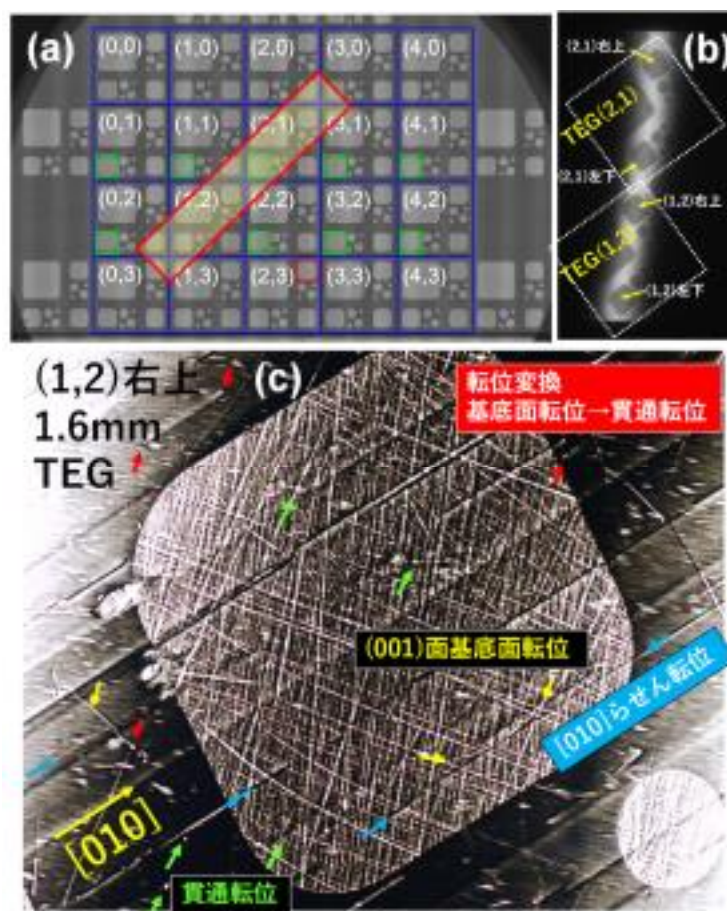


図 3-(6)-13 (a) TEG の位置番号、(b) $g = 316$ で撮影した帯状領域の X 線トポグラフィ像 (CCD 像)、(c) 原子核乾板で撮影した TEG(1, 2) 右上電極の X 線トポグラフィ像

c. オペランド観察技術開発

動作中のデバイスにおける欠陥の挙動をリアルタイムで観察する「オペランド観測技術」の確立を目指し、オペランド観察用SBDのTEG (Test Element Group) 構造の検討、TEGの固定方法に関する検討、配線後のSBDデバイスのX線トポグラフィ観察の検証、SBDデバイス通電前後の転位の比較によるオペランド観察で注目すべき欠陥の抽出を実施した。本検討において項目bで確立した単結晶基板・エピ膜・SBD中の欠陥のX線トポグラフィ評価方法を適用した。

c-1. オペランド観察用SBDのTEG構造の検討

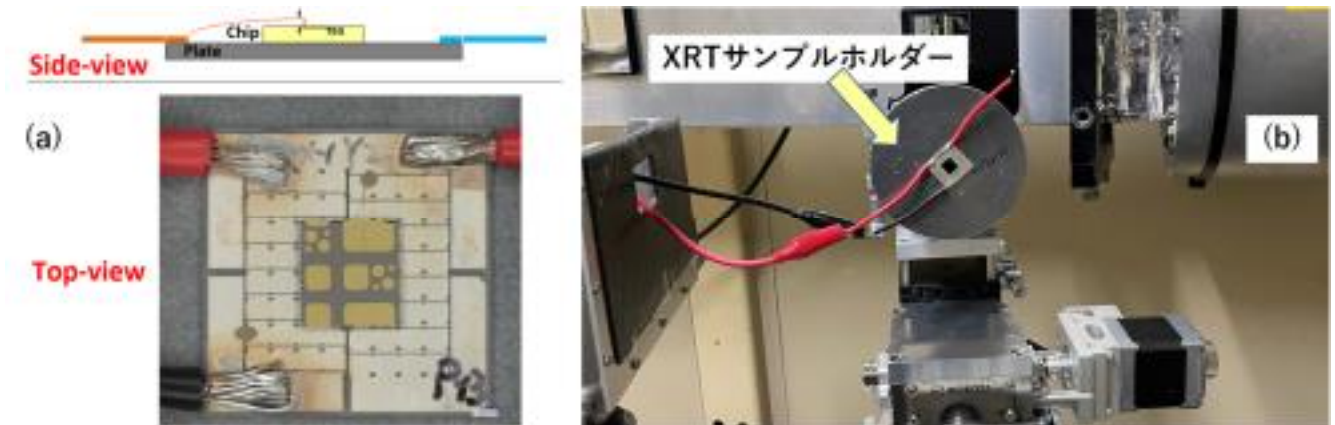


図 3-(6)-14 (a)XRT 観察用 SBD の TEG の構造、(b)SBD の TEG を XRT サンプルホルダーに設置した状態の写真

図3-(6)-14にXRT観察用SBDのTEGの写真を示す。2インチ(001)基板上に作製したSBDウエハをチップ化し、電極面積の異なる複数のSBD素子を含むTEG(約6 mm×6 mm)を用意した。銀ペーストまたは導電性テープでTEGをAlNパッケージ板に固定し、表面電極パッドにAuワイヤを用いてボンディングを施した。X線の立体障害にならないようにリード線をAlNパッケージ板に配置し、外部電圧電流印加装置に接続することで、XRT観察中のデバイス動作を可能にした。

c-2. TEGの固定方法に関する検討

動作中のデバイスをリアルタイムで観察するには、リード線などで外部の通電回路に接続する必要がある。リード線にテンションがかかるため、測定中に対象試料がドリフトしないように、通常の単結晶観察よりサンプルの固定方法に工夫を要する。また、TEGの裏面電極とAlNパッケージの間にある接着剤による電気抵抗の低減が求められる。TEGをAlNパッケージに固定する方法として、下記2種類の接着剤を検討した。

- ・ 銀ペースト
- ・ 導電性テープ

銀ペーストは、電気抵抗値が低く、硬化するとサンプルをしっかり固定できるメリットがある一方、サンプルの底面に応力がかかりやすい弱点がある。図3-(6)-15に銀ペーストを用いて固定したTEGのXRT像を示す。暗コントラストの領域はBragg条件が満たされ、X線回折が起こる部分であり、このような領域から欠陥像が得られる。通常、結晶面の反りが小さい(即ち、結晶面が湾曲しない)場合は、特定の入射角度でX線を照射すると、サンプル全体にわたりBragg条件が満たされ、広い範囲で欠陥観察ができる。一方、結晶面が激しく反っている場合は、図3-(6)-15中央の模式図に示すように、Bragg条件が場所によって異なるため、一定の入射角度でBragg条件を満たす領域が狭くなる。従って、欠陥を観察可能な領域が限定される。図3-(6)-15の(a)と(b)は入射角度を数十秒角(arcsec)変えて同じ場所で撮影したXRT像で、Bragg条件の場所依存性(即ち、結晶方位の場所依存性)が大きいことが示唆される。いずれの画像でも電極

パターンの一部しか観察できず、TEG中心にある1.6 mm角のSBD（評価対象）を評価するために、複数回の撮影を要する。固定しない単結晶およびエピ膜の観察結果と比較することで、銀ペーストを用いた固定方法では、TEGが激しく反ってしまい、XRT観察に支障をきたすことが分かった。その原因は、銀ペーストが硬化過程にTEGに応力を与えたことが考えられる。以上の結果から、固定方法を改善する必要があることが分かった。

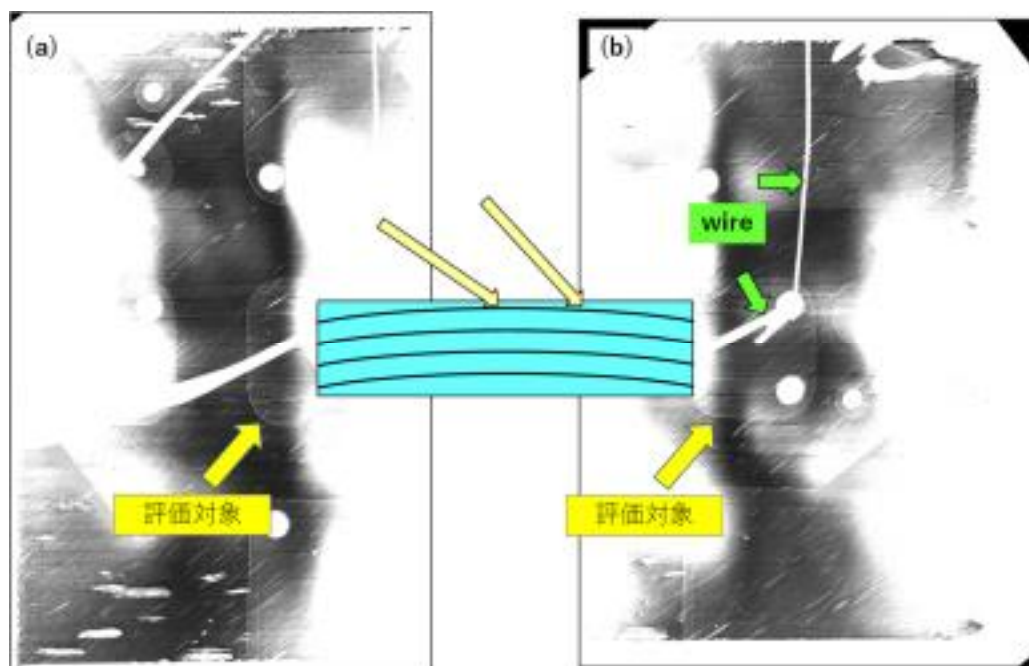


図 3-(6)-15 AlN パッケージに銀ペーストで固定した TEG の XRT 像。(a) と (b) は入射角度を数十秒角 (arcsec) 変えて撮影した XRT 画像。

銀ペーストによる歪みを解決するために、導電性テープによる固定方法を検討した。固定方法のXRT観察領域に与える影響の比較を図3-(6)-16に示す。固定されないサンプルに比べ、銀ペーストを用いたTEGでは、結晶面の反りによるX線回折強度の不均一さが観察された（図3-(6)-16(b)）。一方、導電性テープを用いたXRT像（図3-(6)-16(c)と(d)）では、複数の回折条件において、TEG全体にわたりほぼ均一なコントラストが得られた。加えて、導電性テープ固定でも銀ペーストと遜色ない電流値が取れたことを確認しており、動作中のデバイスのXRT測定に最適な固定方法であることがわかった。

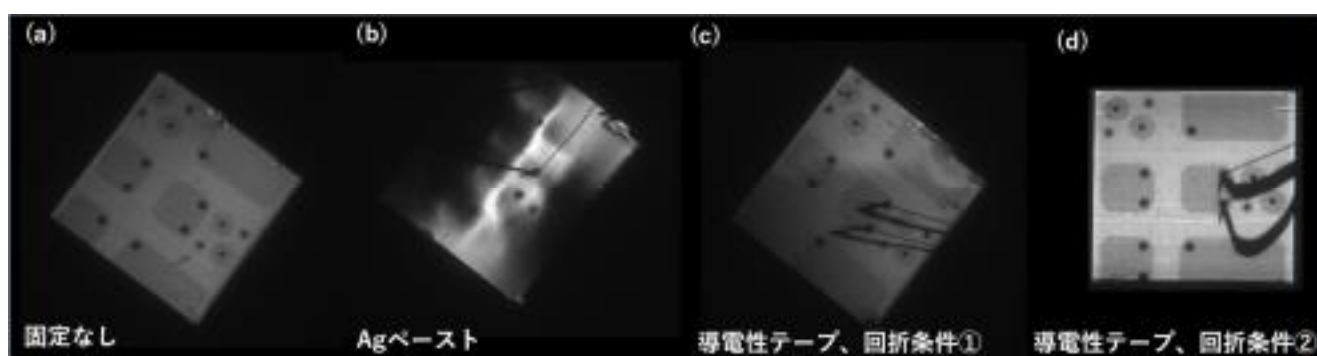


図 3-(6)-16 固定方法が XRT 像に与える影響、(a)固定しない TEG、(b)銀ペーストで固定した TEG、(c)と(d)導電性テープで固定した TEG（2つの回折条件で撮影）

c-3. 配線後のSBDデバイスのX線トポグラフィ観察の検証

リード線と金ワイヤによる立体障害が発生しないように、X線の入射方向、入射角度、および回折条件を検討し、デバイス構造を有するサンプルの観察方法の確立に取り組んだ。図3-(6)-

17にカメラで撮影したチップ化のSBDデバイスの高分解能のXRT像を示す。電極直下にある結晶を観察するために、電極パターンは通常より薄く作製しており、X線が透過しやすくなっている。また、回折ベクトル $g = 316$ を採用することで、X線の侵入深さを大きくした。最適化した回折条件で撮影した図3-(6)-17では、貫通転位と(001)面基板面転位にそれぞれ対応すると思われるスポット状と線状のコントラストが観察された。結晶欠陥のほかに、電極パターン、ワイヤボンディング用パッドおよび金ワイヤによるコントラストも容易に確認できる。また、電極の外側においても欠陥像が鮮明に撮影され、チップ全体に分布する欠陥をリアルタイムで観察することを可能にした。これにより、動作中のデバイスの欠陥観察に必要なコア技術が構築された。

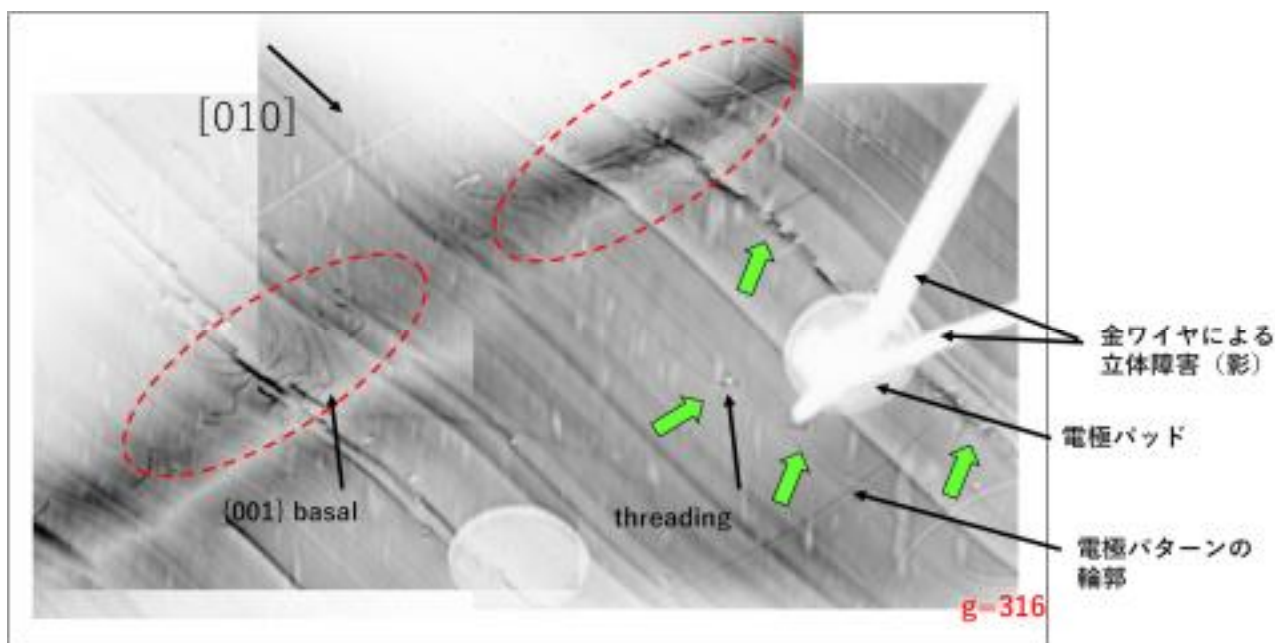


図 3-(6)-17 チップ化した SBD デバイスの高分解能の XRT 像 (回折ベクトル $g = 316$)

c-4. SBDデバイス通電前後の転位の比較によるオペランド観察で注目すべき欠陥の抽出

動作中のデバイスのリアルタイム観察に向けて、通電前後のSBDデバイスにある欠陥をXRTで観察し、欠陥の移動や増殖等の有無を確認した。これにより、リアルタイム観察で重点的に評価すべき欠陥種を検討した。図3-(6)-18に逆方向電圧 $V=-140$ 印加、5分間通電前後のSBDチップのXRT像を示す。場所①から転位のすべり、場所②から転位の増殖が確認された。

図3-(6)-19に場所①の拡大図を示す。通電前のXRT像から、[010]方向らせん転位の終端(A1)から複数の転位が放射状に伸展する様子が確認できる。これらの転位は(001)面に位置する。その中で、転位A2からすべり運動が確認された。通電前に弧状に湾曲していた転位A2は、通電後に直線状になり、転位の中央部分は約 $70 \mu\text{m}$ の距離にわたってすべりが発生した。複数の回折条件で転位コントラストを解析した結果、上記転位すべりは[010]{001}すべり系に属することがわかった。現段階では、すべり発生の機構が不明であるが、両端がピンニングされる転位A2は、転位の弾性エネルギーを下げるために、転位線が最短の直線状になるようにすべり運動を起こしたことが考えられる。

図3-(6)-20に場所②の拡大図を示す。[010]方向らせん転位の終端(D1)付近において、通電後にD2'で示す複数の転位が新たに観察された。また、一部の転位からすべり運動も確認された。強い化学結合を有する Ga_2O_3 においては、転位のすべり運動または増殖には、一定のエネルギー障壁を超える必要がある。そのため、通常、常温では外部励起がない限り、転位はこのようなすべり運動や増殖の挙動を示さない。今回のTEGで確認された転位挙動の駆動力は、通電による電気エネルギーまたは熱エネルギーだと推測される。

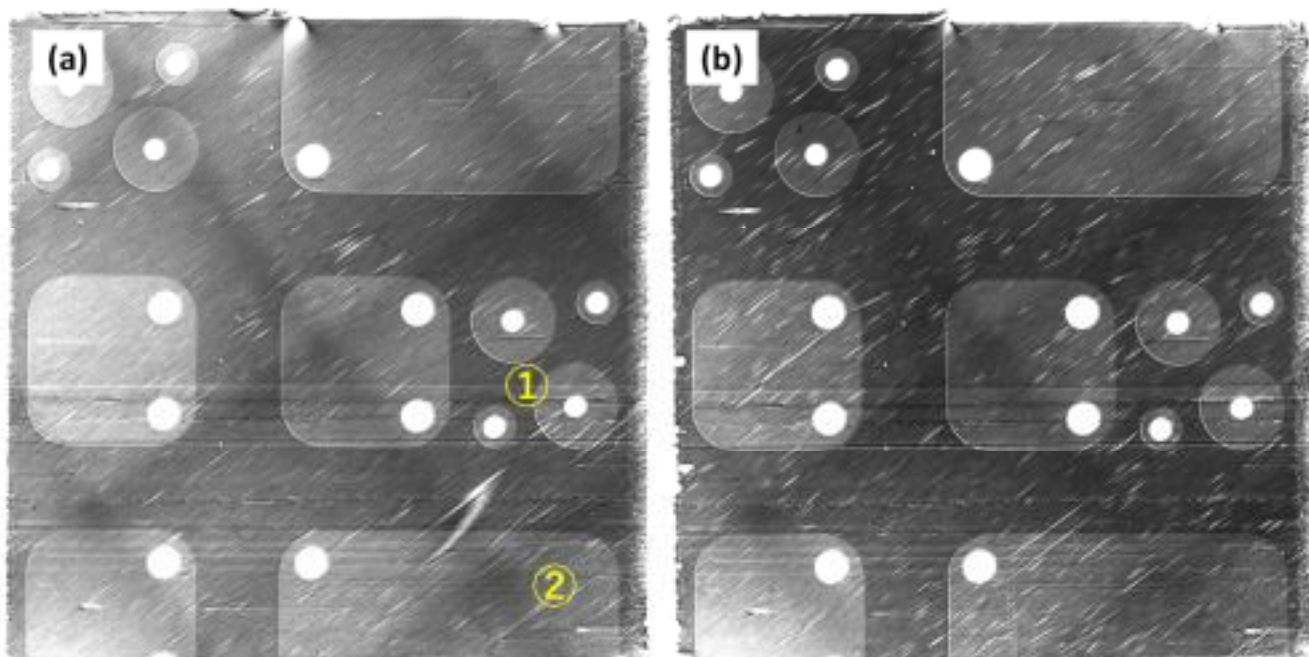


図 3-(6)-18 逆方向電圧 $V=-140$ 印加、5 分間通電前後の SBD チップの XRT 像（左＝通電前、右＝通電後）（中央の SBD は 1.6 mm 角）

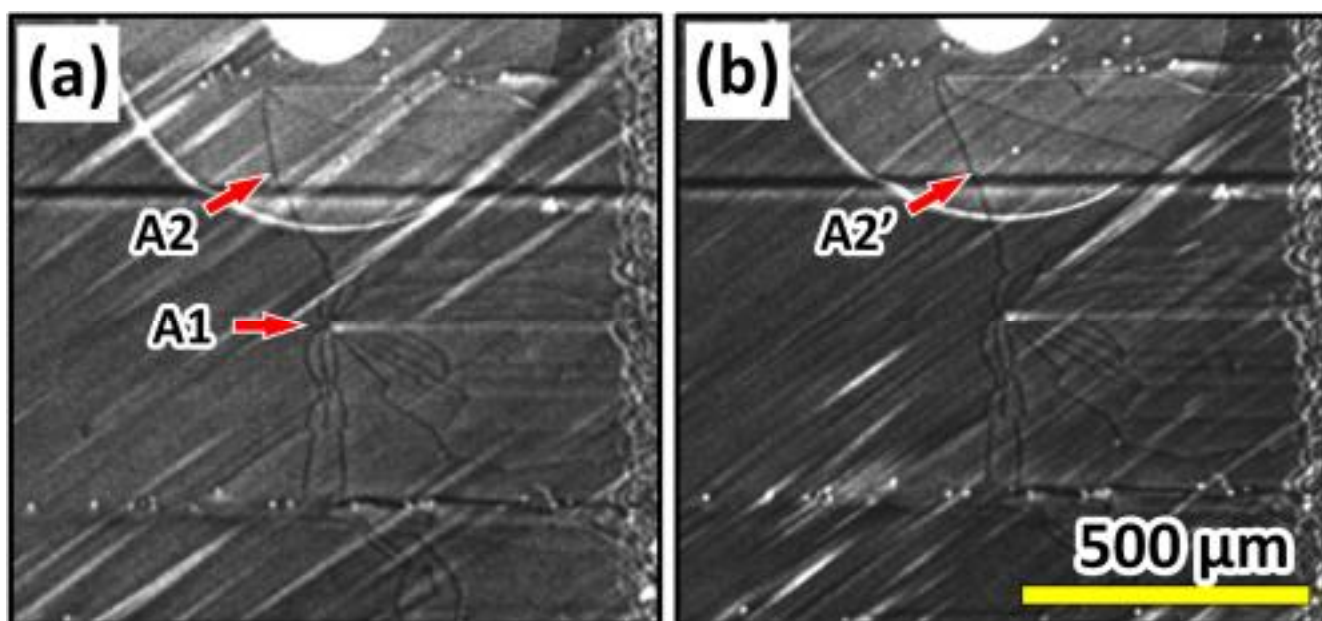


図 3-(6)-19 転位のすべりが確認された場所①の拡大図（A1 は $[010]$ 方向らせん転位の終端を示し、A2 と A2' はすべり運動を示した転位の通電前後の位置を示す）

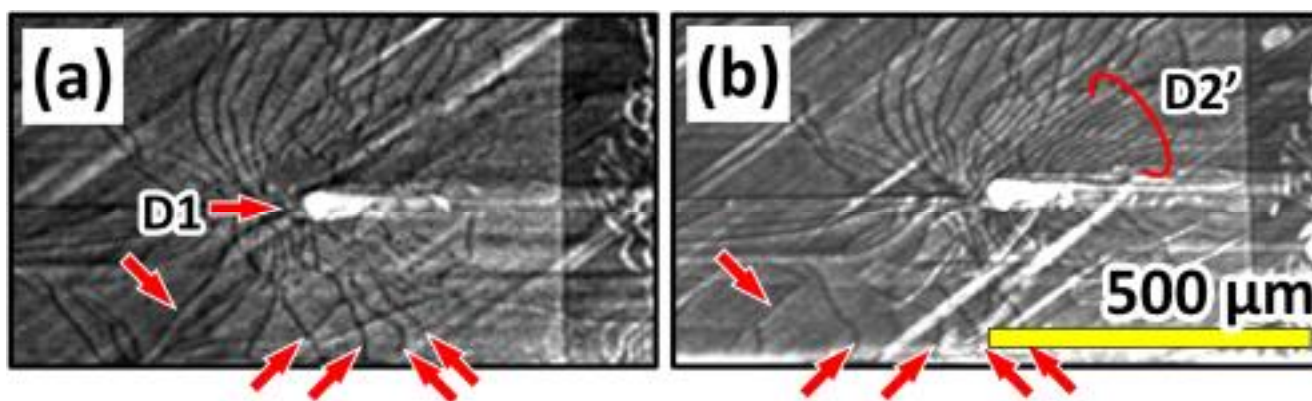


図 3-(6)-20 転位の増殖が確認された場所②の拡大図(D1は[010]方向らせん転位の終端を示す。D2'は通電後新たに観察された複数の転位を示す。図面下方の矢印はすべり運動を示した転位を示し、通電前後に転位位置の変化が確認できる)

d. Ga_2O_3 SBDデバイス動作中における欠陥のオペランド観察

Ga_2O_3 デバイス中のキラ欠陥を特定するには、デバイス動作前後において欠陥を評価するだけでは不十分であり、動作中のデバイスで欠陥の動的挙動をリアルタイムで観察することが重要だと考えている。競合材料である SiC の例を見ると、SiC のバイポーラデバイスでは、無害な基底面転位が注入電流によって拡張し、順方向劣化を引き起こす有害な積層欠陥に変換する現象が知られている。 Ga_2O_3 も SiC と同じ 2 元素化合物半導体であり、類似の結晶構造を有する。従って Ga_2O_3 においても、デバイス動作によって欠陥構造が変化する可能性が高い。

本項目では、反射配置 XRT を用い、動作中の SBD デバイス中の欠陥を撮影する技術の確立に取り組んだ。図 3-(6)-21 に観察方法の概念図を示す。本項目では、反射配置のみの観察について記述する。シンチレータ、リレー拡大レンズ、高速 CMOS カメラで構成される撮影システム、回折条件、および通電回路の最適化によって、順、逆方向通電中の転位観察に成功した。

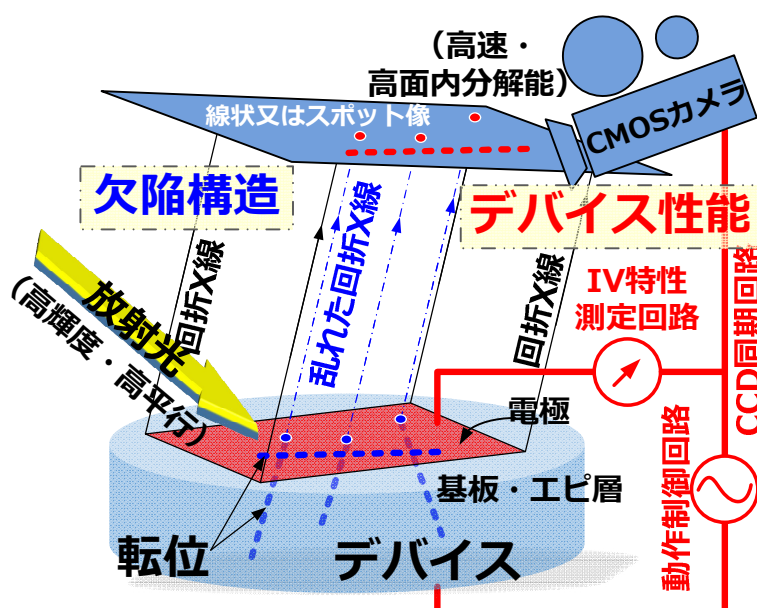


図 3-(6)-21 XRT を用いた動作中のデバイスのオペランド観察の概念図

図 3-(6)-22 に XRT オペランド観察に用いる通電ホルダーの写真を示す。4 つの SBD を含むチップを使用した。最適な g ベクトルを用いた際の入射と回折 X 線の方角を考慮し、ワイヤボンディングとプローブ端子の向きを調整し、電圧印加用リード線がホルダーに応力を掛けないように設計した。観察時の配置概観は図 3-(6)-23 に示す。

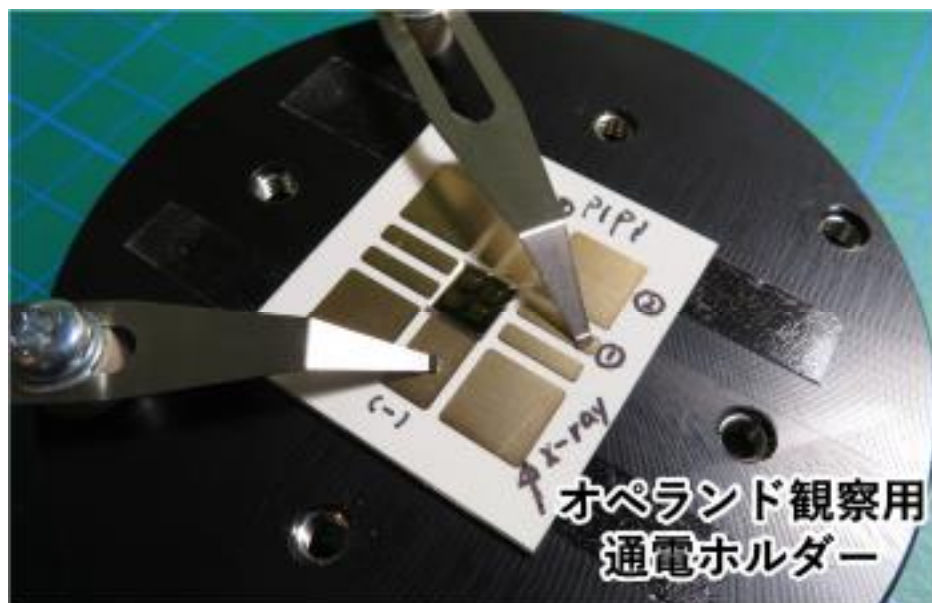


図 3-(6)-22 XRT オペランド観察に用いる通電ホルダー

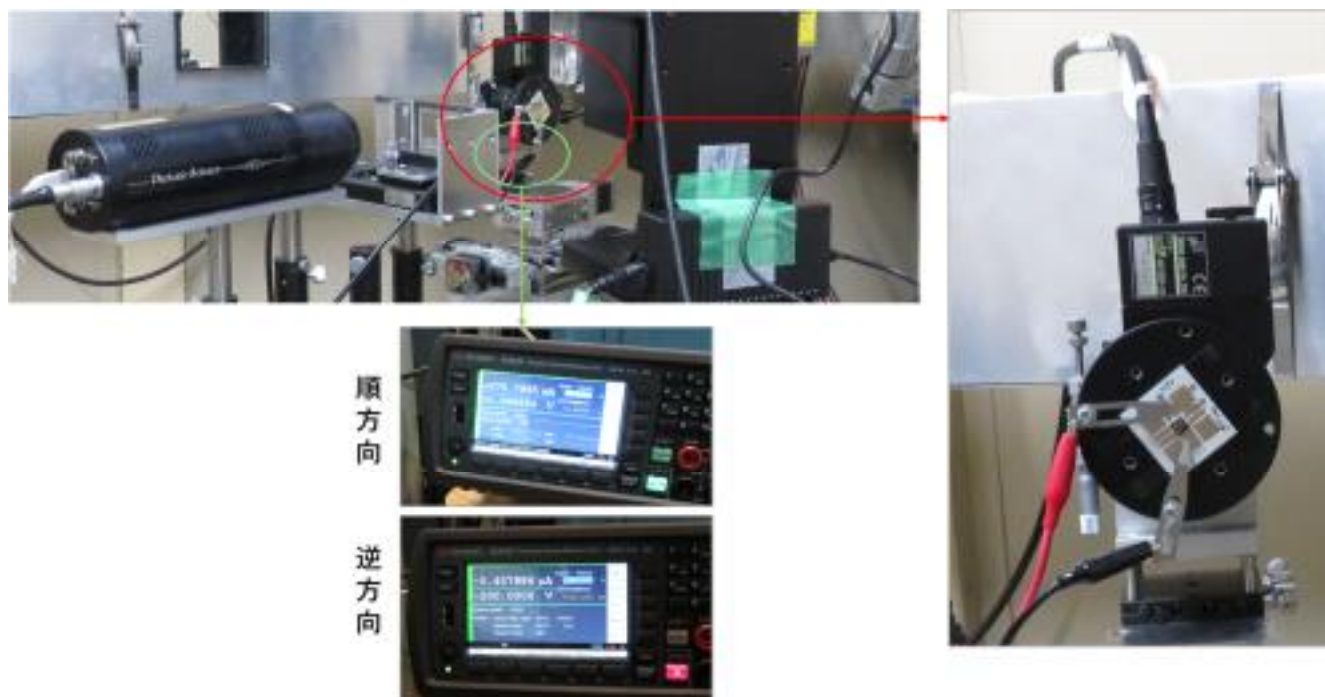


図 3-(6)-23 XRT オペランド観察の概観

反射配置の X 線トポグラフィ観察に波長 0.11nm の X 線を用い回折ベクトルはすべての転位が検出可能な $g = 316$ を選択した。この時の X 線の入射角度は 21.2° となるため X 線の侵入深さは約 $20 \mu\text{m}$ となりエピ膜全体、界面、基板の一部の情報を取得できる。コンプライアンス電流は 100mA に設定した。

図 3-(6)-24 に SBD の I-V 特性、図 3-(6)-25 と図 3-(6)-26 にオペランド観察の結果を示す。実際の観察は 1 秒間数～数十フレームの動画になっているが、本報告書では特徴的時点での静止画

を示す。チップ P1P1 は 2 インチウエハの中心付近から切り出したものである。チップ P1P1 上の SBD1～3(チップ名 SBD 名の順に表記)の 3 つの素子は、いずれも約 0.8 V 付近で立ち上がり、通常の SBD 順方向特性を示した。一方、逆方向では、-200 V まで印加しても降伏現象が確認されなかった。逆方向電流が 1 μ A 以下に留まり、良好なオフ特性を示唆した。SBD 1～3 から撮影した XRT 像は、低い転位密度を示しており、順・逆方向通電前後に転位の位置やコントラストに変化はなかった。

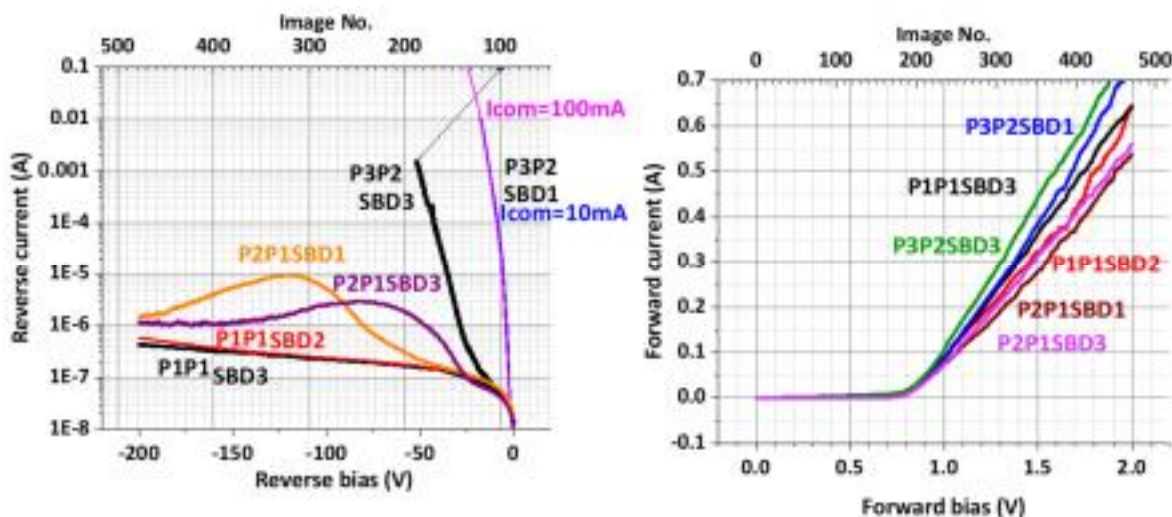


図 3-(6)-24 SBD の I-V 特性

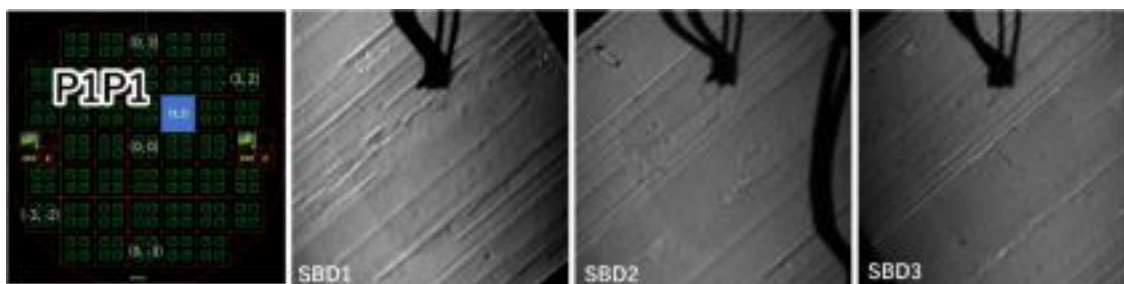


図 3-(6)-25 ウエハ中心付近のチップ P1P1 の SBD1～3 の XRT 像

ウエハ中心と外周の間にあるチップ P2P1 の IV 特性は順方向では同電圧印加で電流値が P1P1 上の SBD より小さい傾向がみられた。逆方向電流は P1P1 上の SBD と P3P2 上の SBD の間の値であった。また、転位密度はチップ P1P1 とチップ P3P2 の間にあった。

ウエハ外周から切り出したチップ P3P2 の観察結果を図 3-(6)-26 に示す。SBD パターン領域から高密度の転位が確認された。SBD3 の例をみると、図 3-(6)-24 に示すように、順方向では同電圧印加で電流値がチップ P1P1 上の SBD より大きくなる傾向が見られる。一方、逆方向では低圧領域から耐圧不良が確認された。-25 V を印加した時に 1 μ A のリーク電流が発生した。さらに電圧値を-50 V に上げると、降伏現象が発生し、逆方向リーク電流が 100 mA のコンプライアンス電流に達した。この瞬間の XRT 像を図 3-(6)-26 の右図に示す。[010]方向の欠陥からリークが発生した様子がオペランド観察で捉えられた。この結果は、[010]方向のらせん転位またはパイプ状ボイドが逆方向の耐圧不良の要因であることを示唆した。また、デバイス性能がチップの切り出し位置に依存することから、デバイス動作を損なう欠陥の発生が結晶成長時と推定し、デバイス製造を担当する NCT にフィードバックした。

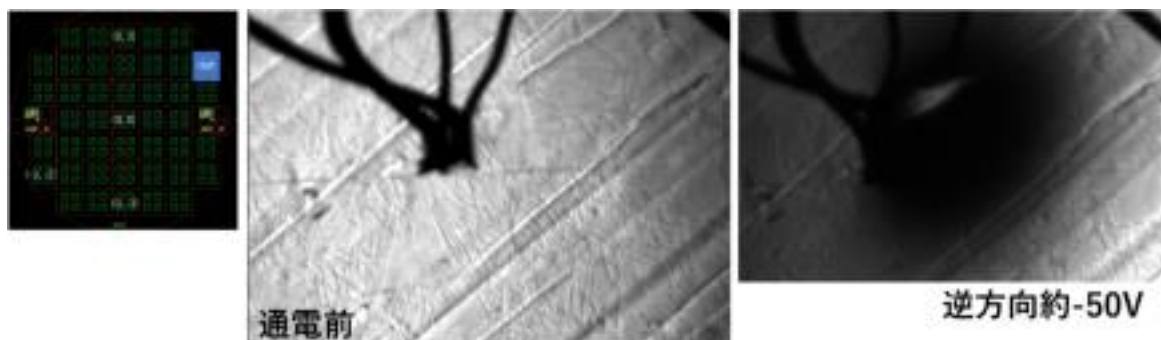


図 3-(6)-26 ウエハ外周付近のチップ P3P2 の SBD3 の XRT 像

加えて高い逆方向印加電圧での破壊も観察される。図3-(6)-27(a)に示すSBDが逆方向電圧-191 Vで破壊(図3-(6)-27(b))した。破壊後のX線トポグラフィ像では黄色矢印で示した電極端部の異常と、青矢印で示した電極パッド周辺の転位発生が確認される(図3-(6)-27(d))。光学顕微鏡で観察するとX線トポグラフィ像電極端部の異常に対応した電極破壊が観察され(図3-(6)-27(e))、SBDの破壊は電極端部の電界集中によるSBDの破壊現象と解釈される。同様な現象は図3-(6)-28に示す様に他のSBDでも観察された。観察された破壊現象の中では最も多い現象である。電極端部の電界集中はプロセスに起因しており、素子性能を低下させる欠陥の抽出の阻害要因となる。ガードリングを作る等対策を取ったデバイスを用いてオペランド計測を実施しデバイス性能劣化の原因となる欠陥を統計的に同定することが課題となる。

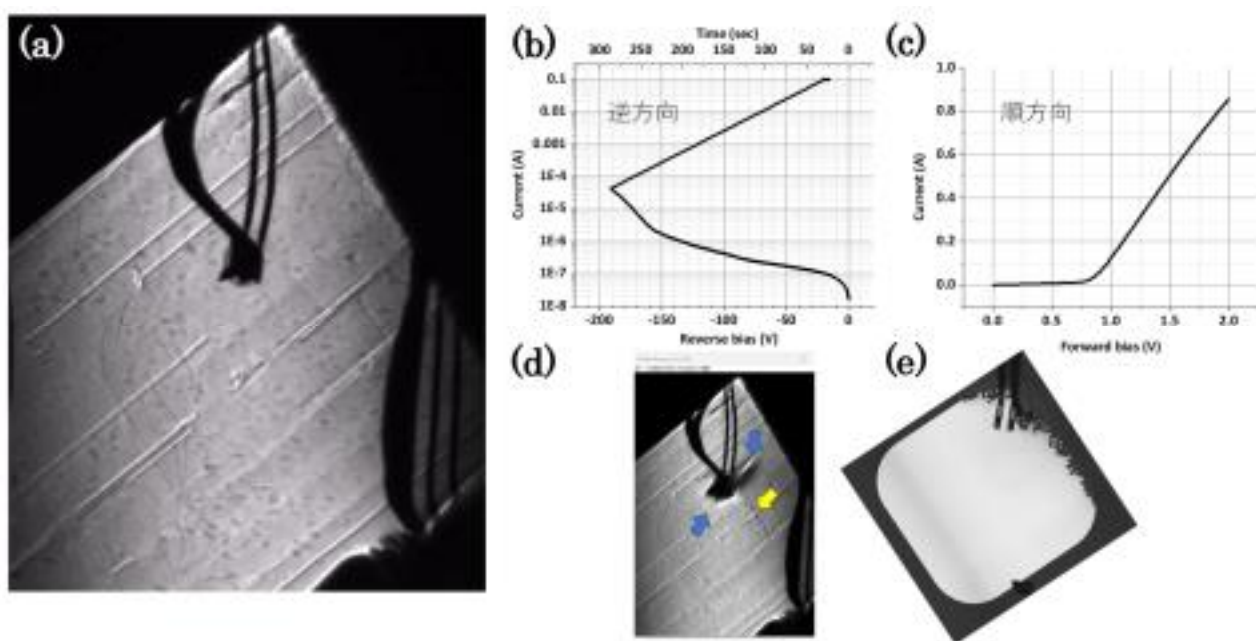


図 3-(6)-27 高い逆方向印加電圧での破壊現象

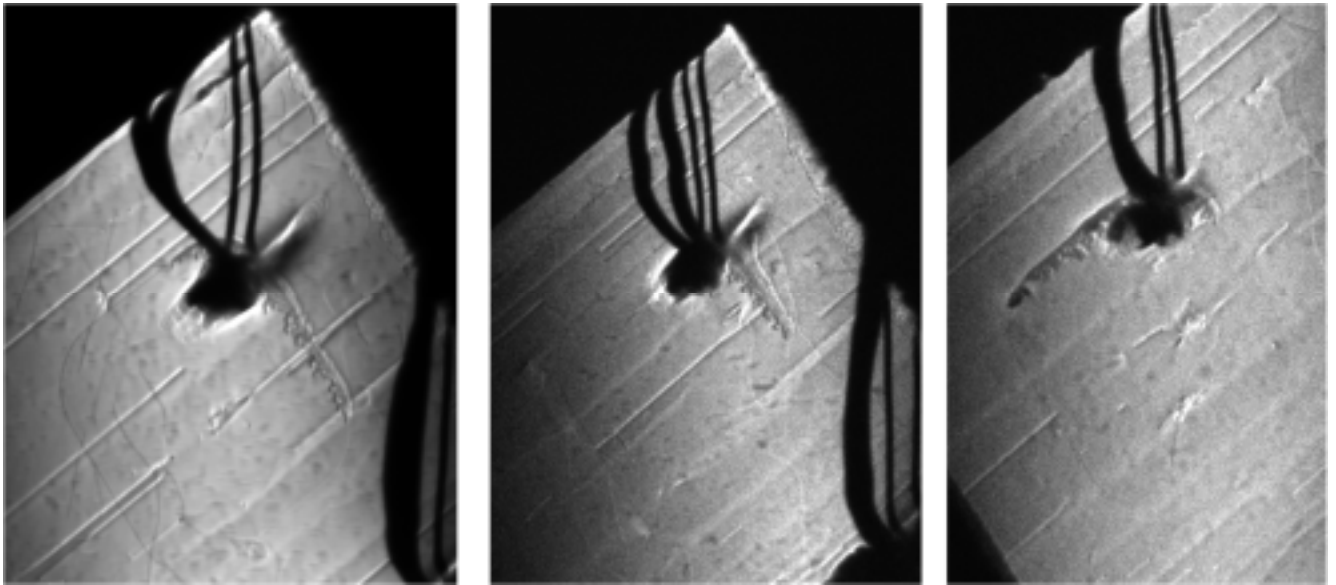


図 3-(6)-28 電極端の電界集中による破壊現象の類似例

e. ボルマン効果を利用した透過欠陥観察^[5, 6]

項目bで開発した反射X線トポグラフィで検出できる欠陥は図3-(6)-9(a)に示す様に表面近傍（表面～20 μm ）程度に限られるため結晶内部の欠陥評価や欠陥の三次元構造評価が難しい。表面のデバイス領域に発生する欠陥の多くは、結晶内部に存在する欠陥を起源とするためその観察は必須である。一般的には図3-(6)-9(b)に示す様な透過X線トポグラフィ観察を用いて結晶内部や欠陥の三次元評価を行うが、 Ga_2O_3 においてはGa原子のX線の吸収係数が大きいいため市販のウエハ厚の透過X線トポグラフィ観察は難しかった。これを解決するために高品質な結晶においてX線の動力学回折によって吸収が抑制され透過X線の強度が増加するボルマン効果（異常透過現象）を利用して結晶内部の欠陥を非破壊で観察する技術開発に取り組んだ。

線吸収係数を μ 、試料厚を t とすると $\mu t=10$ を満たす条件でボルマン効果が生じる。放射光ではX線波長可変なので0.7-1.4Å範囲で $\mu t=10$ の条件を満たす試料厚を計算した。その結果680 μm の試料については $\lambda=1.25\text{\AA}$ のX線を用いると良いことが分かった。図3-(6)-29(a)に $g=020$ で(001)面の異常透過を観察した際の基板の形状と光学系の模式図を示す。X線は(001)面から入り反対の(001)面から出るのでそれを蛍光板で検出する。異常透過の発生は、蛍光板上のo-wave（前方回折波）とh-wave（回折波）を観察することで判断できる。結晶内では2つの平面波の位相が固定された関係にあるので、干渉によって定在波が形成される。この定在波の節が、ブラッグ反射に用いられる原子面と一致すると、X線吸収が著しく低下し、透過X線の強度が大幅に増加する。この条件下では、X線のエネルギーが回折面に沿って流れ、出射時に定在波が均等にo-waveとh-waveへ分解される。図3-(6)-29(b)および(c)は、 $g=020$ における通常の吸収条件と異常透過発生時の蛍光板上のo-waveおよびh-waveのスポット写真を示す。通常の吸収状態では、 μt の値が大きいため（～9.7）、o-waveのスポットは非常に弱く、h-waveのスポットは認識できない（図3-(6)-29(b)）。一方、 ω 角を180秒程調整して $g=020$ の厳密なブラッグ条件を満たすようにすると、異常透過が発生し、o-waveとh-waveに対応する2つのスポットが等しく強く観測された（図3-(6)-29(c)）。図3-(6)-29(d)および(e)は、 $g=$

⁵ Y. Yao, K. Hirano, Y. Sugawara, K. Sasaki, A. Kuramata, Y. Ishikawa, APL Mater., 10, (2022) 051101.

⁶ Y. Yao, Y. Tsusaka, K. Sasaki, A. Kuramata, Y. Sugawara, Y. Ishikawa, Appl. Phys. Lett. 121, (2022) 012105.

022 の同様の条件下での写真を示している。 $g = 020$ の対称ラウエ条件に比べると、非対称反射における異常透過は顕著ではなかった。その他の非対称反射（例えば $g = 400$ ）でも同様の結果が得られた。これは計算結果とも一致している。上述の通り、ボルマン効果を利用して透過回折測定をする際に透過回折波を取得する方法と前方回折波を取得する方法がある。透過回折波はドメインバウンダリー等の存在による回折条件の微細な変化に応じてカメラ位置を調整する必要がないためより測定に適している。

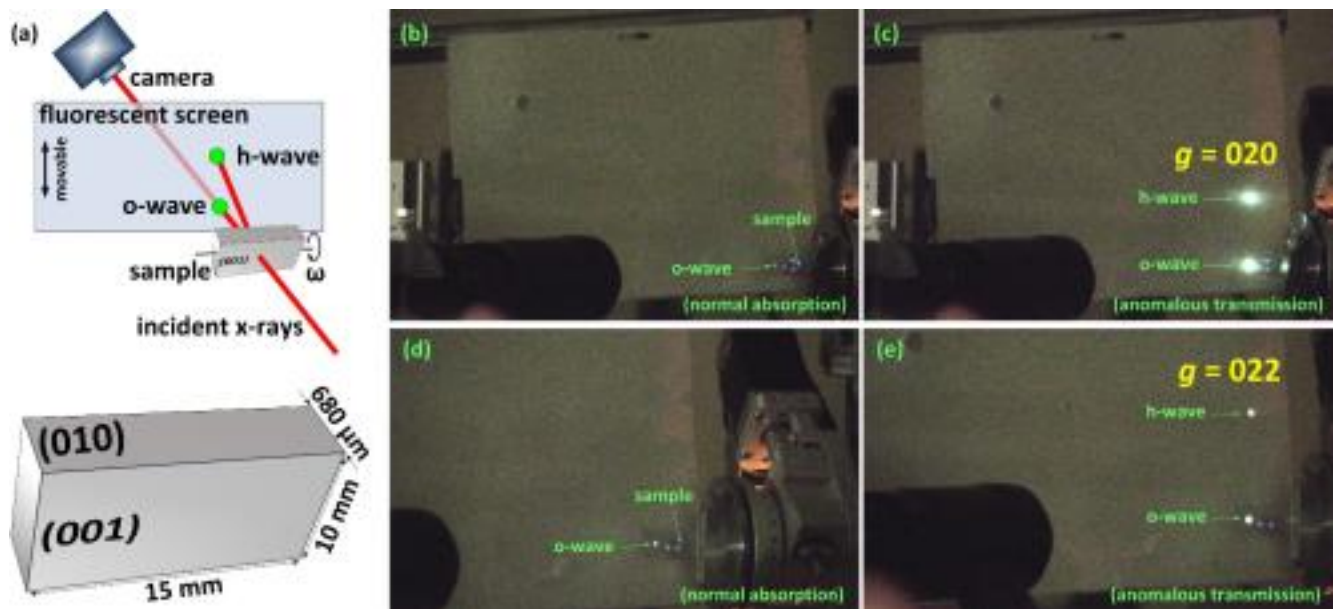


図 3-(6)- 29 (a) $g = 020$ で(001)面の異常透過を観察した際の基板の形状と光学系の模式図、(b)-(e) o-wave および h-wave の蛍光板写真、 $g=010$ における (b) 通常吸収と (c) 異常透過、 $g=022$ における (d) 通常吸収と (e) 異常透過^[6]

図 3-(6)- 30 に $\beta\text{-Ga}_2\text{O}_3$ (001) チップを $g=020$, 022, 400 で透過観察した例を示す。すべての g ベクトルで検出できる 1 で示したマクロ欠陥に加え、[010]に平行な直線状の欠陥と(001)面上にあり弧状もしくは折れ曲がって進展する欠陥が多く観察された。[010]に平行な欠陥の中にも種類があり、 $g=020$, 022 では検出できるが $g=400$ で検出できないもの(2)、 $g=022$ で検出できるが $g=020$, 400 で検出できないもの(3)、 $g=022$, 400 で検出できるが $g=020$ で検出できないもの(5)の 3 種類に分かれた。(001)面上で弧状もしくは折れ曲がって進展する欠陥(4)は $g=020$, 022 では検出できるが $g=400$ では検出できなかった。 $g \cdot b$ 解析からバーガースベクトルと転位種を判定し表 1 にまとめた。

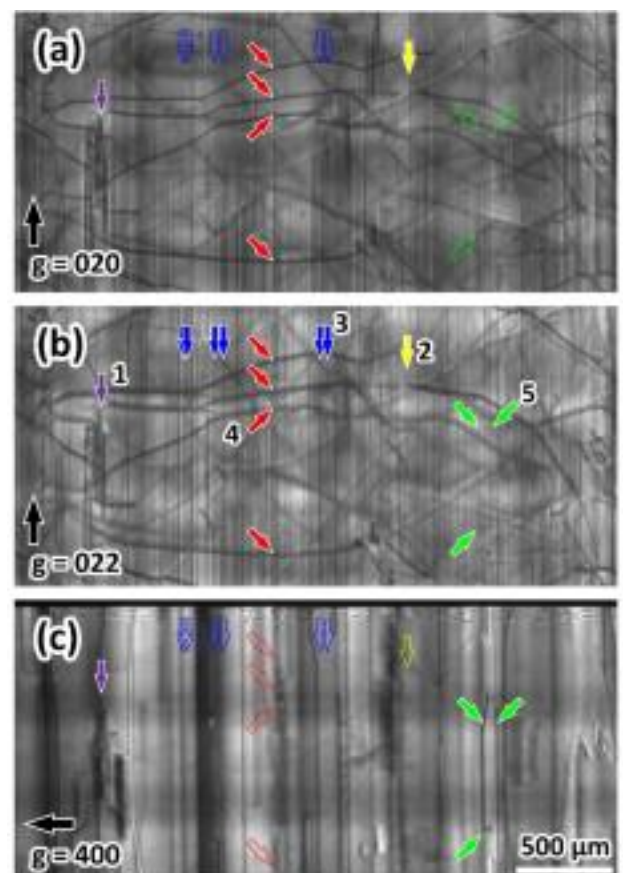


図 3-(6)- 30 $\beta\text{-Ga}_2\text{O}_3$ (001) チップ同一領域の透過 X 線トポグラフィ像 ((a) $g=020$, (b) $g=022$, (c) $g=400$)^[6]

表 1 転位検出の g ベクトル依存性および転位種

種類番号	g			b	ξ	種類
	020	022	400			
1	検出	検出	検出	N/A	N/A	マクロ欠陥
2	検出	検出	非検出	$[010]$ or $[0k1]$ $k, l \neq 0$	$[010]$	らせん or 混合転位
3	非検出	検出	非検出	$[001]$	$[010]$	刃状転位
4	検出	検出	非検出	$[010]$	(001) 面上	混合転位
5	非検出	検出	検出	$[0k1]$ $k, l \neq 0$	概ね $[010]$	刃状転位

透過X線トポグラフィ観察では原理的には結晶内部における欠陥すべてを検出する。すなわち欠陥の3次元情報を2次元に写し取る。それだけではなく、X線の出射面を変えることで取得した欠陥が出射面に対して表面側にあるか裏面側にあるかを知ることができる。図 3-(6)-31 に $g = 020$, $0\bar{2}0$ で取得した同じ領域の透過X線トポグラフィ像を示す。 $g = 020$ で取得した像のX線出射面の裏面（X線入射面）が $g = 0\bar{2}0$ で取得した像のX線出射面となる。緑矢印で示した垂直線状の欠陥はどちらの像でも明瞭に確認されるが黄色矢印で示した弧状もしくは折れ曲がって概ね水平方向に進展する欠陥は、一方では鮮鋭であるが他方ではぼんやりしている。これは、出射面に近い欠陥は欠陥より前面側での回折の影響を受けづらいために鮮鋭な像となり、出射面から遠い欠陥は欠陥より前面側での回折の影響を受けやすく像が鈍化するためである。これを利用すると欠陥の前後関係の把握も可能となる。双方の像で本欠陥の位置にずれが生じているのは欠陥の三次元分布を二次元に投影したためであることに留意されたい。しかし、赤矢印で示したように転位同士が交差している点を追うことで同一転位の抽出はできている。

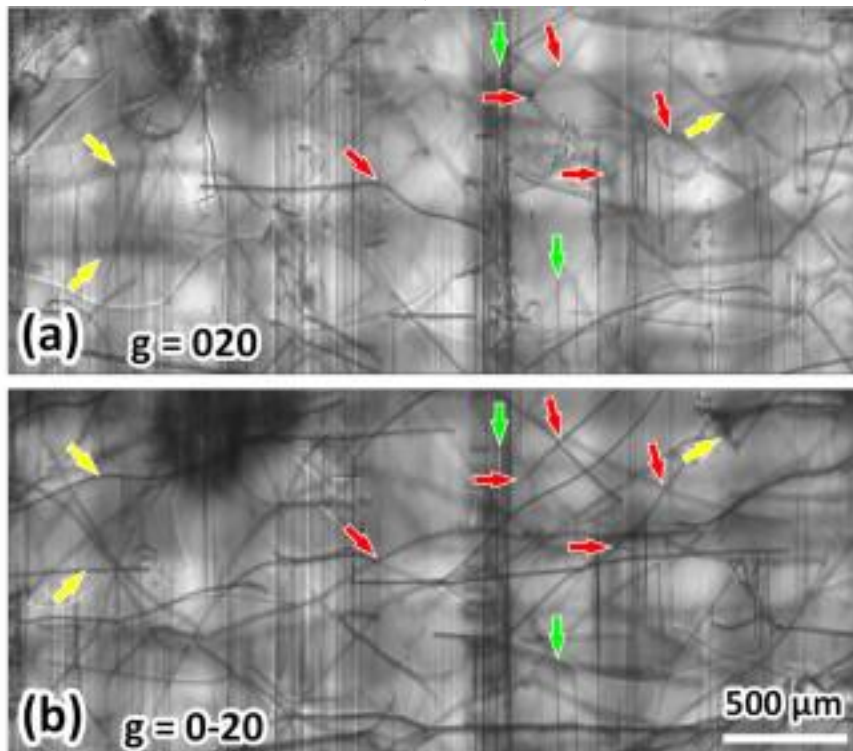


図 3-(6)-31 同一領域の透過X線トポグラフィ像 (a) $g=020$, (b) $g=0\bar{2}0$ ^[5]

f. 動作中のGa₂O₃ SBDデバイスにおける欠陥のオペランド観察（透過）

項目cで開発したオペランド観察技術と項目eで開発したボルマン効果を利用した透過欠陥観察技術を組み合わせて、透過オペランド観察を試みた。透過オペランド観察時の光学系は図3-(6)-32に示す。観察用の試料は裏面もCMP研磨した2インチウエハの表面側にSBDを作製した。配線が測定領域に重ならない様に試料間の間隔を広めにとるとともに、電極4mm角、電極パッドを $\Phi 1\text{mm}$ と比較的大きめにする等工夫した（図3-(6)-33）。

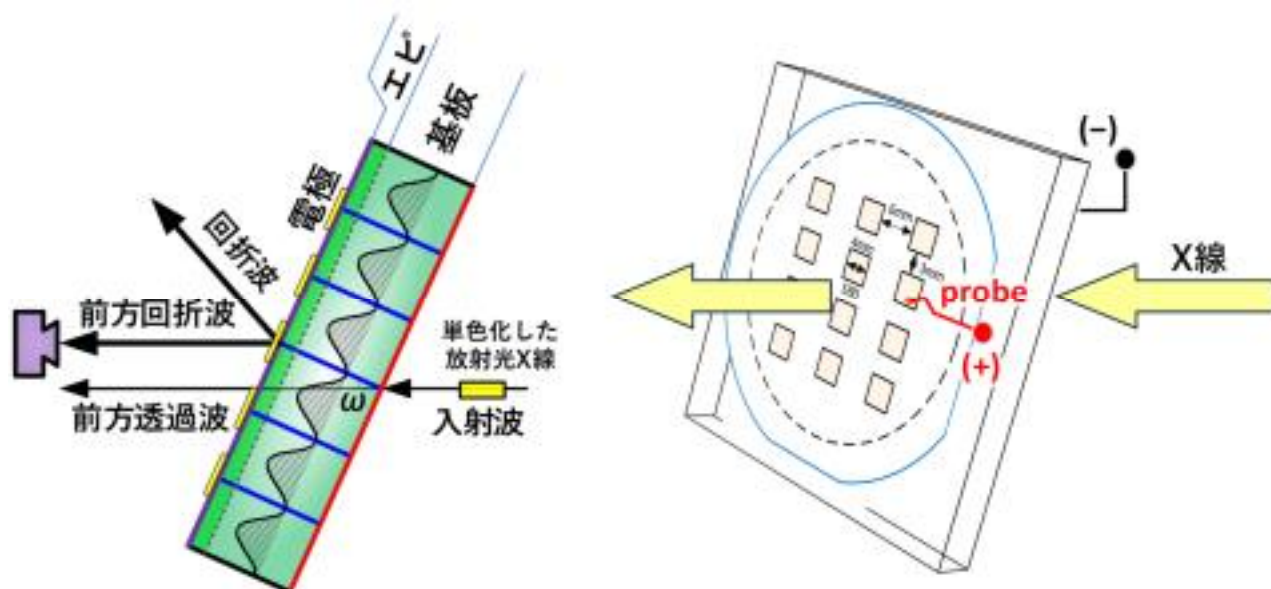


図 3-(6)-32 透過オペランド観察の XRT 光学系

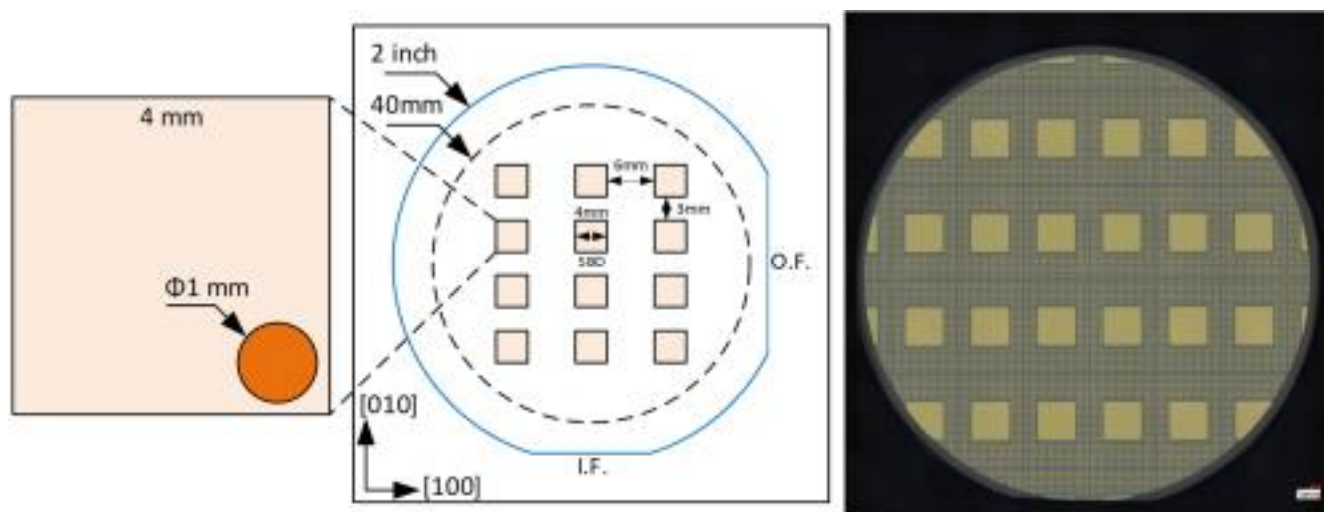


図 3-(6)-33 試料の模式図と外観

図3-(6)-34に透過配置におけるオペランド測定結果を示す。特異な電気的特性や欠陥の挙動は順方向電圧印可時(図3-(6)-34 (d))には観察されなかったが、逆方向電圧印可時(図3-(6)-34 (e))には観察された。逆方向電圧印加前の欠陥分布は図3-(6)-34 (a)に示す様な状態である。逆方向電圧を増加させていくと-80V付近でプローブの下側にドット列が発生(図3-(6)-34 (b))するとともに逆方向リーク電流が3桁以上急上昇した。さらに逆方向電圧を、増加させると-101.8Vまで逆方向リーク電流がほぼ一定値で保たれた後に破壊した。この逆方向電圧0Vから-101.8Vで破壊するまでの過程に加え、破壊後に試料が室温まで戻り再度欠陥が観察できるまでを含めた欠陥挙動の変化を動画として記録することに成功した。破壊後、破壊領域周辺に転位ループが高密度に発生していることが確認された(図3-(6)-34 (c))。図3-(6)-35は破壊後にプローブを外して観察したX線トポグラフィ像である。最初のドット列の発生位置、高密度に発生した転位ループ、

電極パッドが判別できる。本測定により発生したドット列がデバイス破壊に関連することが分かった。今後、ドット列が発生した段階で逆電圧印加を止めてドット列の解析を実施し欠陥種を同定した上でデバイスリークの原因を探ることが課題となる。

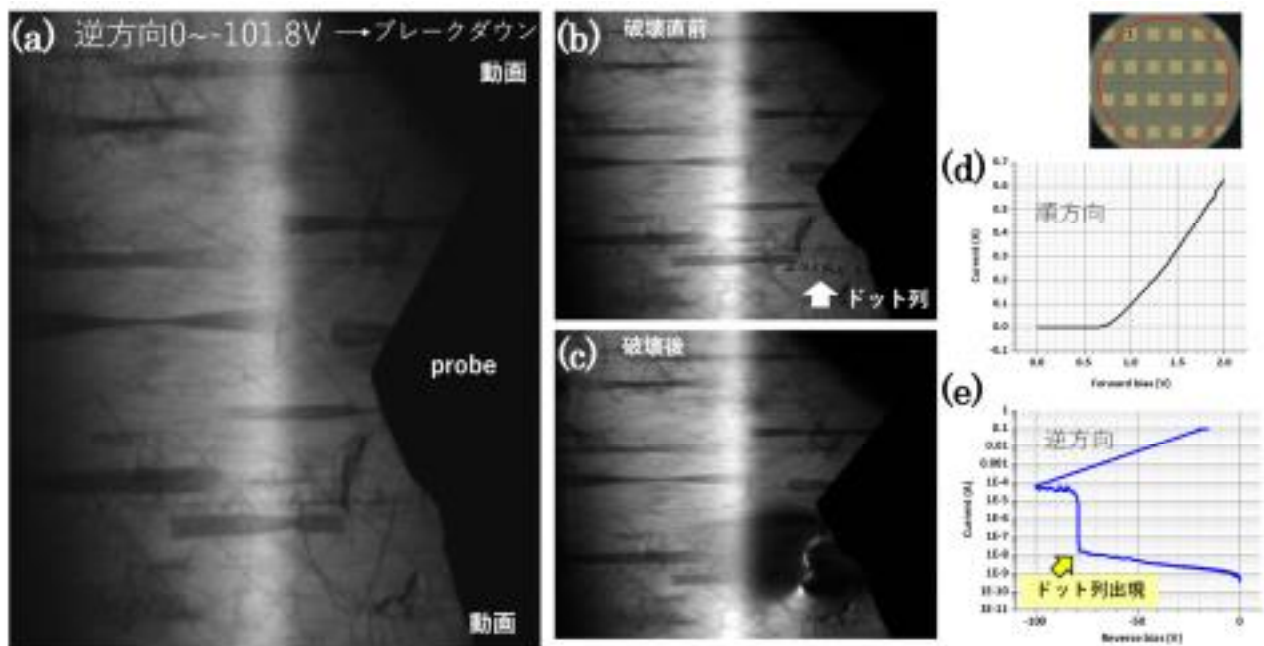


図 3-(6)-34 透過配置 XRT によるオペランド測定



図 3-(6)-35 破壊後の X 線トポグラフィ観察

g. ドメインバウンダリーを評価する放射光X-ray Reticulography法 (XRR) の開発^[7]

Ga_2O_3 単結晶中の欠陥は、転位やボイド、積層欠陥のほか、ドメインバウンダリー(DB)がある。DBは、材料の結晶構造において異なる結晶方位や構造を持つ領域である。DBを含む単結晶基板上にエピタキシャル成長を行うと、エピ層の結晶方位がずれたり、膜厚やドーパント濃度の不均一が発生したりするため、デバイスの性能と信頼性を低下させる。 Ga_2O_3 は単斜晶構造をとるため、空間対称性が低い。加えて、(001)と(100)の二つの劈開面があり、バルク結晶成長中にDBが発生しやすい。既存の手法の中で、透過型電子顕微鏡(TEM)等DBを局所的に観察する方法はあるが、数インチスケールのウエハにわたってDBを可視化できるものは見当たらない。本項目は、放射光XRRを用いて大面積の Ga_2O_3 基板に適用可能なDB評価方法の開発に取り組んだ。

図3-(6)-36にXRR法の原理を示す。XRR法は、従来の反射配置X-ray topography(XRT)の光学系(図3-(6)-36(a))をもとに、試料と二次元検出器の間にX線を強く吸収する金属材料のメッシュを挿入する。メッシュには化学エッチングで $\phi 50\ \mu\text{m}$ の円形穴が周期 $100\ \mu\text{m}$ で配置されている(図3-(6)-36(b))。XRR測定時に、サンプルの結晶面で回折されたX線がこれらの穴を通過し、二次元検出器で結像される。従来のXRT法では、DBが存在しても、DB領域に対応するXRT像の濃淡が多少変わるだけで、この微妙なコントラスト変化ではDBの性質や結晶方位ズレの大きさを定量的に評価できない。一方、XRRを利用することで、メッシュを通したX線の像は、結晶のどの部分から回折されたものなのかを追跡できる。図3-(6)-36(c)-(g)の模式図に様々なDBとDB両側の結晶に対応する「メッシュ像」のズレの関係を示す。図3-(6)-36(c)はDBが無い場合を示し、メッシュ像にズレは生じない。図3-(6)-36(d)はツイストタイプのDBがあるが、回転軸が回折ベクトルと平行なためメッシュ像にズレは生じない。図3-(6)-36(e)はツイストの回転軸が回折ベクトルと垂直なDBがある場合で回転軸と垂直方向にメッシュ像のズレが生じる。図3-(6)-36(f)(g)はチルトタイプのDBがある場合で中折れか外折れによってメッシュ間の距離が変化する。ズレの方向と程度はDBの種類(ツイストかチルト)と結晶方位のズレの大きさに依存するため、DBの定量的な評価が可能となる。また、図3-(6)-36(d)のDBでも回折ベクトルを変えるとメッシュ像にズレが生じるため回折ベクトルとズレの有無の相関からDBの種類を同定することも可能である。

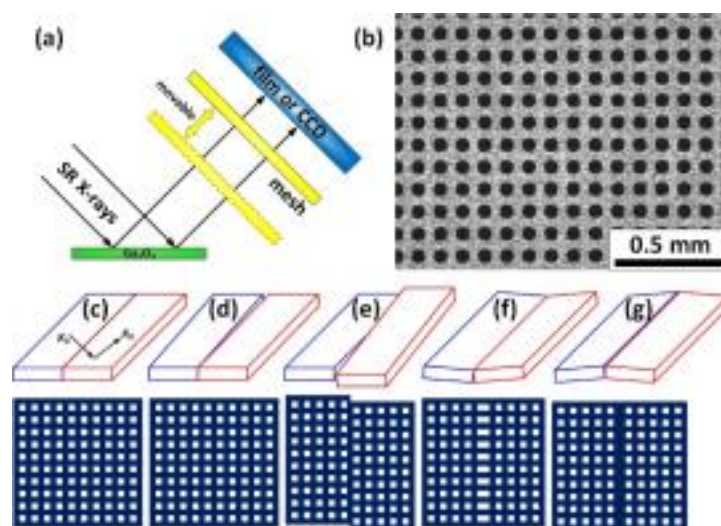


図3-(6)-36 (a)XRRの光学系の概念図、(b)メッシュの光学顕微鏡像、(c)-(g)DBとそれによるメッシュ像のズレの模式図^[7]

⁷ Y. Yao, K. Hirano, K. Sasaki, A. Kuramata, Y. Sugawara and Y. Ishikawa, J. Am. Ceram. Soc., 106 (2023) 5487.

EFG 基板における DB の XRR 評価例を図 3-(6)-37 に示す。図 3-(6)-37 (a)に $10 \times 15 \text{ mm}^2$ の長方形 (001) 面基板全面の XRR 像を示す。回折ベクトルに $\mathbf{g} = \overline{1}005$ を用いる。基板を横断する [010] 方向の DB の上下両側において、メッシュ像のズレが確認できる。特に、DB が長方形基板の左右両辺と交差する部分の XRR 像を拡大すると、メッシュの穴に対応する明るいスポットの列にズレが生じることがわかる (図 3-(6)-37 (b)~(d))。図 3-(6)-37 (e) と (f) は、両辺付近の XRR パターンのシミュレーションの結果を示す。実際に観測した XRR パターンと比較すると、該当 DB がチルトタイプであり、DB 両側の結晶方位のズレが 75 arcsec と推定できる^[7]。

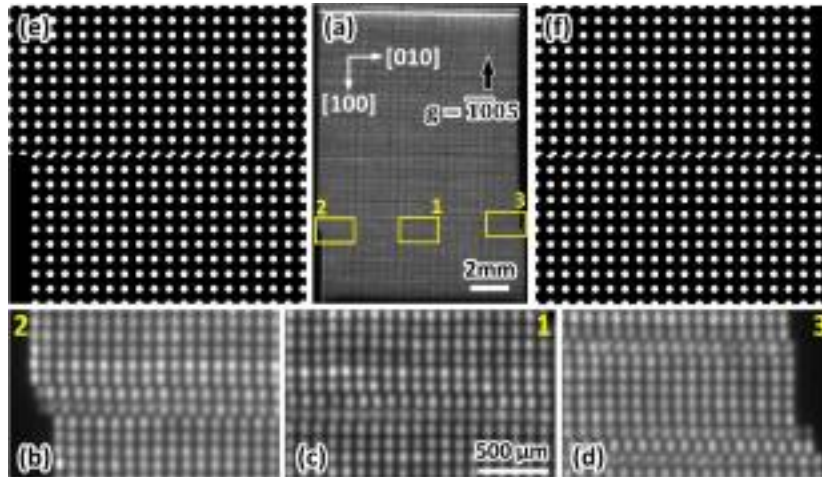


図 3-(6)-37 (a) $10 \times 15 \text{ mm}^2$ の (001) 面基板全面の XRR 像、(b)~(d) 基板を横断する [010] 方向の DB 付近の XRR 像の詳細、(e) (f) シミュレーションの結果^[7]

h. モデル負荷の印加可能性の確認

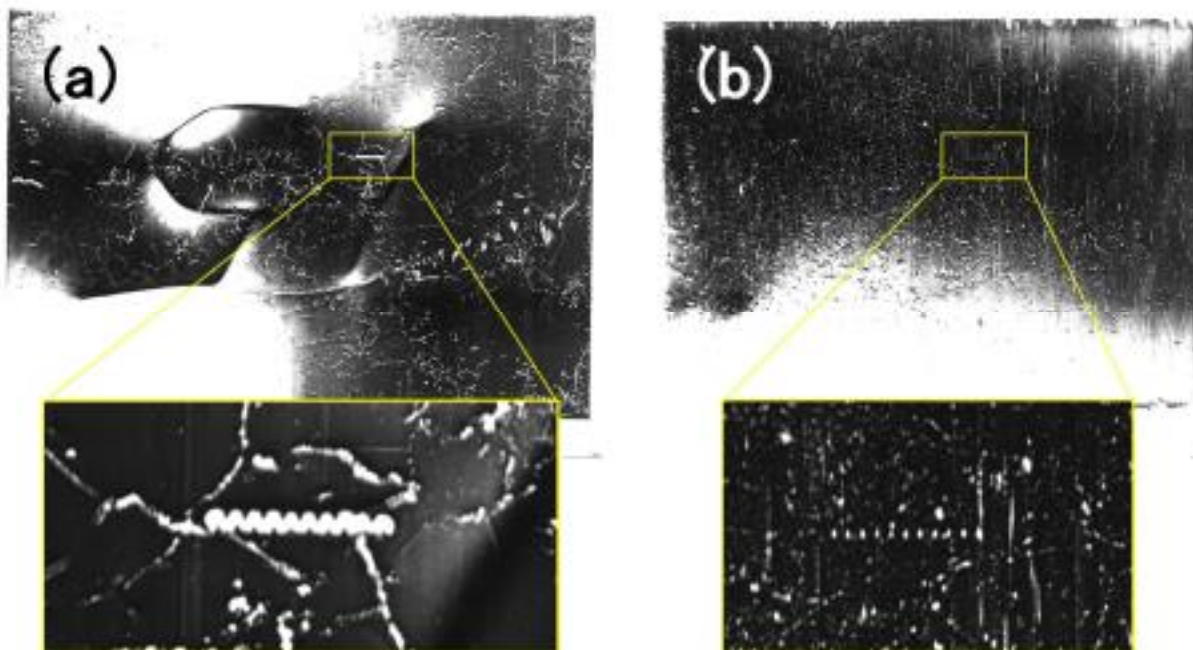


図 3-(6)-38 パーコピッチ圧子を用いたモデル負荷の印加により導入された圧痕の X 線トポグラフィ像 ((a) 高荷重で圧入した 10 点の欠陥像、(b) 低荷重で圧入した 10 点の欠陥像)

ナノインデント装置を用いて ($\bar{2}01$) 面基板にモデル負荷を印加し、形成された欠陥をX線トポグラフィで観察した。バーコビッチ圧子を用いた圧入試験では、300mN (この値は結晶面方位および圧子先端の形状に依存する) 以上の荷重を β -Ga₂O₃に印加するとクラックが発生する。より忠実に成長転位周囲の歪場を再現するために、クラック発生以下の高荷重 (100mN) と低荷重 (10mN) の2条件で50 μ m 間隔で10点の圧入が行われた。図3-(6)-38 (a) に高荷重で形成された圧痕のX線トポグラフィ像を示す。モデル負荷で導入された圧痕は、白いコントラストとして明瞭に観察され、圧痕周囲の歪場は間隔の50 μ m を超えた領域まで広がっている。周囲にランダムに分布する成長中に形成された転位のコントラストに比べ、100mNで導入された圧痕周囲の歪場が広いことがわかった。図3-(6)-38 (b) は低荷重を印加した場合のX線トポグラフィ像である。成長転位と類似するコントラストが形成され、10点の圧痕周囲の歪場が重なることなく明瞭に確認された。

i. 単結晶 β -Ga₂O₃の機械特性の異方性^[8]

半導体結晶をデバイス化する際にはウエハ加工が必須である。結晶内に残存する欠陥を0にできない結晶 (エッチャントによる加工変質層の除去が難しい結晶) において加工プロセスの最適化が重要なことは4H-SiCやGaNでよく知られている。一方これらの結晶は六方晶であり比較的対称性が高いため機械特性的に似通った部分も多くあり加工プロセス決定においてある程度の類推が可能である。一方、 β -Ga₂O₃ は単斜晶であるため対称性が低い。機械特性についても同様のことが予測される。そこでバーコビッチ圧子を取り付けたナノインデントで($\bar{2}01$) 単結晶 β -Ga₂O₃ 基板に荷重依存性および角度依存性を調べるナノインデントーション実験を実施した。

荷重依存性のナノインデントーション実験では荷重範囲10-500mNにおいて10mNステップで荷重を増加させた50回の圧入を行った。この時、バーコビッチ圧子の三角錐の一边が[010]と平行になる配置の荷重範囲圧入1セットと、三角錐の一边が[010]と垂直になる配置の荷重範囲圧入1セットを実施した。

⁸ Y. Yao, Y. Sugawara, K. Sasaki, A. Kuramata, Y. Ishikawa, J. Appl. Phys. 134 (2023) 215106.

弾性係数は最大荷重に依存して変化し、低荷重では約300あったものが約90に減少した。硬さも同様に約25GPaから約12GPaに減少した。特に最大荷重が100mN以下で硬さの減少は激しく、最大荷重の増加とともに硬さの減少はゆるやかになった。低最大荷重範囲（100mN以下）において最大荷重（10mN）で約57%の塑性変形割合は最大荷重の増加とともに急激に増加したが、最大荷重100mN以上では約67%で一定となった。最大荷重が100mN以下での弾性係数や硬さの急激な変化は、圧子先端の鈍化や形状効果ではなく結晶内の格子欠陥発生、亀裂、破壊等に起因する。また、圧子の方向によって弾性率、硬さ、塑性変形割合とも数%ではあるものの明確な差が検出された。

圧子の回転角度依存性のナノインデンテーション実験では最大荷重500mNに固定し0~120° 範囲を2.5° ステップで16点ずつ圧入した。圧入で生じた圧痕の分布を図3-(6)-39に示す。同じ角度関係を担保するために回転中心から放射線上に100 μ mステップで16点の圧入を繰り返した。ここで0° は[010]と平行な方向に定義した。バーコビッチ圧子は三角錐状であるため0~120° 測定すると全方位測定したことになる。

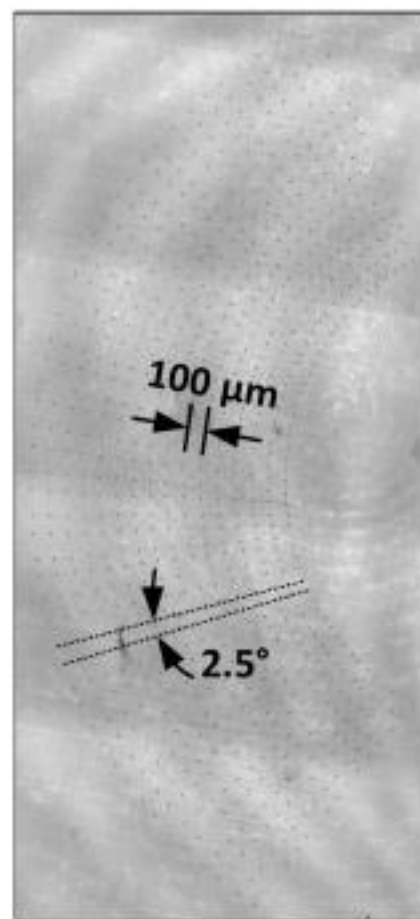


図 3-(6)-39 圧入で形成された圧痕の分布像

得られた結果から弾性係数の角度依存性を求めた。最大弾性係数 $E=192$ GPaは90° で現れ、その高角側と低角側の両方で弾性係数は175~185GPaに減少した。90° は上で三角錐の一辺を[010]と平行に配置したときと同じである。図3-(6)-40には16ポイント中10点をプロットし、平均値を赤色マークで示した。弾性係数の圧子角度依存性が確認できる。次に単斜晶構造における弾性係数の結晶方位依存性を計算し実験結果と比較した。ただし理想的なバーコビッチ圧子のファセット面角度の24.7° で計算したときの弾性係数の圧子角度依存性とは整合しなかったが、バーコビッチ圧子のファセット面を18° としたときの角度依存性と良い一致を見せた。

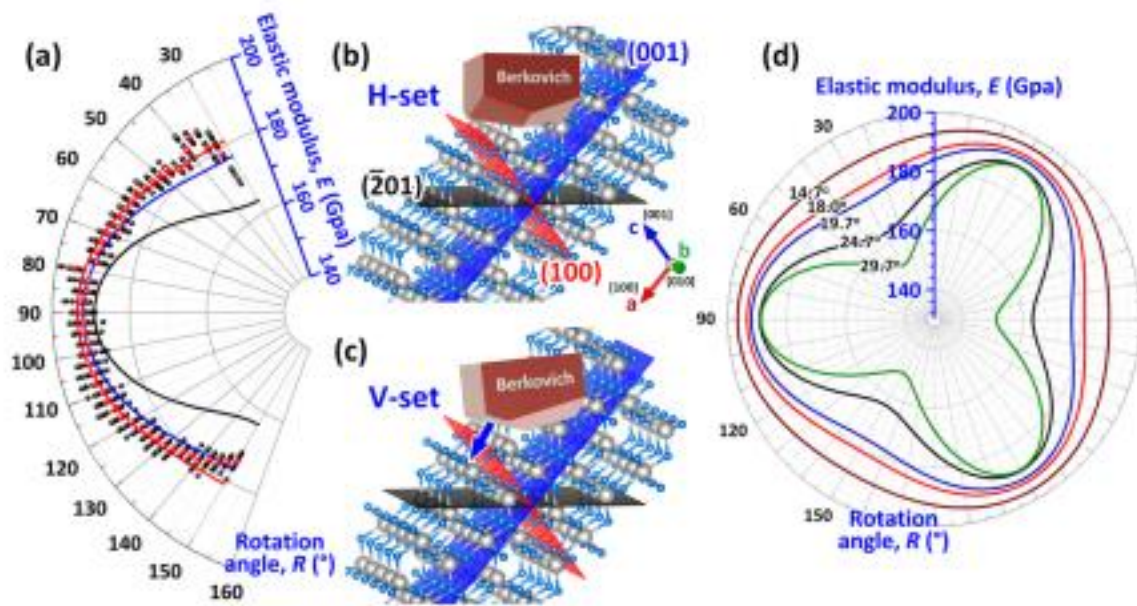


図 3-(6)-40 (a)弾性定数 (E) の角度 (R) 依存性 (各角度 10 点を黒点でプロットし、平均を赤色マークした。黒、青、赤線は圧子ファセット面を 24.7°、19.7°、18.0° としたときの計算値。)、(b) バーコビッチ圧子と単斜晶構造の幾何学的関係の模式図、(c) 計算から求めた圧子のファセット面角度毎の弾性係数の回転角依存性 [8]

弾性係数の異方性を定量的に理解するために、単斜晶構造の弾性率の結晶方位依存性を 4 階の弾性テンソルを用いて計算した。この結果から各方位の弾性率をその方向を向いたベクトルの長さとして三次元空間にプロットすることで β -Ga₂O₃ の弾性表面を得た。弾性率 E の極値 (最大値と最小値) はそれぞれ 4 箇所ずつ存在し、最大値 $E_{\max} = 262$ GPa、最小値 $E_{\min} = 115$ GPa である。これらの結果に基づいて、複数の結晶面における弾性表面を 2 次元断面マップとしてプロットしたものが図 3-(6)-41 である。理論的には、単一の表面だけで結晶の弾性挙動を完全に表すことはできないが、単斜晶構造の 3 つの主要面である (100)、(001)、(010) に加え、エピタキシャル成長やウェーハプロセスで重要な表面方位である ($\bar{2}01$)、($\bar{1}02$)、(011) を選択した。最大値と最小値の比および標準偏差の観点から見ると、($\bar{1}02$) 面が最も異方性が高く、(011) 面が最も低い異方性を示したことが分かる。留意すべき点として、(hkl) 断面マップは、(hkl) 面に力を加えたときの弾性率ではなく、(hkl) 面内の異なる方向に沿った弾性率を表している。

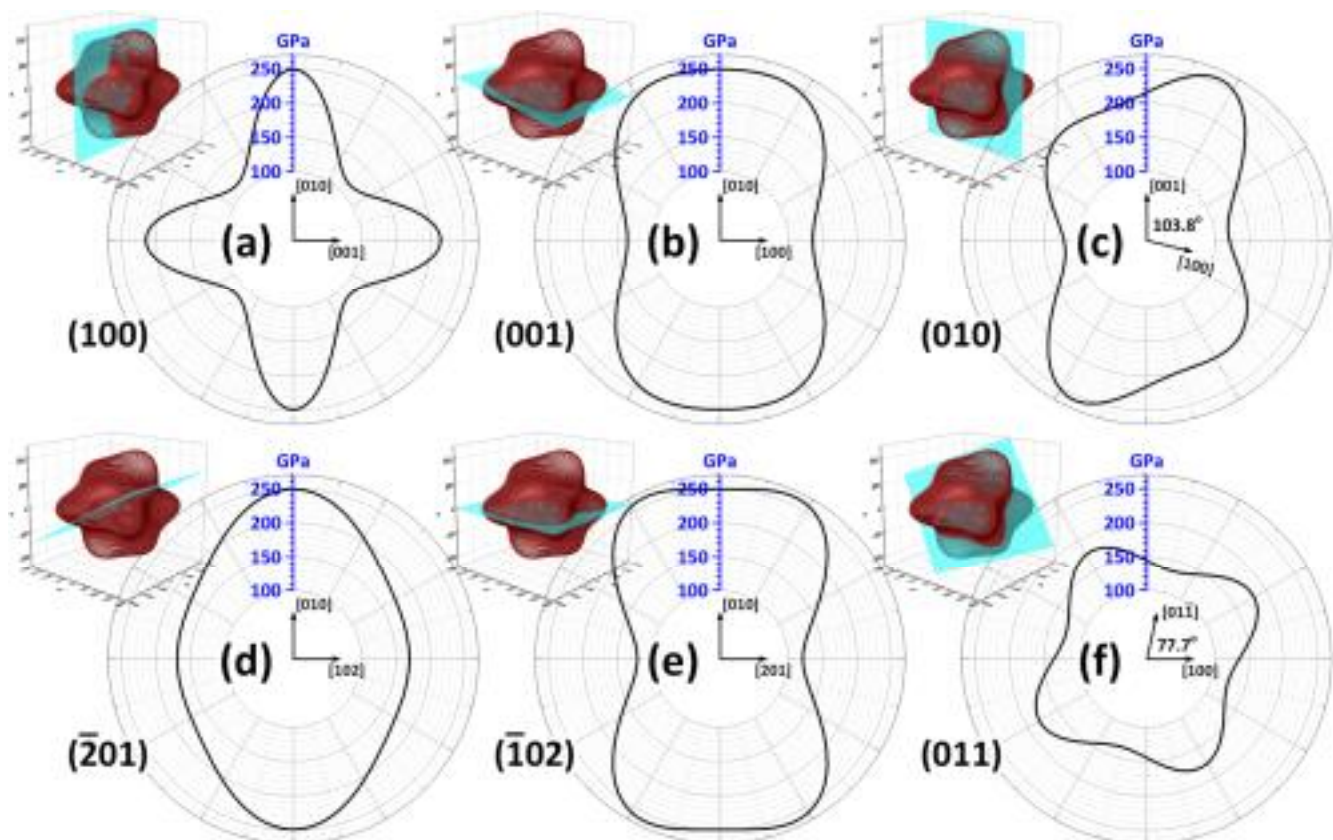


図 3-(6)-41 (a) (100) 面、(b) (001) 面、(c) (010) 面、(d) ($\bar{2}01$) 面、(e) ($\bar{1}02$) 面、(f) (011) 面上の弾性表面の二次元断面マップ^[8]

次に、圧入で生じた劈開方向について調べた。劈開方向には $[010]$ と $[0\bar{1}0]$ のペア、 $[132]$ と $[1\bar{3}2]$ のペア、 $[112]$ と $[1\bar{1}2]$ のペアの3種類があり、 $[010]$ と $[0\bar{1}0]$ のペアは圧子の角度に関係なく発生するが太い $[010]$ 方向の劈開は圧子のファセットとほぼ平行になる 80° で観察された。同様に、インデンターのファセット面のひとつと $[132]$ が平行になる 20° では $[132]$ 方向の劈開が多く発生した。

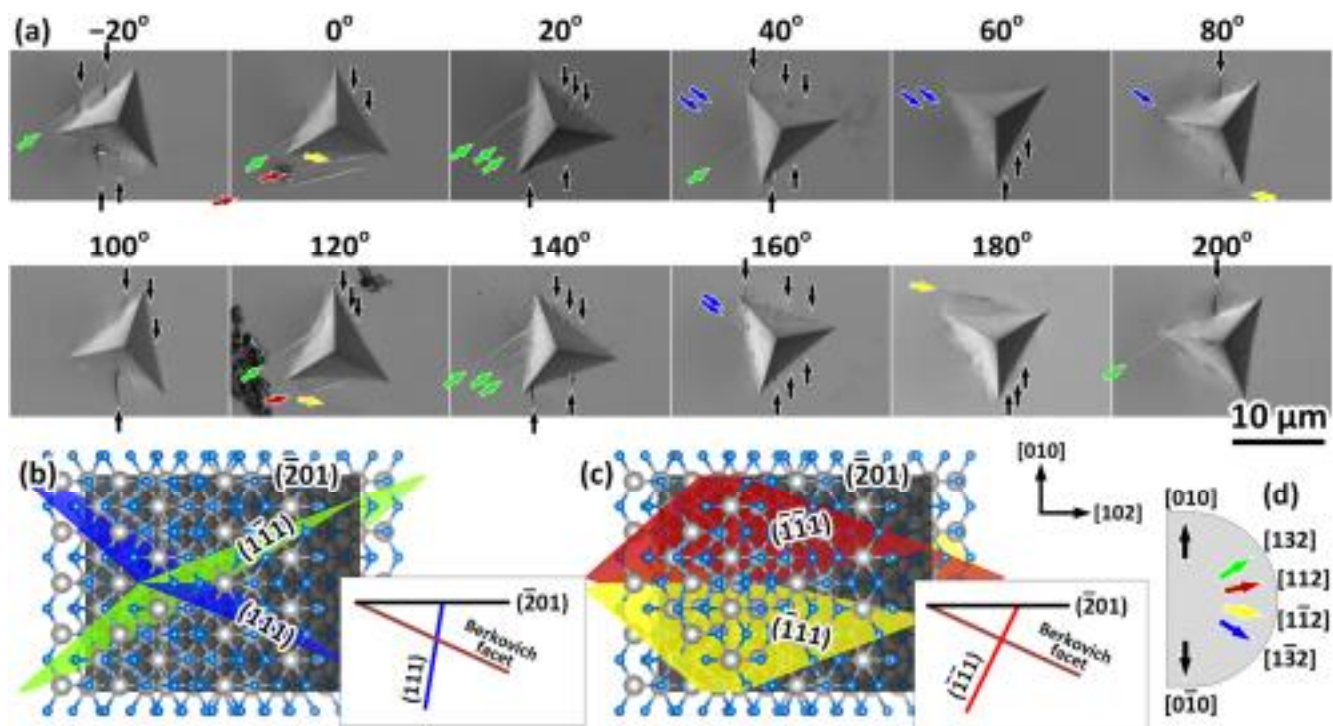


図 3-(6)-42 (a)圧痕のSEM像(最大荷重 500mN、圧子角度-20~200°まで20°ステップを表示)、(b), (c) 結晶構造と劈開面、(d)観察された劈開の方向^[5]

以上の結果は、 β -Ga₂O₃ の機械的特性の強い異方性を明確に示しており、GaN や 4H-SiC などの他のパワーデバイス用化合物半導体とは大きく異なる。したがって、 β -Ga₂O₃ の加工プロセスを他の材料の「加工レシピ」を単に使用するのではなく、 β -Ga₂O₃用に調整することが重要である。

4. 委託業務全体の成果

4. 1 計画時に想定していなかった成果（副次的成果）や、目標を超える成果

デバイス開発： 該当なし

結晶欠陥の構造解析：

デバイス動作中のオペランド観察法開発において当初予定ではデバイス領域（表面近傍）の欠陥挙動を観察する反射X線トポグラフィ技術の開発までを想定していたが、基板領域の欠陥挙動まで含めて観察するオペランド観察に成功した。また、 β -Ga₂O₃の機械特性の結晶方位依存性に関する知見を得た。本知見はウエハ加工の条件最適化に関する基礎データとして活用が期待される。

4. 2 研究課題の発展性（間接的成果を含む）

デバイス開発：

酸化ガリウム半導体は、SiC、GaNを凌ぐ低損失パワーデバイスを実現するワイドギャップ半導体材料として注目されている。しかしながら、p型Ga₂O₃導電層技術が未確立のため、素子の大型化に適した反転MOS型トランジスタが作製できず、mA級の小型素子による基礎研究に留まっていた。本委託研究で世界に先駆けて開発した高抵抗アクセプタ層をウエル層とする反転MOS型トランジスタを用いてアンペア級の電流、数百ボルトの電圧の高速スイッチングができることを学会等で報告することにより、スイッチング素子への応用の可能性を広く学術・産業分野へ示し酸化ガリウムトランジスタへの関心を高めることができた。

本委託研究の成果を元に、高耐圧酸化ガリウムトランジスタの実用化を目的とした研究開発を「経済安全保障重要技術育成プログラム/高出力・高効率なパワーデバイス/高周波デバイス向け材料技術開発 β -Ga₂O₃ ウエハ、パワーデバイス及びパワーモジュールの開発」（令和6-10年度）にて継続して進める。

結晶欠陥の構造解析：

本研究において新たに開発した結晶欠陥評価手法（ボルマン効果を利用した欠陥の透過評価、ドメインバウンダリーの結晶方位不整合を高角度分解能で検出するX線レチクログラフィ技術、デバイス動作下での欠陥挙動を観察するオペランド観察技術等）は β -Ga₂O₃のみならず他の結晶材料や半導体デバイスの欠陥構造評価解析に適用可能であり、関連する学術・産業分野の発展に幅広く寄与する。

4. 3 研究成果の発表・発信に関する活動

デバイス開発：

掲載論文

招待論文 1報 電子情報通信学会 和文論文誌 C(2024)

ハイライトペーパー 1報 Applied Physics Express(2023)

学会発表

依頼公演1件 電子情報通信学会 2023年総合大会 シンポジウム

結晶欠陥の構造解析：

掲載論文

Editor's Pick 1報、Editor's Choice 1報、Featured Article 1報

招待講演3件（国際会議2件）、展示発表2件、依頼講演1件

活動全般

汎用的な計測手法、方法論の確立

- ・ドメインバウンダリーの結晶方位不整合を数秒の角度分解能で検出可能なX線レチクログラフィ技術を開発した。本手法は β -Ga₂O₃や4H-SiC, GaN, AlN, ZnO, Si等の半導体単結晶のみならず、単結晶ドメインを有するセラミックス等のドメインバウンダリーの計測に適用可能である。
- ・デバイス動作下での放射光X線トポグラフィによるオペランド観察手法を開発した。本手法はデバイスを動作させながら欠陥挙動を観察できるものであり、従来のエミッション顕微鏡等のリークや破壊を起こした場所を後から観察する従来手法とは異なり、リークや破壊前からの欠陥構造変化を追えるのでリークや破壊を引き起こす欠陥の変化前をとらえることができる。本手法は β -Ga₂O₃のみならず4H-SiC, GaN, AlN, ZnO, Si等のデバイスにも適用可能である。

5. プロジェクトの総合的推進

5. 1 研究実施体制とマネジメント

外注先4インチライン試作、要素技術の開発を計画通り進めるため開発要員、工数を充足した。

5. 2 経費の効率的執行

ウエハ枚数が必要となる反転MOS型チャネル構造の開発、4インチラインのトランジスタ作製プロセス開発には、弊社にて量産を開始した4インチエピウエハ(2 kV耐压品)を用い、10 kV耐压デバイス試作には本委託研究で開発した低ドナー濃度、厚膜エピウエハ(10 kV耐压品)を用いた。この手法により、作製に費用、工数のかかる研究開発品の低ドナー濃度、厚膜エピウエハの所要数を減らし効率的に研究開発を推進した。

6. まとめ、今後の予定

デバイス開発：

本研究では、耐压10 kV以上のGa₂O₃トランジスタの大電流化(ドレイン電流100 A以上)の実現を目的として、大面積化に有利なMOSトランジスタ構造として、新たに反転MOSチャネル構造の基礎研究を行った。アクセプタ不純物を添加した高抵抗ウエル層を用いた反転MOSチャネル(D-MOS)トランジスタを開発し、4インチ量産ラインで大型素子を作製してドレイン電流110 A動作を実現した。またD-MOSトランジスタの100 kHz、300 V、0.7 Aの高速スイッチング動作も確認した。しかしながら、4インチの低ドナー濃度、厚膜エピウエハの作製が難航したため、耐压に関しては目標を達成できなかった。2インチの低ドナー濃度、厚膜エピウエハ上に作製したFinFETでは10 kV耐压を確認することができた。縦型酸化ガリウムトランジスタの世界最高値5 kVを大きく上回る値である。

本委託研究の成果を元に、高耐压酸化ガリウムトランジスタの実用化を目的とした研究開発を「経済安全保障重要技術育成プログラム/高出力・高効率なパワーデバイス/高周波デバイス向け材料技術開発 β -Ga₂O₃ ウエハ、パワーデバイス及びパワーモジュールの開発」(令和6-10年度)にて継続して進める。

結晶欠陥の構造解析：

結晶欠陥の構造解析技術として、エッチング、結晶内部すべての欠陥を計測するボルマン効果を利用したX線トポグラフィ、デバイス動作中のデバイス領域の欠陥挙動を観察する反射X線トポグラフィオペランド観察、デバイス動作中の基板も含めたデバイスの欠陥挙動を観察する透過X線オペランド観察、転位種の分類を可能にするX線トポグラフィにおける $g \cdot b$ 解析(透過・反射とも)、ドメインバウンダリーを高感度で検出するX線レチクログラフィ技術を開発した。開

発した技術を使って、基板・エピ膜・デバイス領域の欠陥を観察し欠陥種を同定するだけではなく、デバイス動作中の欠陥挙動を観察し、デバイス動作に悪影響を及ぼす欠陥を抽出した。

現デバイス構造では電極端での電界集中による破壊が最も多いため、開発した技術を使ってデバイス性能劣化の原因となる欠陥同定の障害となることがわかった。ガードリング等の対策を取ったデバイスを用いてオペランド計測を実施しデバイス性能劣化の原因となる欠陥を統計的に同定する。

7. 研究発表、知的財産権等の状況

(1) 研究発表等の状況

種別	件数
雑誌論文	8件
学会発表	20件
展示	13件
図書	該当なし
プレス	3件
その他	該当なし

(2) 知的財産権等の状況

発 明 の 名 称	発明者	出 願 登 録 区 分	出願番号（出願日）	出願区分	出願国	登録番号（登録日）
フィン型電界効果トランジスタ	脇本、宮本	出願	特願2022-118998	国内		
半導体装置	高塚、小石川、大塚、宮本	出願	特願2025-020360	国内		

(3) その他特記事項

該当なし