安全保障技術研究推進制度　令和６年度採択大規模研究課題　中間評価結果

1.　評価対象研究課題

（１）研究課題名：3 次元集積 LSI 技術による深層学習・推論の超高速化の研究

（２）研究代表者：株式会社 Preferred Networks　西川　徹

（３）研究期間　：令和６年度～令和１０年度（予定）

2.　中間評価の実施概要

日時　　：令和７年１２月１２日

場所　　：ＴＫＰ新橋カンファレンスセンター

評価委員：未来工学研究所　理事長、上席研究員

東京大学　名誉教授

平澤　泠（委員長）

リモート・センシング技術センター　理事

岩野　和生

玉川大学　名誉教授

大森　隆司

東京工業大学（現　東京科学大学）　名誉教授

佐藤　誠

兵庫県立大学大学院　情報科学研究科　教授

田中　俊昭

千葉商科大学　特定教授

筑波大学　名誉教授

東京工業大学（現　東京科学大学）　名誉教授

寺野　隆雄

札幌市立大学　理事長、学長

中島　秀之

山口大学　大学院創成科学研究科　教授

西井　淳

産業技術総合研究所　人間社会拡張研究部門　上級主任研究員

長谷川　良平

福井工業大学　経営情報学部長・主任教授

大阪大学　名誉教授・特任教授

馬場口　登

（委員長以外は五十音順・敬称略）

3.　研究の進捗状況

研究の概要

現在のスーパーコンピュータでは演算性能に対してメモリバンド幅が大きく不足しており、これが現在 AI 応用で解決すべき最重要課題であり、LLM 推論で特に大きな問題になっている。

本研究課題の最終目標は、最先端ではないロジックプロセスとDRAMプロセスの組合せで 3 次元積層技術を使ったテストプロセッサを試作し、現代の最先端の半導体プロセスを使ったAIアクセラレータよりも高い性能が実現できることを実証することである。

進捗状況

当初の予定通り進捗しており、3D 積層 DRAM の概念設計、解決すべき問題点の整理と解決方法の定式化、詳細物理設計委託先の選定がほぼ終了した他、プロセッサアーキテクチャ、アプリケーション記述のためのコンパイラについても設計を進めている。

次に、採択時の条件とその達成状況について概要を述べる。

採択時の条件は以下の通りである。

- 研究計画に関して、令和８年の中間評価の前の令和７年秋頃にも中間評価に向けた進捗評価を行い、東京エレクトロン等の接合技術ハイブリッドボンディングの確立（信頼性良品率等）の見通しとソフトウェアによる回避、将来にわたって実施体制が整っていることを示し、また、分散メモリのアーキテクチャとソフトウェアについて具体的に報告する計画として下さい。研究終了後の展開について構想を説明して下さい。
- 中間評価では、需要に繋げるためのビジネス戦略（ロードマップ）も評価の観点に含める。
- ベンダをどう巻き込むか見通しを２回の中間評価で示すとともに、将来の実装を意識した計画を作っていただきたい。

ハイブリッドボンディング（HB）[*1] の確立（信頼性良品率等）の見通しについては、台湾 DRAM ベンダ P 社（昨年度フィージビリティスタディ委託先）から信頼性試験の結果を得た。4 層積層の場合で、HB および TSV[*2] を合わせた不良率は 0.005% 以下である。このため、1 ダイに 1024 個の DRAM マクロを集積し、それぞれが制御信号とデータを合わせて 90 ピンの入出力を持つとし、これを 4 枚積層する時、マクロ 1 つの TSV や HB が原因となる不良率は 0.5% 程度となる。

この不良率は比較的大きいため、実際の設計では、

- 制御信号については信号 1 つに HB、TSV 2 つを割り当てる
- データ信号については、2 ダイを合わせた 144 ピンのうち 3 ビットをスペアとする

ことで、マクロ 1 つの HB および TSV が原因となる不良率を 10^{-7} 以下にすることができる。

一方、DRAM マクロ自体のメモリセルの不良による不良品率はこの値よりはるかに高いことがわかった。これは、DRAM ダイはロジックダイとは全く異なり、非常に多くの不良メモリセルがあり、それをリペアする(良品セルと置き換える)ことを前提にした設計となっているからである。このため、標準品 DRAM では、製造プロセスが改善して不良セルが減るに従って DRAM マクロ内で用意するスペアの数を減らし、同じ容量でもダイサイズを小さくして製造原価を下げる、という手法がとられている。

カスタム DRAM では、ダイサイズが固定されるため、このようなプロセス改善状況に応じた変更は困難であり、設計時点で期待されるプロセス状況からスペアの割合を決めることになる。このような設計の可能性をDRAMベンダと検討し、目標の良品率が極端に高くない範囲でこれは可能であることがわかった。

単一マクロの面積は 1 平方ミリ以下であり、この時リペア後に 99.9% 以上の良品率を得ることは原理的には容量に大きなインパクトなしで可能であるとわかった。今回の設計では 99% をある程度の余裕をもって超えることを目標とした。

積層ダイ全体としては、さらに 2 階層の冗長性をいれることで単一マクロの良品率が 99% の時に 70%以上の良品率となるようにした。

ソフトウェアによる回避については、DRAM や HB、TSV の不良については上で述べたように設計とリペアで対応するとした。将来にわたる実施体制としては、キーとなる技術である

・HB、TSV 加工等の 3 次元積層に関係する後工程
・DRAM 製造自体
・DRAM 設計

について、国内企業の参画の可能性の検討を進めている。後工程については候補企業と調整を進めている。DRAM 製造を国内で行うことは当面難しいが、これも継続して検討を進める。DRAM 設計については、継続的な開発のため、国内に設計チームを持つ可能性の検討を進めている。

分散メモリのアーキテクチャとソフトウェアについては、アーキテクチャの概要とコンパイラ、アプリケーションの開発状況を報告した。チップ内分散メモリであるが、 SIMD アーキテクチャにすることで、コア間同期のオーバーヘッドを減らし、特に DRAM コントローラを命令シーケンサと統合することで、コア毎にコントローラを持つことで発生する回路的なオーバーヘッドリフレッシュがランダムに入ることによるジッタ（遅延時間のゆらぎ）を回避し、高い並列化効率を実現できるとわかった。一方、DRAM のハードウェア不良回避は積層で起こる TSV の不良等以上に難しい問題とわかったが、多重の冗長性をいれることで十分な良品率を実現する手法を確立した。コンパイラ、アプリケーションについては、SIMD アーキテクチャ向けの OpenCL ライクなコンパイラの概念設計とプロトタイプ開発を行い、主要なアプリケーションについてコード生成可能であること、生成されるコードの実行効率が十分高いことを確認した。

また、需要に繋げるためのビジネス戦略（ロードマップ)、ベンダをどう巻き込むかの見通しについては、まず LLM（トランスフォーマー)をターゲットしたプロセッサ開発、商用化を社として進める方針を確認した。開発するプロセッサは LLM 推論のユーザーあたり速度でも、システムとしてのスループットでも従来のアーキテクチャに比べて大きな優位性をもち、特に性能あたりの消費電力を大幅に削減できる。今後の国内ベンダの巻き込みについては、キーとなる技術、具体的には、DRAM 設計については国内の開発グループの支援を、WoW、TSV 実装技術については本研究で開発する DRAM ウェハを使う前提で国内企業との協力を進めている。

4. 中間評価の評点

B　研究成果の創出を図る上で、研究計画の見直しを要する。

5. 総合コメント

新しい積層技術の試みはチャレンジングであると評価できるが、研究の進展に伴い、新たな問題も発見されており、それらを克服するためのプロジェクト管理には問題がある。

マイルストーン、克服すべき技術的課題、令和８年度の中間評価に向けた達成項目などを明確にしたロードマップを立てるとともに、対外発表、特許出願についても今後の計画を整理し、プロジェクト管理を実効性のある形にする必要がある。

DRAM に関しても日本の技術を育てる観点からしっかりと検討していただきたい。

6. 主な個別コメント

- 報告では「見込みである」という表現が多かった。もっと具体的なロードマップをきちんと示して、３年目の中間評価で成果を報告していただきたい。
- 現状ではロードマップが不明瞭であり、研究の推進が適切に行われるとは判断し難い。
- ２年目までの成果、および今後の最終目標ともに不明瞭である。
- 説明資料の作り方・品質を見ると、全体が適切にマネージされているか、やや不安がある。
- ソフトウェア面で、コンパイラとアーキテクチャとの密接な関連がどれだけ解決されるかで、第二段階以降の性能が決まると思われる。
- 全体の良品率が比較的高くない点が憂慮される。
- ある程度のものづくりは進んでいるが、費用にふさわしい成果であるとは実感できない。

---

*1　HB：ハイブリッドボンディング。SiO_2 絶縁層に銅パッドを埋め込んだ面同士を直接接合し、熱処理によって銅パッドを膨張させてパッド間を結合する方式。従来のマイクロバンプによる接合に比べてはるかに微細なピッチが可能であり、またダイ間に絶縁体によるフィラーがないために熱伝導率が高く、冷却効率が高い。また製造コストが低いことが特長である。

*2　TSV：シリコン貫通電極。ダイを貫通する微細な穴に銅を埋めた電極を構成し、積層したダイ間の配線とする手法。