

平成 3 1 年度 防衛装備庁
安全保障技術研究推進制度

研究成果報告書

半導体の捕獲準位に電子を蓄積する固体電池の研究開発

令和 2 年 5 月

東芝マテリアル株式会社

本報告書は、防衛装備庁の安全保障技術研究推進制度による委託業務として、東芝マテリアル株式会社が実施した平成31年度「半導体の捕獲準位に電子を蓄積する固体電池の研究開発」の成果を取りまとめたものです。

1. 委託業務の目的

1. 0 委託業務の目的

(1) 研究課題の最終目標

本委託業務では、これまでの電池と全く異なる原理で動作する半導体固体電池に関する基礎研究を行う。半導体固体電池は、半導体に意図的に導入した捕獲準位等に電子を溜め、必要に応じてこれを取り出すことが出来る。電子だけで動作する完全固体電池であり、イオンを用いないため燃えやすい溶剤や有機材料を使う必要が無いという特長を有する。

本委託業務における最終目標は以下の通りである。

- 1) n型半導体層/絶縁体層/p型半導体層の合計膜厚 $3\mu\text{m}$ 以下、面積 4cm^2 の半導体固体電池を試作し、特性評価を行う。目標とする特性は、エネルギー蓄積 1mWh 以上とする(*)。さらに同じ材料、膜厚、面積の絶縁体層をもつコンデンサー(金属層/絶縁体層/金属層)に比べて高いエネルギー蓄積(Wh)があることを示す。
* エネルギー密度: 156Wh/L に相当する。 156Wh/L は以下の方法で換算した: 基材と電極を兼ねるアルミ箔(面積 4cm^2 、膜厚 $12\mu\text{m}$)の上に、目標の蓄電層(面積 4cm^2 、膜厚 $3\mu\text{m}$)を堆積し、さらに反対側のアルミ電極層(面積 4cm^2 、膜厚 $1\mu\text{m}$)を堆積した半導体電池の合計体積で、エネルギー蓄積 1mWh とする。
- 2) n型半導体層及びp型半導体層の物性測定、デバイスシミュレータによる検討を行い、半導体層に蓄積されるキャリアの量及び、キャリアを蓄積する準位の深さを評価する。この結果より、半導体固体電池の充放電メカニズムを明らかにする。
- 3) 試作した半導体電池の半導体層は真空成膜で作製するが、将来の高容量電池の実現に向けて塗布プロセスによる厚膜化の検討を行う。塗布プロセスにて半導体層を成膜し、クラックを発生せずに $10\mu\text{m}$ 以上の膜厚を達成するプロセス条件を明らかにする。また、半導体特性の評価により、塗布プロセスにより厚膜化した半導体層における問題点を抽出する。

(2) 最終目標を実現するために克服又は解明すべき要素課題

(1) で示した最終目標を実現するために克服又は解明すべき要素課題は以下の通りである。

- 1) 電池容量向上のため、半導体層に多量の捕獲準位を導入すると、半導体層がメタルライクになることで充電時に中央の絶縁体層界面近傍にキャリアが集中し、蓄積されるキャリアの量が低下してしまう可能性がある。
- 2) コンデンサーを大幅に上回るエネルギー容量を得るためには、半導体層に 10^{22}cm^{-3} 程度のキャリアを蓄積する必要がある。しかしながら、キャリアの蓄積を直接的に確認する方法はない。
- 3) スパッタ等の真空成膜で達成可能な膜厚は数 μm 程度が上限であるが、将来の高容量電池の実現のためには、半導体層の厚膜化が必要である。

(3) 要素課題に対する攻略手段と実施項目及びそのための体制

① 半導体層の形成、半導体電池試作(担当: 東芝マテリアル株式会社)

要素課題1)で挙げた多量の捕獲準位を導入すると半導体がメタルライクになるという課題に対し、酸化物半導体への深い捕獲準位の導入、量子井戸構造の導入という2つのアプローチから解決を図る。

①-1 酸化物半導体への捕獲準位導入

バンドギャップの大きな酸化物半導体を半導体層とし、これに深い捕獲準位を導入することで、半導体がメタルライクにならないようにする。

深い捕獲準位の導入方法としてスパッタ成膜中の酸素分圧制御、電子線照射、紫外線照射、真空雰囲気でのアニール、還元雰囲気ガスによるアニールやこれらの処理の組合せが想定さ

れる。これらの処理を行ったn型酸化物半導体層及びp型酸化物半導体層の単層膜について、実施項目②の準位・キャリアの評価を行い、深い捕獲準位の導入方法を確認し、半導体固体電池の試作に用いる最適なn型酸化物半導体層とp型酸化物半導体層を選定する。

①-2 量子井戸構造の導入

半導体層内に、バンドギャップが小さい別の半導体微粒子による量子井戸を形成し、この量子井戸にキャリアを捕獲することで、半導体がメタルライクにならないようにする。

まずはa-Si半導体層内に、半導体微粒子として β -FeSi₂粒子 $10^{17} \sim 10^{18} \text{ cm}^{-3}$ の密度で分散したn型量子井戸構造半導体層を作製する。

さらに、ZnO半導体層中にc-Si粒子を分散した量子井戸構造、絶縁体中にシリサイド粒子やSi半導体粒子を分散した量子井戸構造などを試作する。

量子井戸構造中にサブバンドが形成されることによる蓄積キャリア密度低下が懸念されるが、粒径、粒子間隔等を変えた膜を作製し、サブバンドを形成せずキャリアが多く蓄積する条件を探索する。

量子井戸構造中に分散した粒の間隔や粒径の評価は、透過電子顕微鏡（TEM）や走査型電子顕微鏡（SEM）、エネルギー分散型X線分光法（TEM-EDX）で行う。

半導体の結晶性については、マクロにはX線回折（XRD）で、ミクロにはTEMの電子線回折像観察で確認する。

これらの結果と、実施項目②の準位・キャリアの評価を行い量子井戸構造の作製方法を確認し、半導体固体電池の試作に用いる最適なn型量子井戸構造半導体層とp型量子井戸構造半導体層を選定する。

①-3 半導体固体電池の試作

①-1及び①-2において作製条件を明らかにしたn型半導体層とp型半導体層間に絶縁体を挟んだ構成の半導体固体電池を試作する。半導体層の組合せに加え、絶縁体層の材料及び膜厚も試作条件として電池特性の評価を行うことで、最適な半導体・絶縁体層を選択していく。試作電池のn型半導体層/絶縁体層/p型半導体層の合計膜厚は $3 \mu\text{m}$ 以下、面積は 4 cm^2 とする。電池の特性評価を行い、エネルギー蓄積 1 mWh 以上を達成しているか確認する。さらに同じ材料、膜厚、面積の絶縁体層をもつコンデンサー（金属層/絶縁体層/金属層）を試作し、これに比べて半導体固体電池は高いエネルギー蓄積（Wh）があることを確認する。

② 準位・キャリア密度の評価（担当：株式会社東芝）

①で作製した半導体層について、キャリアの捕獲準位や伝導キャリアに関する評価を行う。要素課題2)で挙げた通り、キャリアの蓄積については直接的に確認する方法はないが、理論式からの推測、複数の測定手法を組合せることで、キャリアの蓄積の評価を行う。

薄膜の抵抗率を $1/T$ （ T は温度：ケルビン）でプロットし、式(1)のフィッティングを行うことで準位深さ、伝導キャリア数、伝導機構を評価する。準位の密度は伝導キャリア数から推測する。

$$\rho(T) = \left\{ \left[\frac{1}{qN_d \mu_b} \exp\left(\frac{qE_a}{kT}\right) \right]^{-1} + \left[\frac{1}{qN_o \mu_h} \exp\left(\frac{q\varepsilon}{kT}\right) \right]^{-1} \right\}^{-1} \quad \text{式(1)}$$

$\rho(T)$: 薄膜の抵抗率

N_d : 伝導帯のキャリア密度、 N_o : 最近接ホッピング伝導帯のキャリア密度

μ_b : 伝導帯のキャリア移動度、 μ_h : 最近接ホッピング伝導帯のキャリア移動度

E_a : ドナー準位と伝導帯下端のエネルギー差、

ε : ドナー準位での近接キャリアトラップ間の電子の平均活性化エネルギー

※式(1)はn型半導体に対応する式であるが、p型半導体も同様の式で表記可

準位の深さ、密度を求める別の方法として、深い準位過渡分光法（DLTS）も活用する。実施項目①で作製した半導体膜にショットキー接合電極を形成し、容量の過渡応答を測定する

ことで、深い準位のエネルギー位置、密度、時定数を評価する。

準位深さ・量については定量性を向上させるため、フォトルミネッセンス法 (PL) など、他の評価手法も実施する。また必要に応じて、キャリアタイプを含めた伝導キャリア密度の評価には、ホール効果測定を活用等も想定している。

半導体層内へのキャリア蓄積量については、表面電位顕微鏡 (KFM) での評価を行う。実施項目①で作製した半導体膜へキャリア注入を行い、その前後での表面電位の変化を測定する。電位の変化分から、各種材料のキャリア蓄積の相対的な評価を行う。また、この結果と他の評価結果を組み合わせることにより、絶対値としての蓄積キャリア密度 (cm^{-3}) への換算も試みる。

キャリア蓄積量については、他の評価方法に関する探索も並行して行う。

③ シミュレーションによる充放電メカニズム検証 (担当: 東芝マテリアル株式会社)

形状・プロセスシミュレータを用いて電池構造における電界集中を調べる。また、第一原理計算を用いて原子欠損等のバンド構造、量子井戸構造におけるキャリア蓄積を調べる。

ドリフト拡散シミュレータ (デバイスシミュレータ) を改造し、半導体固体電池における電位・キャリア濃度の分布、擬フェルミ準位の開きなどを計算する。デバイスシミュレータの改造点は以下の通りである。

- ・半導体固体電池の絶縁体層のエネルギーバンドを考慮できる様にする
- ・電子・正孔の捕獲、蓄積を再現できるモデル式を挿入する
- ・充放電時の時間変化 (過渡解析) を考慮できる様にする

これらの結果と、②で得た物性値の評価結果に基づき、半導体固体電池の充放電メカニズムを明らかにする。

④ 半導体ナノ粒子の作製 (担当: 東芝マテリアル株式会社)

⑤の塗布プロセスによる半導体材料に導入するため、①-2で選定した半導体ナノ粒子をプラズマ溶融法と熱処理を用いて作製する。また、微粒子表面のぬれ性向上及び帯電による凝集防止を目的として、微粒子表面に膜厚数nm程度のコーティングを実施する。コーティング材料としては TiO_2 、a-Si等を想定している。

⑤ 塗布プロセスによる厚膜化検討 (担当: 株式会社東芝)

要素課題3)で挙げた半導体層の厚膜化のため、塗布プロセスの検討を行う。①-1で選定した酸化物半導体層、①-2で選定した量子井戸構造半導体層について、塗布プロセスにて膜厚数 $10\mu\text{m}$ の単層膜を作製する。塗布プロセスによる量子井戸構造半導体層の作製においては、④で作成した半導体ナノ粒子を用いる。厚膜化により内部応力によるクラックの発生が懸念されるが、焼成温度、界面の処理、骨材の種類・量等の最適化により、クラックを発生せずに厚膜化を達成するプロセス条件を明らかにする。また、真空成膜で作成した半導体層と塗布プロセスで作成した半導体層との半導体特性の比較を行い、塗布プロセスにより厚膜化した半導体層における問題点を抽出する。

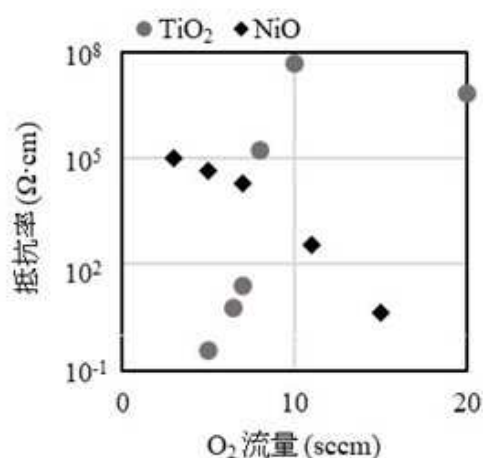
1. 1 研究開始時に設定した研究目標の達成度

本研究は、これまでの電池とは異なり、半導体技術を応用した原理で動作する半導体固体電池に関する基礎研究である。半導体固体電池は、n型半導体/絶縁体/p型半導体構造を基本構造とし、本研究では高容量化を目的とした材料や電池構造の改良、充放電メカニズム解明に取り組んだ。n型半導体/絶縁体/p型半導体構造である $\text{TiO}_2/\text{SiON}/\text{NiO}$ 構造の電池では、平行平板コンデンサーと比較して5000倍以上の容量を有することを実証した。半導体層の形成・半導体電池試作、準位・キャリア密度の評価、シミュレーションによる充放電メカニズム検証を実施し、本構造における充放電メカニズムを解明できた。本研究で得られた成果は新規性が高く、論文3件(うち投稿中1件)の発表を行った。各実施項目における研究目標の達成度を以下に記す。

① 半導体層の形成、半導体電池試作

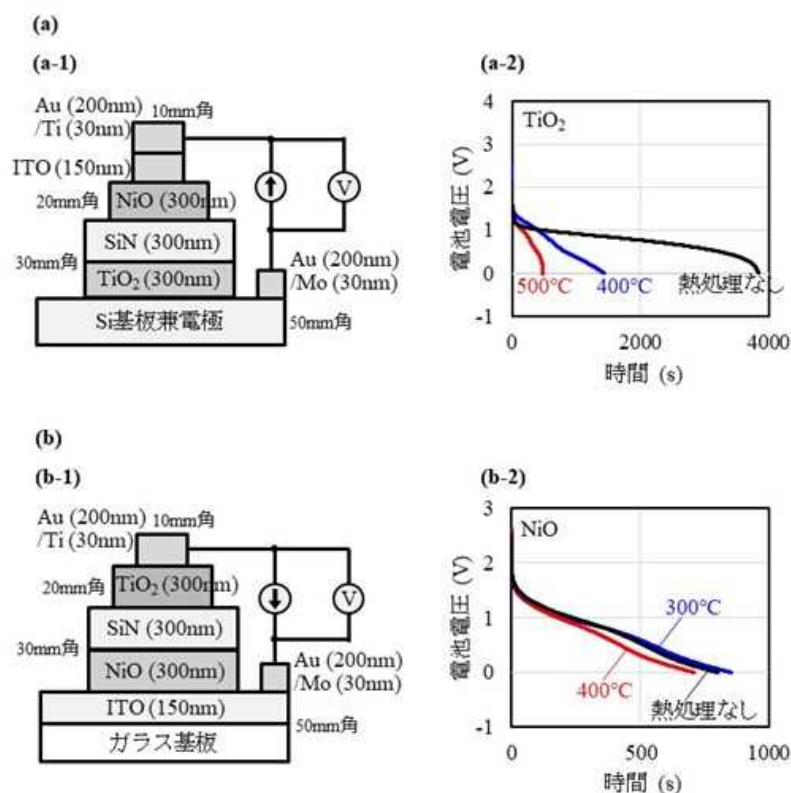
①-1 酸化物半導体への捕獲準位導入

平成29年度はn型酸化物半導体のTiO₂層とp型酸化物半導体層のNiO層に対して捕獲準位の導入方法としてスパッタ時の酸素分圧制御を実施した。スパッタ時の酸素流量が異なるTiO₂、NiO薄膜をガラス基板上に成膜し、抵抗率計（ハイレスタUP MCP-HT450, ロレスタGP MCP-T610）を用いた測定により欠損導入を評価した。TiO₂はTi, TiO_{2-x}ターゲットのDCスパッタ（1.0kW）、NiOはNiターゲットのRFスパッタ（0.6kW）により30～230nm堆積した。基板加熱は200℃とした。また、Ar/O₂混合ガスのAr流量は120sccmに固定し、O₂流量を5～20sccmで変化させた。図①-1に、スパッタO₂流量に対するTiO₂、NiOの抵抗率を示す。いずれの膜もO₂流量により抵抗率が大きく変化している。TiO₂の抵抗率減少はO₂流量減少によるO欠損導入、NiOの抵抗率減少はO₂流量増大によるNi欠損導入に起因すると考えられる。以上の抵抗率変化から、酸素分圧制御による元素欠損導入を確認した。



図①-1. TiO₂、NiO膜抵抗率のO₂流量依存性

平成30年度はTiO₂層やNiO層の捕獲準位の評価とスパッタ条件や熱処理条件の適正化を行った。熱処理については真空度 9×10^{-3} Pa、昇温5℃/min、維持30min、降温-5℃/min、維持温度TiO₂:500℃、400℃、NiO:400℃、300℃として実施し、フォトルミネッセンス（PL）による単膜評価や電池試作を行った。結果は図①-2に示す通り、電池容量の面ではTiO₂熱処理膜を用いた電池のみ容量変化が大きく、熱処理温度増大にともない容量が大きく低下した。以上の結果より、スパッタ時の酸素分圧は捕獲準位導入に効果的であること、また、TiO₂については熱処理によって結晶性が向上するが、容量が大きく低下することもわかった。



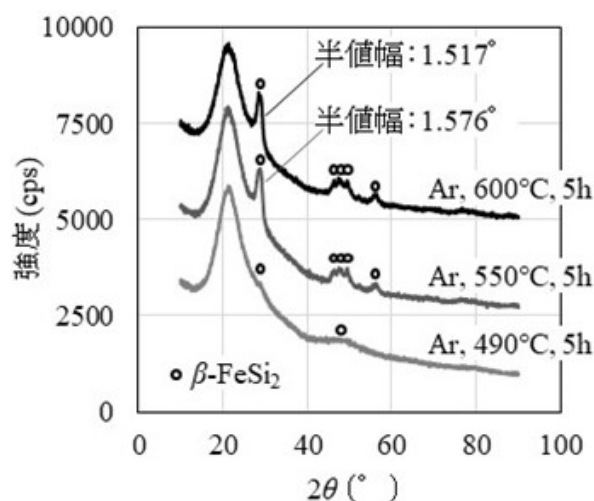
図①-2. 熱処理品の電池特性

さらに、捕獲準位導入を目的としたTiO₂層に対する電子線・紫外線照射では、電池試作による容量向上を確認した。しかし、これらの捕獲準位導入を目的とした取り組みにおいて、捕獲準位の増大は確認できたが、容量への影響は小さいことがわかった。

平成31年度はこれまでの「TiO₂/SiON/NiO」の3層構造を有する半導体固体電池の実験結果や理論考察等から、TiO₂/SiON界面での電子・正孔蓄積の可能性が推測されたため、蓄電メカニズム解明に注力した。②の準位・キャリア密度の評価結果と合わせて推定されるメカニズムとして、NiOからSiONへの正孔注入することによって、TiO₂/SiON界面近傍にキャリアが移動することでSiON膜中の欠陥準位にキャリアが蓄積し、充電が起きている可能性が示唆された。

①-2 量子井戸構造の導入

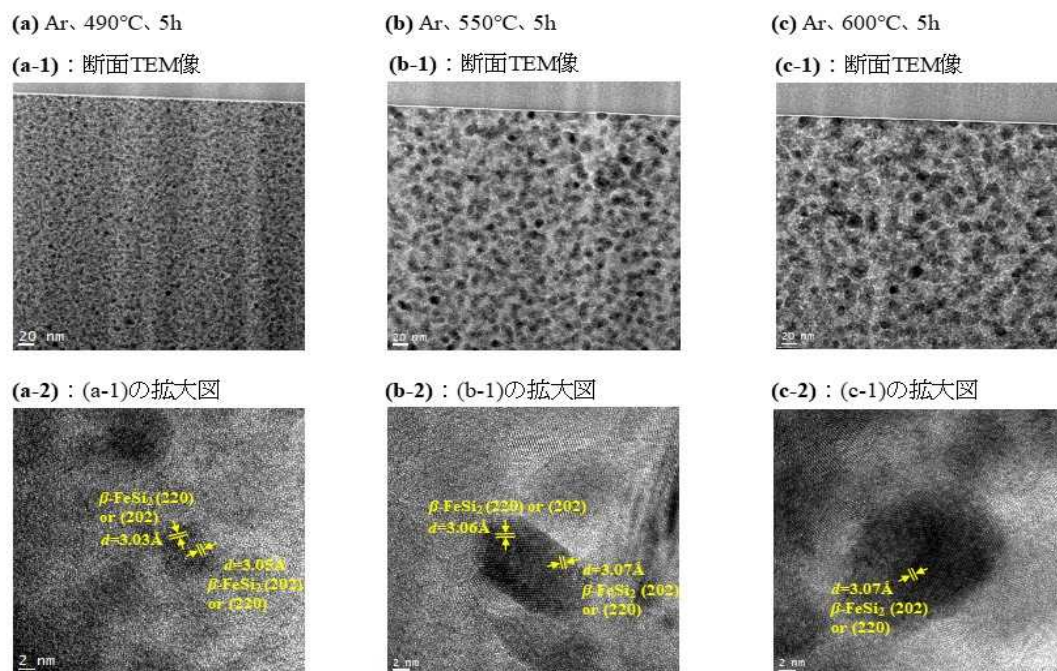
平成29年度はバンドギャップの異なる2つの半導体材料として先行文献 [1-3] で実現されているa-Si母相へのβ-FeSi₂微粒子分散膜の形成とAr雰囲気での熱処理の効果を検証した。3種類の温度 (490°C, 550°C, 600°C) で熱処理した膜のXRD (X線回折) 評価結果を図①-3に示す。β-FeSi₂結晶のピークが観測され、β-FeSi₂の結晶化が確認された。また熱処理温度が490°C, 550°C, 600°Cと増大するごとに、より狭い半値幅が観測された。これより熱処理温度増大に伴う結晶性向上、β-FeSi₂微粒子径の増大が推測された。



図①-3. 量子井戸膜/ガラスのXRD評価結果

Fe/Si共スパッタ後の熱処理条件:Ar, 490°C, 5h、Ar, 550°C, 5h、Ar, 600°C, 5hの膜を分析

さらに、熱処理温度と β -FeSi₂微粒子径の相関を明らかにするため、TEM(透過電子顕微鏡)観察を行った結果を図①-4に示す。図①-4(a, b, c-1)に示すように、熱処理温度490°Cでは約3~6nm、550°Cでは約10~15nm、600°Cでは約15~20nmの粒子が観察された。図①-4(a, b, c-2)に示す拡大図では、文献値[4]とおおよそ等価の β -FeSi₂格子間隔を有する格子縞が観察できた。以上より、a-Si中に粒径、分散状態の異なる β -FeSi₂結晶粒を形成できることを確認した。



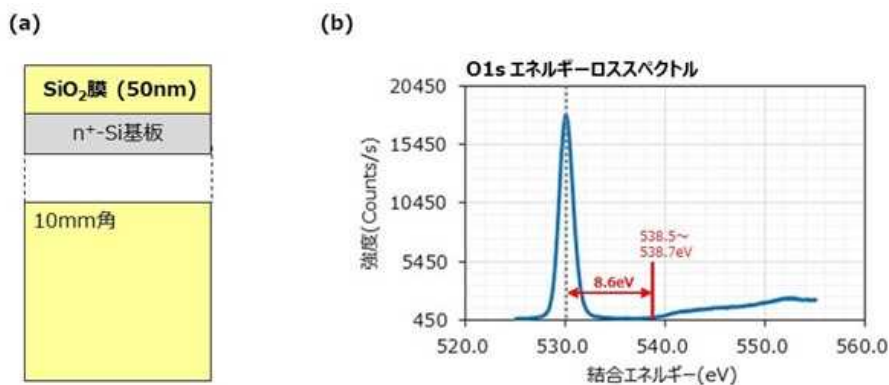
図①-4. 量子井戸膜の断面TEM像

- (a) 熱処理条件Ar, 490°C, 5hの量子井戸膜のTEM像：(a-1)断面TEM像、(a-2)断面TEM像拡大図
 (b) 熱処理条件Ar, 550°C, 5hの量子井戸膜のTEM像：(b-1)断面TEM像、(b-2)断面TEM像拡大図
 (c) 熱処理条件Ar, 600°C, 5hの量子井戸膜のTEM像：(c-1)断面TEM像、(c-2)断面TEM像拡大図

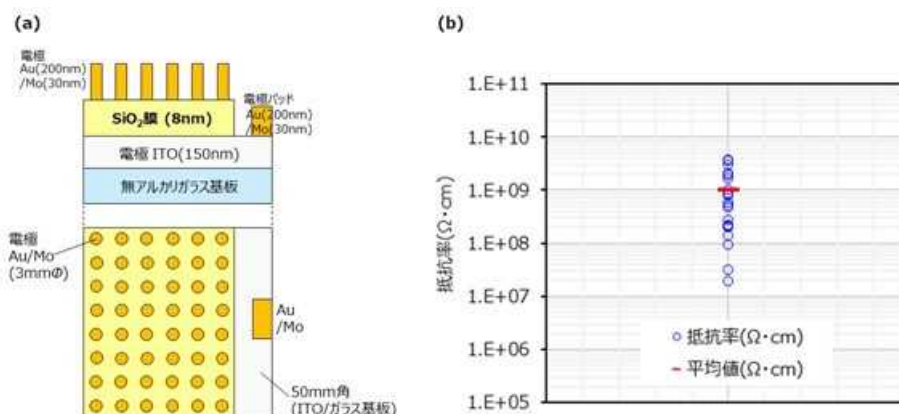
平成30年度は高容量化の指針獲得のためSi/ β -FeSi₂微粒子分散膜への熱処理条件を変え、大粒径化や組成変更による電池容量への影響を検証した。熱処理温度を900°Cとした膜では β -FeSi₂の他にSiも結晶化しており、これまでの熱処理膜と比べて組成や粒径が異なる膜であることを確認した。熱処理490~600°C膜ではアモルファス(a-)Si中の β -FeSi₂微粒子分散が得られているのに対し、熱処理900°C膜では新たに結晶(c-)Si中の β -FeSi₂微粒子分散が得

られたことが確認された。量子井戸型の高容量化への指針を得るために、同膜を用いた半導体固体電池の試作を行い、電池特性を確認した。

また理論計算により改めて量子井戸の設計指針を考察し、より深い量子井戸が高容量化に繋がる可能性が示唆された。そこで、より深い量子井戸が期待できるSiN/Si微粒子分散膜、SiO₂/TiO₂積層膜の形成方法を検討し、半導体電池試作へ適用した。SiN/Siの組合せでは2eV以上の深さを持つ量子井戸形成が可能となる。SiN/Si微粒子分散膜を形成した文献は無いが、類似した膜でシリコンフォトニクス応用としてSiO₂/Si微粒子分散膜の形成が報告されている[5, 6]。そこで、同文献を参考にSiN/Si微粒子分散膜の成膜と電池試作を行った。また、SiN/Si系とは異なる量子井戸の深い量子井戸膜としてSiO₂/TiO₂積層膜を検討した。SiO₂は一般的に絶縁性が高くキャリア移動が困難となる可能性が懸念された。そこで、事前にSiO₂単膜をスパッタ成膜し、バンドギャップや直流抵抗率の測定により、量子井戸膜として電池へ適用可能かどうかを確認した。成膜条件はSiO₂ターゲット、基板温度200℃、RF出力1.2kW、Arガス120sccm、成膜前真空度 3.7×10^{-4} Paとした。バンドギャップは、XPSによるO1sエネルギーロススペクトル測定により評価した。図①-5に評価用単膜と測定結果を示す。スペクトル立ち上がりまでのエネルギーがバンドギャップに相当する。測定の結果、約8.6eVの高いバンドギャップが確保されていることが確認された。次に抵抗率評価として電気化学装置（SolarTron 東陽テクニカ製 SI1287）を用いて、膜厚方向の直流抵抗率を評価した。図①-6に評価用素子（SiO₂膜厚：8nm）と測定結果を示す。SiO₂は平均で $1 \times 10^9 \Omega \cdot \text{cm}$ の抵抗が得られた。ゲート絶縁膜等のSiO₂薄膜の抵抗率 $10^{14} \sim 10^{16} \Omega \cdot \text{cm}$ と比較すると本SiO₂は低抵抗である。XPSにより別途、表面組成分析を実施した結果、Si:O:C=30:65:5(atomic%)であった。そのため、スパッタ成膜ではチャンバー内の残留酸素など不純物が含有し、組成ずれが抵抗率低下に起因した可能性が考えられた。ここで、4cm²半導体固体電池の充電時電流 5×10^{-5} A、電圧2.1Vを考慮すると、測定時の内部抵抗は4E+4Ω程度と計算される。例えば抵抗率 $10^9 \Omega \cdot \text{cm}$ のSiO₂を計100nm挿入すると、抵抗増加分は3E+3Ωとなる。この値は上記内部抵抗より1桁小さく、電池特性に大きな影響は与えないと考えられる。以上より、同SiO₂を用いた量子井戸膜（積層膜）が半導体固体電池へ適用可能と示されたため、電池試作・評価を実施した。



図①-5. SiO₂膜のバンドギャップ評価 (a)評価用単膜 (b)測定結果

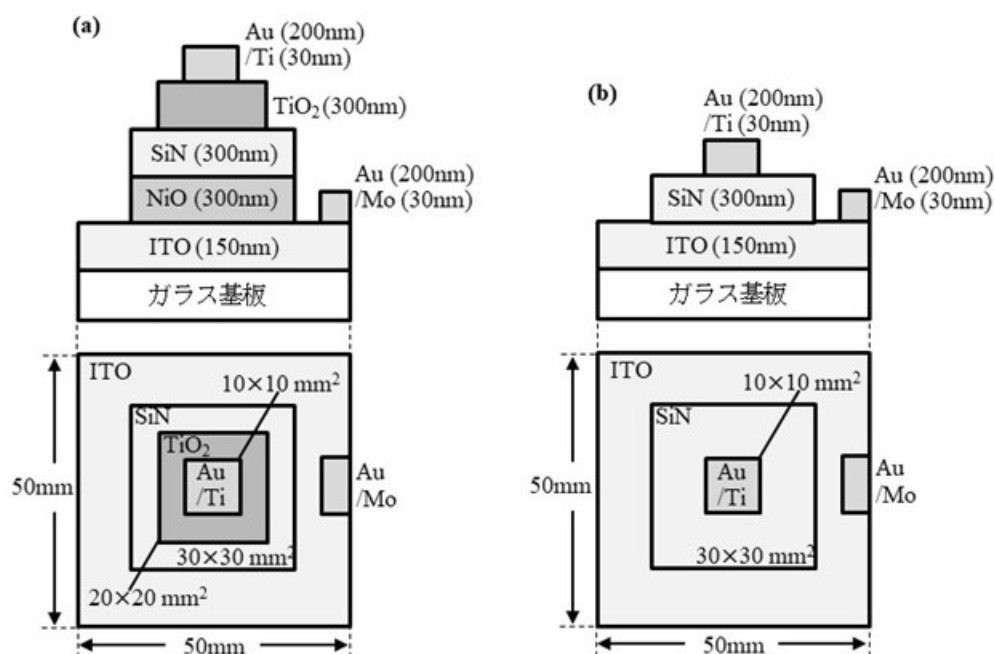


図①-6. SiO₂膜の抵抗率評価 (a)評価用素子 (b)測定結果

平成31年度は量子井戸構造の電池容量を増大させるため、材料と構造の改善に取り組んだ。具体的には、微粒子分散型構造のSiN中にSi微粒子を分散させた膜を形成した。また、積層型構造においてn層をTiO₂/SiO₂積層膜とした構造、p層をNiO/SiO₂積層膜とした構造を考え、積層型電池を作製した。

①-3 半導体固体電池の試作

平成29年度は本研究開始時に提案した標準構造である「TiO₂/SiN/NiO」構造の蓄電動作の評価・検証を試みた。本項では、図①-7(a)の半導体電池構造と図①-7(b)の平行平板コンデンサ構造を試作し、比較評価を実施した。ここで、平行平板コンデンサ構造は非常に低容量なため、時間分解能の点から充放電試験が困難な場合があった。その場合には、半導体電池と同様のSiN膜質を想定した5cm角の平行平板コンデンサを想定し、理論計算を実施している。



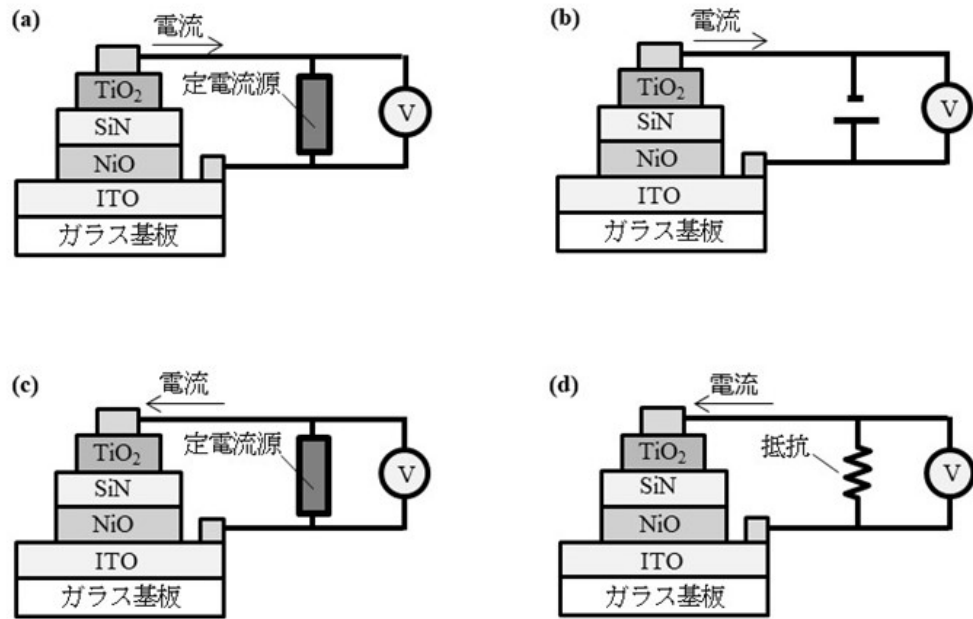
図①-7. 試作構造

(a) 半導体固体電池構造、(b) 平行平板コンデンサ構造

成膜は全てスパッタ法を用いた。NiO, SiN, TiO₂の成膜条件は以下の通りである：

- NiO: RFスパッタ、Niターゲット、基板加熱200℃、ガスフローAr/O₂=120/11sccm
- SiN: RFスパッタ、Si₃N₄ターゲット、基板加熱200℃、ガスフローAr/N₂=120/5sccm
- TiO₂: DCスパッタ、Ti, TiO_{2-x}ターゲット、基板加熱200℃、ガスフローAr/O₂=120/7sccm

デバイス作製後、電気化学装置 (SolarTron 東陽テクニカ製 SI1287) を用いて、充放電特性を評価した。測定系を図①-8に示す。充電は(a)定電流充電、(b)定電圧充電のいずれかを用いた。また放電は(c)定電流放電、(d)定負荷放電のいずれかを用いた。これら(a)～(d)の充電、放電を組合せることで充放電測定を実施した。



図①-8. 充放電特性の測定系

(a) 定電流充電、(b) 定電圧充電、(c) 定電流放電、(d) 定負荷放電

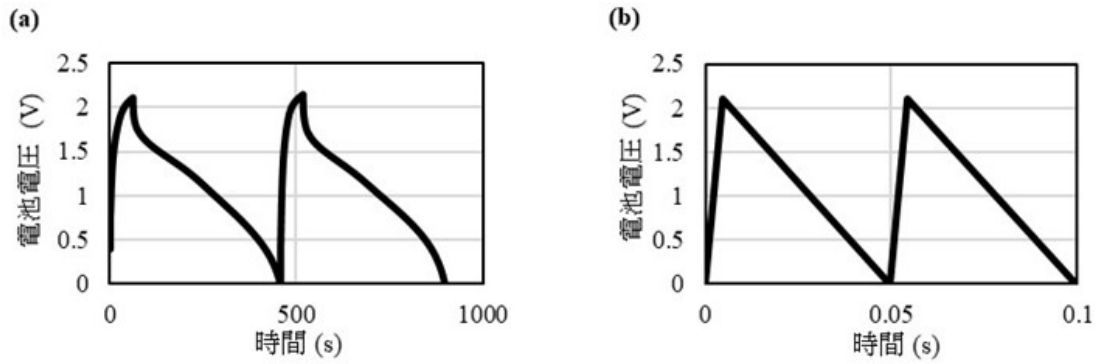
充放電測定は(i) (a)-(c)、(ii) (b)-(c)、(iii) (a)-(d)の3種類の組合せで実施

まず定電流充電－定電流放電の組合せで充放電特性を評価した。測定条件として、定電流 (5×10^{-2} mA) による 60 秒間 2.1V までの充電と、定電流 (-5×10^{-3} mA) による 0V までの放電を、連続して 2 サイクル測定した。図①-9(a)に半導体電池の測定結果を示す。2 サイクルともに放電時の電池電圧が一定時間維持されたことから、二次電池としての繰返し動作を実証した。一方、平行平板コンデンサは非常に低容量なため、装置の時間分解能が足りず本測定は困難であった。そこで、SiN を誘電体層とした膜厚 $d=300$ nm、電極面積 $S=5$ cm²、充電電圧 $V_{\text{cap}}=2.1$ V の平行平板コンデンサを仮定し、理論計算を実施した。下記式より充放電時間 $t_{\text{ch/dis}}$ を算出し、図①-9(b)に充放電曲線を図示した。

$$t_{\text{ch/dis}} = \frac{C_{\text{cap}} \times V_{\text{cap}}}{I_{\text{ch/dis}}}, \quad \text{式(①-1)}$$

$$C_{\text{cap}} = \epsilon \epsilon_0 \frac{S}{d}. \quad \text{式(①-2)}$$

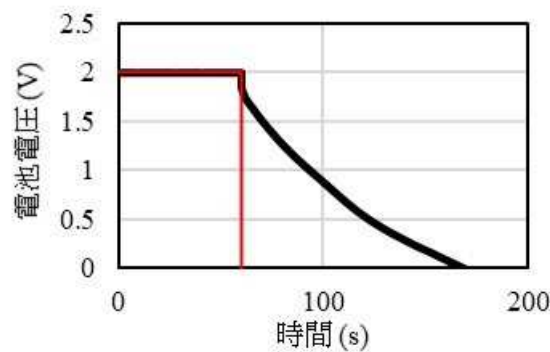
ここで、 ϵ は比誘電率、 ϵ_0 は真空誘電率、 $I_{\text{ch/dis}}$ は充放電電流 (5×10^{-2} mA / -5×10^{-3} mA) を示している。 ϵ には、実際にLCRメータにより測定したSiNの比誘電率 (7.3) を用いた。図①-9(a) (b)の比較により、半導体固体電池は平行平板コンデンサに比べて8000倍以上の放電時間があり、非常に大きな放電容量を持つことが確認された。さらに、平均放電電圧 (半導体固体電池: 1.04V、並行平板コンデンサ: 1.05V)、放電電流 (5×10^{-3} mA)、放電時間の積によりエネルギー蓄積を見積もると、半導体固体電池: 5.6×10^{-4} mWh、平行平板コンデンサ: 6.6×10^{-8} mWhであった。したがって、定電流充放電から見積もられるエネルギー蓄積についても、平行平板コンデンサの8000倍以上であることが確認された。



図①-9. 定電流充放電曲線

(a) 半導体固体電池の充放電曲線（実験データ）、(b) 平行平板コンデンサの充放電曲線（理論計算）

次に、実験的に半導体固体電池と平行平板コンデンサの比較を行うために、定電圧充電一定電流放電の組合せで評価を行った。測定条件として、2.0V、60秒間の定電圧による充電と、定電流（ $-5 \times 10^{-3} \text{mA}$ ）による0Vまでの放電を、連続して行った。測定結果を図①-10に示す。平行平板コンデンサでは放電直後に電池電圧が0Vに落ちたのに対し、半導体電池では、100秒以上放電が持続した。このことから、実験的にも、半導体電池が並行平板コンデンサに比べて、圧倒的に大きな放電容量を有することが実証された。



図①-10. 定電圧充電一定電流放電の充放電曲線

黒太線: 半導体固体電池、赤細線: 並行平板コンデンサ

また、定電流による放電では、リーク電流による影響も含まれている可能性がある。これを排除するために、定電流充電一定負荷放電の組合せで評価を行った。測定条件としては、定電流（ $5 \times 10^{-2} \text{mA}$ ）より60秒間充電をした直後に100k Ω の負荷抵抗を接続し、0.01Vまで定負荷放電を行った。図①-11に示す放電曲線より、一定時間電池電圧が維持されていることが分かる。積算容量は下記式から $Q_{\text{bat}} = 3.25 \times 10^{-4} \text{mAh}$ と計算された。

$$Q_{\text{bat}} = \int \frac{V_{\text{bat}}(t)}{3600 \times R} dt. \quad \text{式(①-3)}$$

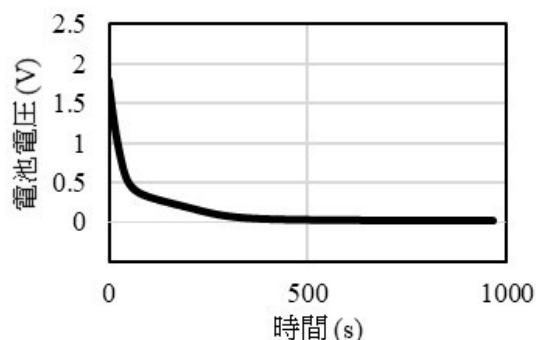
ここで、 V_{bat} は電池電圧、 R は100k Ω の負荷抵抗、 t は時間を示している。さらに下記式から得られた積算容量 Q_{bat} をキャリア蓄積量に換算すると $N_{\text{bat}} = 7.3 \times 10^{15}$ となった。

$$N_{\text{bat}} = \frac{3600 \times Q_{\text{bat}}}{q}. \quad \text{式(①-4)}$$

ここで、 q は電荷素量を示している。一方、平行平板コンデンサのキャリア蓄積量を下記式から計算すると $N_{\text{cap}} = 1.2 \times 10^{12}$ となる。

$$N_{\text{cap}} = \frac{C_{\text{cap}} \times V_{\text{cap}}}{q}. \quad \text{式(①-5)}$$

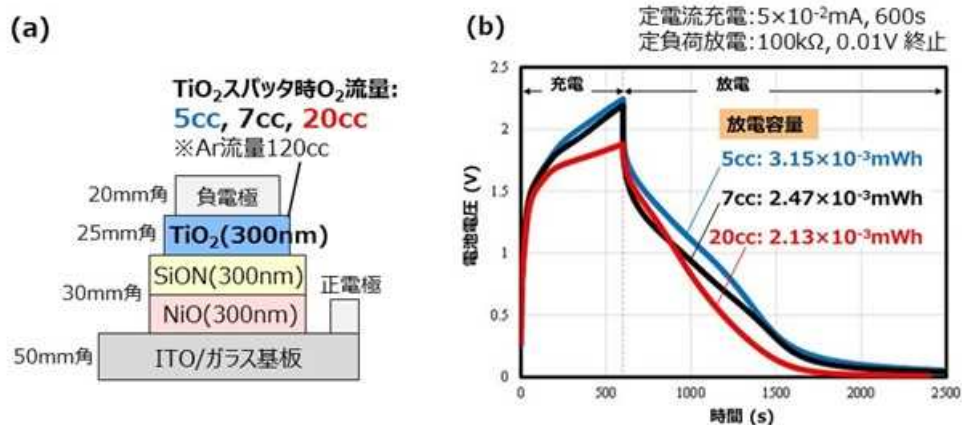
ここで、 V_{cap} は充電電圧2.1V、 C_{cap} は平行平板コンデンサの静電容量108nF（式(①-2)）を示す。以上の計算から、 N_{bat} は N_{cap} の5000倍以上であった。これより定負荷放電試験においても、試作した半導体固体電池は平行平板コンデンサに比べて、非常に大きなキャリア蓄積があることが確認された。



図①-11. 定電流充電一定負荷放電の充放電曲線（半導体固体電池）
100k Ω の定負荷抵抗を使用

以上一連の実験より、提案した半導体固体電池は平行平板コンデンサと比べて、圧倒的なエネルギー蓄積、キャリア蓄積を有することが実証された。したがって、本半導体固体電池は静電容量方式でなく、二次電池として動作し多量の電荷を蓄積したといえる。本内容は、JJAP (Japanese Journal of Applied Physics) に論文採択され、出版済みである[7]。

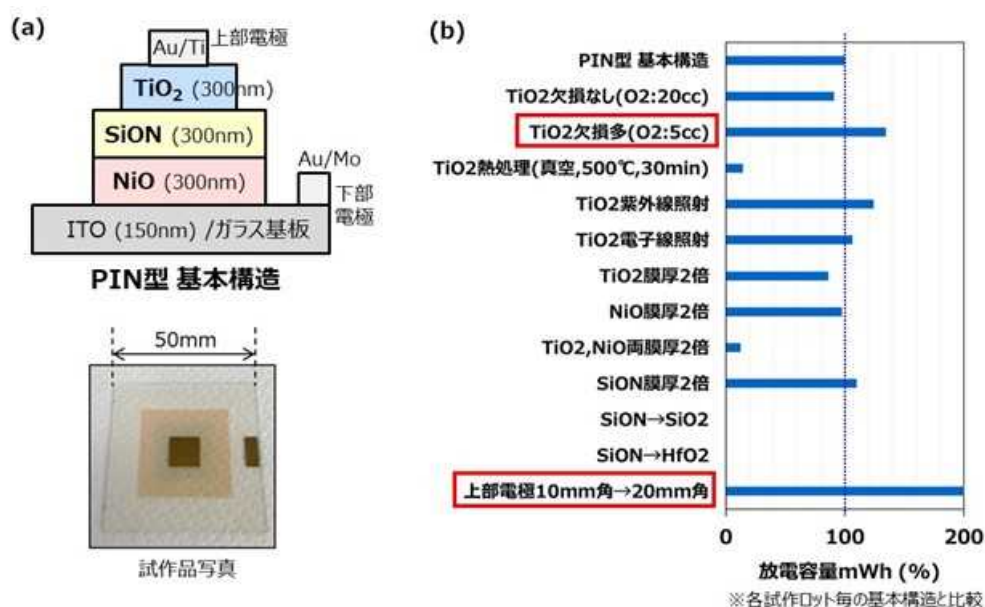
平成30年度はTiO₂膜への酸素欠損導入を目的とした酸素分圧制御や電子線・紫外線照射にて電池試作を行い、充放電特性を評価した。電池構造は図①-12(a)に示す通りである。測定は、定電流(1×10^{-2} mA)による600秒の充電と、定負荷100k Ω 接続による0.01V終止の放電を連続して行った。図①-12(b)に充放電曲線と算出した放電容量(mWh)を示す。



図①-12. スパッタ O₂ 流量制御の TiO₂ 膜を用いた電池の
(a) 電池構造、(b) 充放電曲線

結果としてTiO₂スパッタ時のO₂流量減少に伴い容量増大が確認された。膜分析結果から容量増大は非晶質化による捕獲準位増大に起因すると考えられた。しかし、10倍以上の飛躍的な容量増大は得られなかった。容量に影響のある他の要素も探索するため、絶縁体の種類、各層の膜厚、電極面積など種々の構造による電池試作を行い、それらの効果を確かめた。

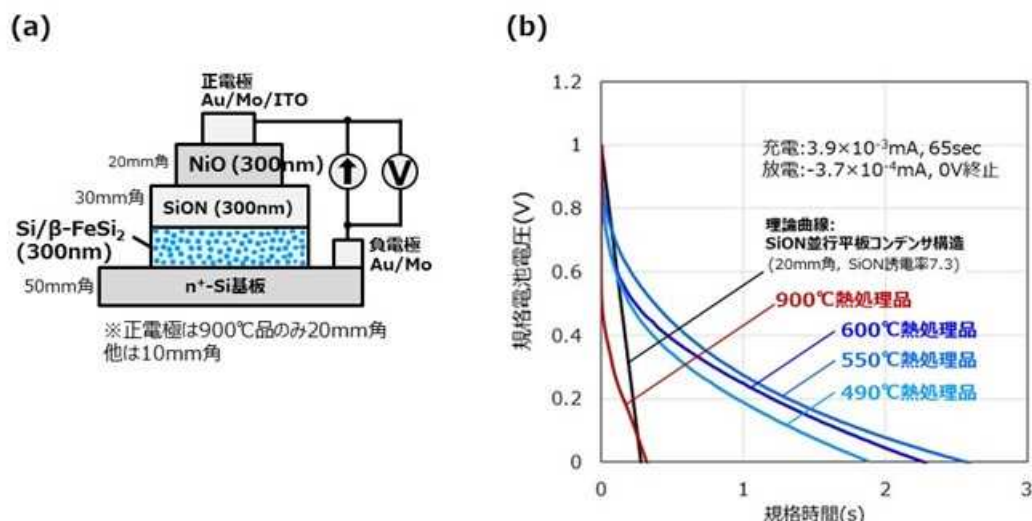
図①-13(b)に各放電曲線から算出した電池容量の比較を示した。各試作ロットでの基本構造（図①-13(a)）を容量(mWh)100%としている。



図①-13. (a)PIN型基本構造、(b)電池容量比較

比較の結果、酸素分圧制御による捕獲準位増大の他に、電極面積増大が高容量化に大きく寄与することが確認された。この2つの要素を組合せた電池特性は図①-12に示すO₂流量5ccのデータと等価であり、電池容量は 3.15×10^{-3} mWh (サイズ: 4cm²) であった。平成29年度の最大容量は 5×10^{-4} mWh/4cm²であり、これと比較すると6倍以上の容量向上が確認された。しかしながら、Liイオン電池相当の容量 (1mWh/4cm²) と比べると依然として低く、飛躍的な容量向上への設計指針は得られていない。そこでキャリア蓄積箇所など蓄電メカニズム解明が高容量化への指針獲得に繋がると考え、シミュレーションやMIS構造(金属/絶縁体/半導体: metal/insulator/semiconductor)による電流特性評価を実施した。

量子井戸構造では、微粒子分散型としてa-Si/β-FeSi₂微粒子分散膜とSiN/Si微粒子分散膜を用いた電池試作を実施した。a-Si/β-FeSi₂微粒子分散膜を用いた電池では、図①-14(a)に示す量子井戸構造を有する半導体固体電池を試作し、電池評価を行った。

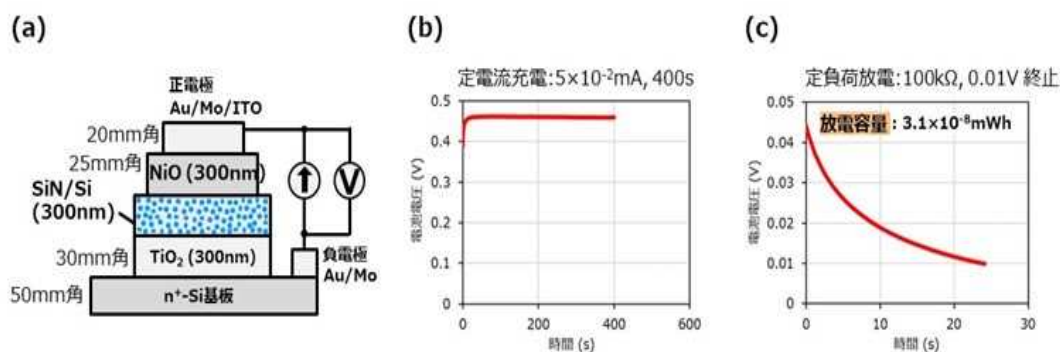


図①-14. 量子井戸型電池の(a)電池構造・評価系、(b)放電曲線

各電池の放電曲線は、比較のため放電開始電圧を基準として電圧や時間を規格化して表示した。また黒線は20mm角、SiON誘電率7.3(半導体電池に用いたSiON膜と等価)を想定した並行平板コンデンサの理論放電曲線である。今年度試作した900℃熱処理品は並行平板コンデンサ構造と同等以上の放電時間が得られ、僅かであるが蓄積動作が確認された。しかしながら、4

90, 550, 600℃品に比べて900℃品は蓄電容量が1/5以下であった。900℃の高温熱処理ではa-Siの結晶化が進み、バンドオフセット（量子井戸深さ）が約0.15eVと小さくなることでキャリア蓄積量が減少したと考えられる [8, 9]。

一方、高容量化に向けて、より深い量子井戸形成の可能性があるSiN/Si微粒子分散膜やSiO₂/TiO₂積層膜の予備検討を行った。SiN/Si微粒子分散膜では図①-15(a)に示す半導体固体電池を試作した。図①-15(b)に充電曲線、図①-15(c)に放電曲線を示す。放電曲線では一定時間、電池電圧が維持されており蓄電動作が確認された。しかしながら、電池電圧が低いため放電容量としては低容量であった。



図①-15. 量子井戸型電池の(a)電池構造・評価系、(b)放電曲線

その結果、SiN/Si微粒子分散膜ではa-Si/β-FeSi₂微粒子分散膜構造と比較すると低容量であり、成膜条件や熱処理検討の必要性があることがわかった。

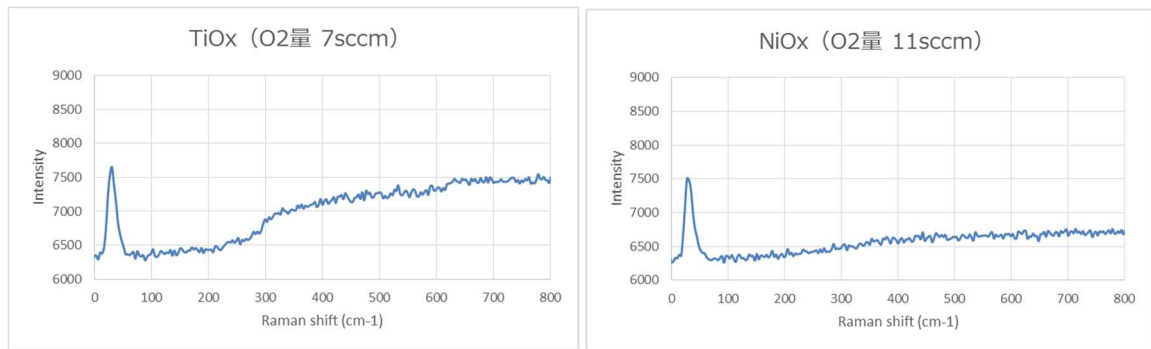
平成31年度はさらなる高容量化を目的とした量子井戸型電池の試作を行った。SiN/Si微粒子分散膜では成膜条件の検討を進めたが、充放電特性評価の結果、a-Si/β-FeSi₂微粒子分散型を下回る結果となった。考えられる原因としては、SiN/c-Si微粒子分散膜では電池試作上、熱処理が困難であるため、目的とする2eV以上の深いバンドオフセットが形成されていない可能性がある。積層型電池では、N型のTiO₂部分にSiO₂/TiO₂積層膜をさらにP型のNiO部分にSiO₂/NiO積層膜を挿入・追加したデバイスを作製した。しかし、PIN型基本構造に対して積層型では容量の大きな変化はなく、PIN型の同等の容量であった。この理由として、量子井戸が形成できていない可能性があるため、積層部分をスパッタ法からより平坦な膜形成が可能な原子層堆積法(ALD)の検討を行った。この結果、膜の平坦性は著しく向上したが、電池容量の向上は確認できなかった。原因としてSiO₂膜をキャリアがトンネル効果によって移動することで、PIN型標準構造と同様のメカニズムが働き、同程度の容量となった可能性がある。

② 準位・キャリア密度の評価

平成29年度はTiO₂、NiOのスパッタ成膜時の酸素分圧制御、スパッタ後の熱処理による捕獲準位分布への影響を検証した。その結果、酸素分圧制御により、TiO₂、NiOの捕獲準位量を制御可能であることを確認した。一方、成膜後の熱処理では捕獲準位量に変化がないことを確認した。これらの結果からスパッタ成膜時の酸素分圧制御を捕獲準位量制御のプロセスパラメータとして決定した。以下、酸素分圧制御の評価結果について記す。

酸素分圧(成膜時酸素流量)を制御したスパッタ成膜した半導体膜(TiO₂、NiO)の単膜に対して、ラマン分光、フォトルミネッセンス(PL)やカソードルミネッセンス(CL)分光分析等から、各膜のギャップ内準位の位置と相対的な量を推測した。成膜時の酸素流量はそれぞれ3水準(TiO₂成膜時の酸素流量: 5, 7, 10sccm、NiO成膜時の酸素流量: 7, 11, 15sccm)とした。

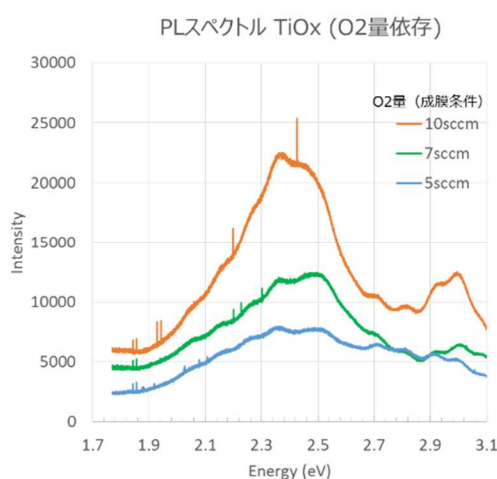
作製したスパッタ成膜時の酸素流量をパラメータとしたTiO₂膜、NiO膜のラマン分光測定結果を図②-1に示す。



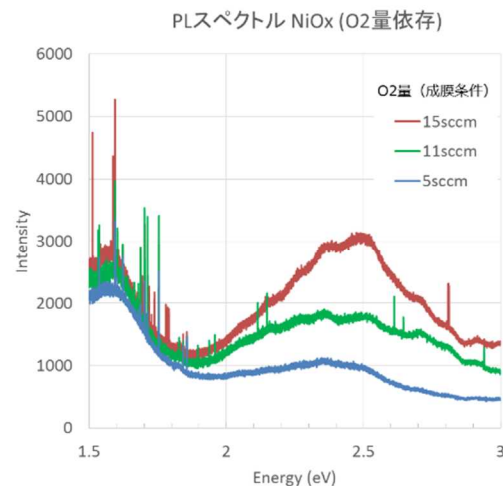
図②-1. ラマン分光測定結果 (a)TiO₂ 酸素流量7sccm、(b)NiO 酸素流量11sccm

TiO₂、NiOいずれの膜にも、文献[10]のような結晶構造では観測されるはずのピークは認められなかった。そのため、今回作製した膜はアモルファス膜であると考えられる。また、図②-1では各膜で1つの酸素流量条件のみ示しているが、他の酸素流量でも結果は同様であり、アモルファス膜であった。

作製したスパッタ膜TiO₂とNiOのPL分光分析の結果を、図②-2、図②-3にそれぞれ示す。励起波長は325nm (～3.8eV) である。TiO₂のバンドギャップは約3.2eV、NiOのバンドギャップは約3.7eVであることから、今回使用したUV (～3.8eV) 励起により価電子帯から伝導帯への励起が可能である。



図②-2. TiO₂膜のPLスペクトル
(酸素流量依存性)



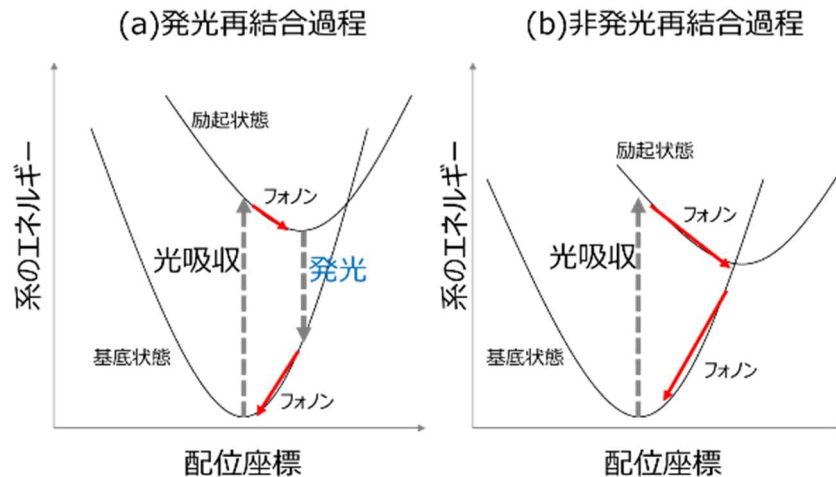
図②-3. NiO膜のPLスペクトル
(酸素流量依存性)

図②-2のTiO₂膜のPLスペクトルから、スパッタ成膜時の酸素流量によりスペクトルの形が変化することが分かる。2.4eV付近には酸素流量によらず、ピークが存在する。一方、3.0eV付近のピークは酸素流量が減少すると、ほぼみられなくなる。また、両ピークの強度は、酸素流量が増加するに従い、高くなっている。すなわち、TiO₂の酸素欠損量と連動したギャップ内準位が存在すると推定される。PLスペクトルとして検出可能な準位は、図②-4(a)に示すような発光再結合に寄与する準位の場合であり、この場合、スペクトル強度が大きいほど、発光過程に寄与する準位は多いと考えられる。一方、図②-4(b)で示すような非発光再結合の場合は、逆に、スペクトル強度が小さいほど、非発光過程に寄与する準位が多いと考えられる。したがって、酸素流量に応じて変化する欠陥準位が発光再結合に寄与するか非発光再結合かにより、次のような結果にまとめられる。

- ・発光の場合の準位量 酸素流量5sccmのTiO₂ < 7sccmのTiO₂ < 10sccmのTiO₂
- ・非発光中心の準位量 酸素流量5sccmのTiO₂ > 7sccmのTiO₂ > 10sccmのTiO₂

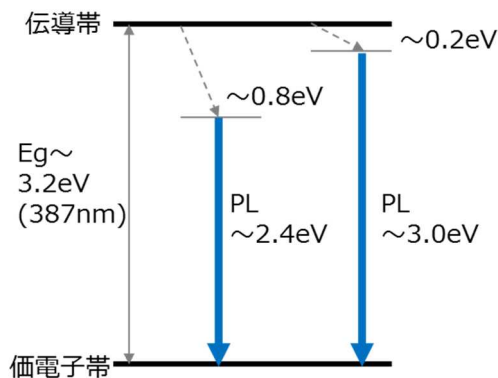
NiO膜については、図②-3のスペクトルから、1.6eVと2.4eV付近にピークが認められる。NiOの場合、スパッタ成膜時の酸素流量が多いとNi欠損による準位が形成されると考えられるが、その準位量に関しては、TiO₂の場合と同様に、発光再結合か非発光再結合かにより、次のような結果にまとめられる。

- ・発光の場合の準位量 酸素流量5sccmのNiO<11sccmのNiO<15sccmのNiO
- ・非発光中心の準位量 酸素流量5sccmのNiO>11sccmのNiO>15sccmのNiO

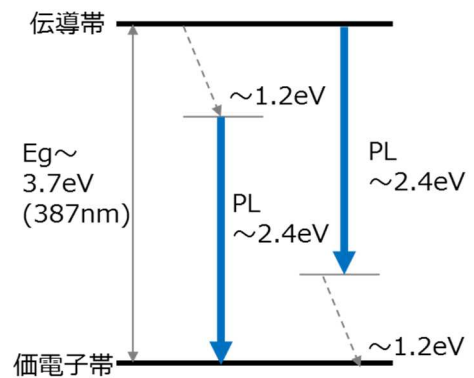


図②-4. 発光再結合過程および非発光再結合過程の模式図

PLスペクトルから、文献[11-13]などを参考に、酸素流量に依存して量に変化する欠陥準位のギャップ内エネルギー位置を以下のように推察した。TiO₂については、図②-5に模式的に示すバンドダイアグラムのように、バンドギャップを3.2eVとして、伝導帯下端から0.2eVおよび0.8eVの位置に酸素欠損に起因する準位がある。また、NiOについて図②-6に示す。P型半導体であるNiOでは伝導帯下端から1.2eV付近にある準位、または価電子帯上端から1.2eV付近にある準位の可能性が考えられる。



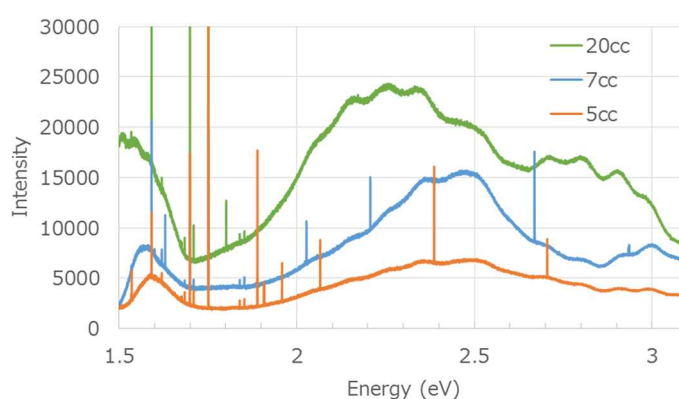
図②-5. TiO₂のギャップ内準位推定模式図



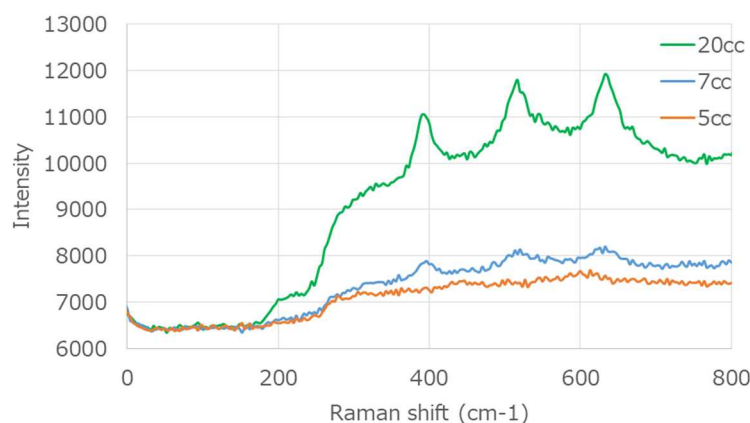
図②-6. NiOのギャップ内準位推定模式図

平成30年度はPIN型電池の膜構成であるTiO₂膜、SiON膜などを中心に欠陥準位の評価を行った。その結果、TiO₂膜については酸素欠損量あるいはアモルファス構造に起因する準位が蓄電性能に影響を与えている可能性が示唆された。また、SiON膜におけるカソードルミネッセンス(CL)分析では、一般的なシリコン酸化膜、シリコン窒化膜ではあまり大きなピークが見られない420nm付近にピークの存在が確認できた。これは、本研究で形成したSiON膜に特徴的であることから、蓄電メカニズムにも関係している可能性が示唆された。以下、得られた結果について記す。

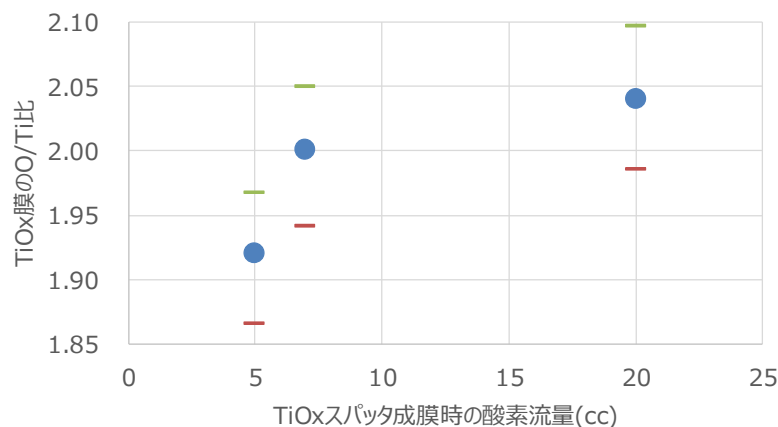
TiO₂成膜時の酸素量を大きく変えた5、7、20ccについて、PL分光による準位評価、ラマン分光による結晶構造評価、およびRBSによる組成評価（酸素欠損評価）を行った。図②-7にPL分光結果、図②-8にラマン分光結果、および図②-9にRBS測定結果をそれぞれ示す。PL分光は励起光として波長325nmのHe-Cdレーザを用いた。ラマン分光についても波長325nmのHe-Cdレーザを用いた。RBS結果からは、酸素流量7ccでO/Ti比が2.0となり、化学量論比に近い値を得た。一方で、5ccでは酸素欠損が存在すること、20ccではTi欠損あるいは過剰な酸素が存在する可能性があると言える。ラマン分光結果からは、酸素流量5ccのTiO₂膜はアモルファス構造であるが、7および20ccと酸素流量が増えると、アナターゼ構造に相当する3つのピークを持つスペクトルが観察され、多結晶状態になっていると考えられる。PLの結果では、平成29年度の成果としても述べたように、基本的に2.4eV付近に発光再結合ピークが見られるが、酸素流量20ccでは若干低エネルギー側にシフトが認められた。いずれにせよ、酸素流量が増えると発光再結合成分が増加している。一方では、非発光成分は、酸素流量が増加すると、減少するとも考えられ、特に、今回のような蓄電に寄与する欠陥準位という意味では、この非発光成分が寄与していると考えられる。これは、電池にした場合の蓄電容量（図①-12）とも対応しており、酸素欠損あるいはアモルファス構造に起因する準位が蓄電に寄与していると考えられる。



図②-7. TiO₂膜の PL 分光結果

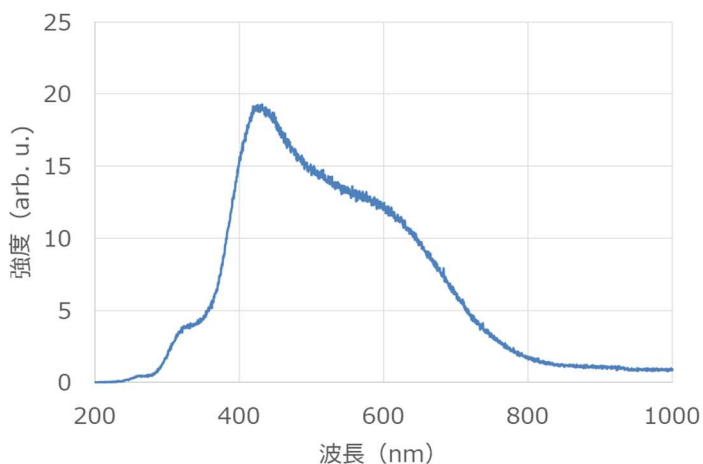


図②-8. TiO₂膜のラマン分光結果



図②-9. RBS 分析結果（O/Ti 比） 青丸が平均値で上下のバーは誤差範囲を示す。

PIN型構造におけるSiON膜は、平成29年度の各種絶縁膜実験結果（図①-13）から、必須の構成要素と考えられる。SiON膜はバンドギャップが大きいことから、カソードルミネッセンス（CL）による分析を試みた。図②-10にCL分光結果を示す。CL分析は加速電圧5kV、室温で実施した。



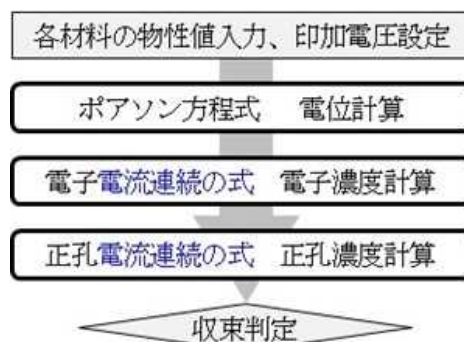
図②-10. SiON膜のCL分析結果

一般的にシリコン酸化膜では650nm付近に非架橋酸素に由来する発光が強くみられるが、本SiON膜のCLスペクトルからはほとんど認められない。またシリコン窒化膜のCLスペクトルでは、600nm付近にピークがあることが多いが、本SiON膜ではスペクトルの肩として、該当ピークが含まれていると推測される。一方、本SiON膜で強く現れている420nm付近のピークについては、一般的なシリコン酸化膜、シリコン窒化膜ともにあまり大きなピークが見られないことから、このピークがSiON膜に特徴的で、蓄電にも関係している可能性が示唆された。先のTiO₂膜と同様に直接的には非発光成分が蓄電には寄与している可能性もあるが、420nm付近のピークは特徴的な構造を示すものとして、今後の評価指標になると考えられる。

平成31年度はPIN型電池のメカニズム解明に向けてキャリア蓄積箇所や準位の評価を中心に実施した。本研究開始時においては、キャリア蓄積箇所としてはTiO₂の膜中の欠陥準位が最も有力であると推定していた。しかしながら、TiO₂膜中の欠陥の密度は実測された電池の蓄電量の1/3以下であり、一部電子はこの欠陥に捕獲され蓄電されている可能性はあるが、主要な蓄電箇所ではないことが推測された。また、測定深さを変えたCL分析を行った結果、TiO₂/SiON界面もPIN型電池での電子の主要な蓄積箇所ではないと推定された。PIN型構造の電池ではSiON膜中あるいはTiO₂膜界面付近のSiON膜中の欠陥が有力な電子の蓄積箇所であると考えられる。

③ シミュレーションによる充放電メカニズム検証

充放電メカニズム解明のために活用できるシミュレータ構築を進めた。図③-1に示す「1次元のpn接合用ドリフト拡散シミュレータ」に改良を加え、1次元の半導体電池用シミュレータ構築を検討した。シミュレータ構築には、(i)「n型半導体/絶縁体/p型半導体」の中央絶縁体を考慮可能なプログラム、(ii)捕獲準位量・位置を設定可能なプログラムを各々構築し組合せる必要がある。平成29年度は(i)PIN型の絶縁体を考慮できる「n型/真性半導体/p型」プログラム、(ii)半導体への捕獲準位導入のため捕獲準位項の構築を行った。平成30年度は上記プログラム統合・改良後、半導体層へ多量の捕獲準位導入をしたPIN型($\text{TiO}_2/\text{SiON}/\text{NiO}$)を想定しキャリア蓄積を計算した。

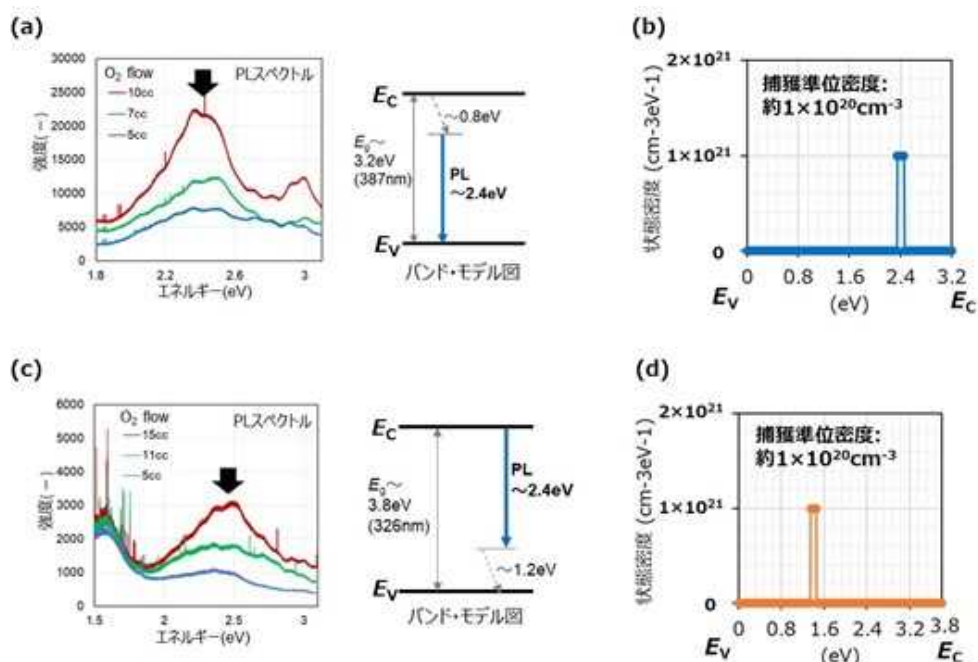


図③-1. 1次元のpn接合用ドリフト拡散シミュレータのプログラム流れ

平成30年度は構築した「n型/真性半導体/p型」プログラムのn型、p型層に捕獲準位項を挿入した。具体的には文献[14]を参考に、ポアソン方程式に捕獲された正孔・電子濃度を、電子・正孔電流連続の式に捕獲準位による再結合項を挿入した。その後、表③-1に示すように、n- TiO_2 、 SiON 、p- NiO の物性値を実験や文献を参考に設定した。捕獲準位位置は図③-2に示すように、平成29年度の単膜でのフォトルミネッセンス(PL)評価を反映した。また捕獲準位量は、半導体層での多量のキャリア蓄積箇所を想定するためにドナー・アクセプタ準位密度より十分に多い密度を設定した。

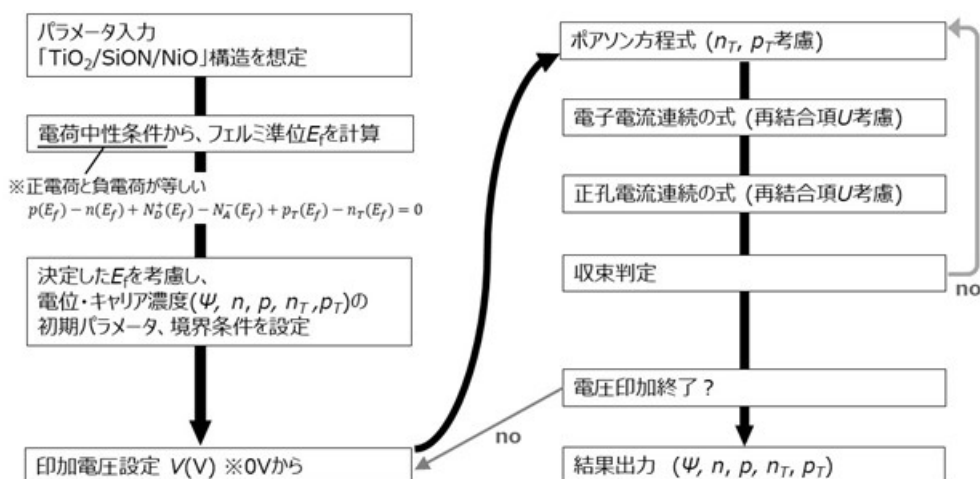
表③-1. 設定物性値

		TiO_2	SiON	NiO	結晶Si (参考)
ドナー濃度(cm^{-3}) ※準位位置は、伝導帯下端より0.2eV下を仮定	N_D	1.0E18	0	0	(1.0E18)
アクセプタ濃度(cm^{-3}) ※準位位置は、価電子帯上端より0.2eV上を仮定	N_A	0	0	1.0E18	(1.0E18)
バンドギャップ(eV)	E_g	3.2	7.2	3.8	1.1
電子親和力(eV)	χ_c	4.2	1.3	1.6	4.0
誘電率(F/m)	ϵ	36	7.3	11.9	$11.9 \times \epsilon_0$
真性キャリア濃度(cm^{-3})	n_i	1.3E-7	3.4E-41	1.2E-12	9.84E9
電子のライフタイム(s)	τ_n	1.0E-9	1.0E-9	1.0E-9	1.0E-8
正孔のライフタイム(s)	τ_p	1.0E-9	1.0E-9	1.0E-9	1.0E-8
電子の移動度(cm^2/Vs)	μ_e	5	0.01	5	1451
正孔の移動度(cm^2/Vs)	μ_h	5	0.01	5	503
伝導帯有効状態密度(cm^{-3})	N_c	1.0E20	1.0E20	1.0E20	2.8E19
価電子帯有効状態密度(cm^{-3})	N_v	1.0E20	1.0E20	1.0E20	1.04E19



図③-2. (a)TiO₂膜(スパッタ時O₂流量7cc)のPLスペクトル、(b)TiO₂捕獲準位分布の設定、(c)NiO膜(スパッタ時O₂流量11cc)のPLスペクトル、(d)NiO捕獲準位分布の設定

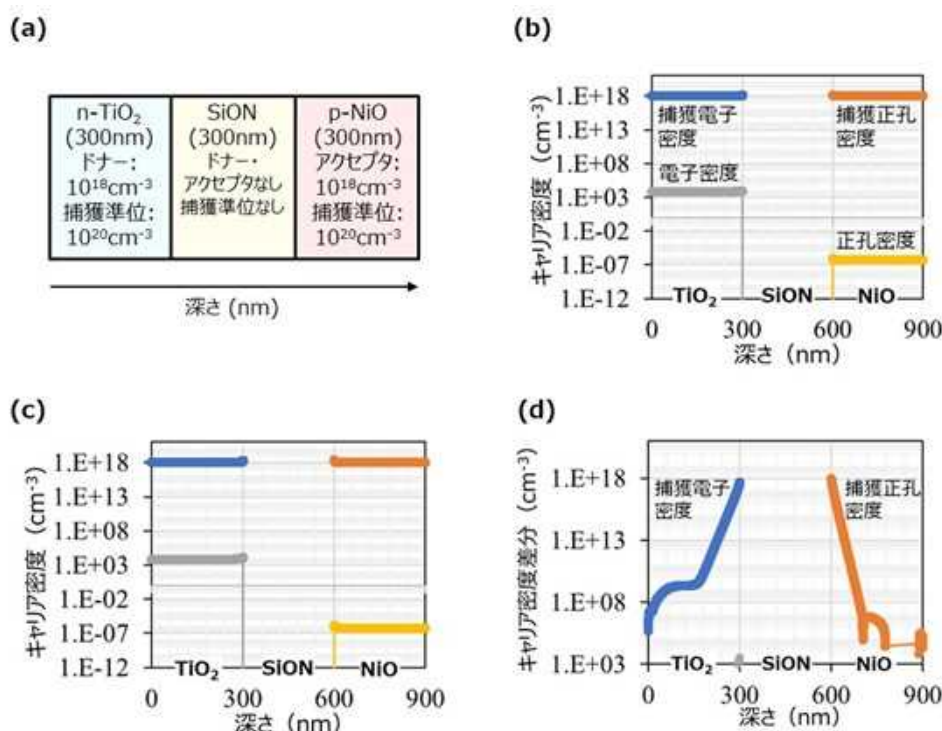
しかし、上記設定条件でシミュレーションを実施した結果、計算が収束しなかった。その原因として捕獲準位密度が多い場合、フェルミ準位位置が初期値から大きくずれ、ポアソン方程式・電子正孔電流連続の式の収束が困難となった可能性が高いことが考えられた。そこで、初期条件設定時に半導体の電荷中性条件を考慮し、フェルミ準位を高精度に設定することで改善を試みた。改善したプログラムの流れは図③-3に示す通りである。このプログラムで計算を実施した結果、計算収束に至ることを確認した。



図③-3. 改善後のプログラム流れ

半導体への多量の捕獲準位を導入したPIN型構造を想定し、改善したプログラムと表③-1、図③-2に示す物性値を用いて計算を行った。計算構造は図③-4(a)に示す通りである。電圧印加0V, 2Vの定常状態の計算を行った。図③-4(b)に電圧印加0V、図③-4(c)に電圧印加2Vの計算結果を示す。電圧印加前後で半導体層全体で大きなキャリア蓄積量の増加は確認されなかった。さらに図③-4(d)に、蓄積キャリア量として電圧印加0V, 2Vのキャリア密度差分を示した。今年度実験で得られた最大容量0.0032mWhをキャリア蓄積量に換算すると約 $9 \times 10^{19} \text{cm}^{-3}$ (TiO₂/SiON/NiOの体積 $7.3 \times 10^{-4} \text{cm}^3$ を使用)であるが、本計算結果ではこれを大きく下回っている。キャリアの空席である捕獲準位密度を約 10^{20}cm^{-3} 設定したにも関わらず、キャリア蓄積量が少

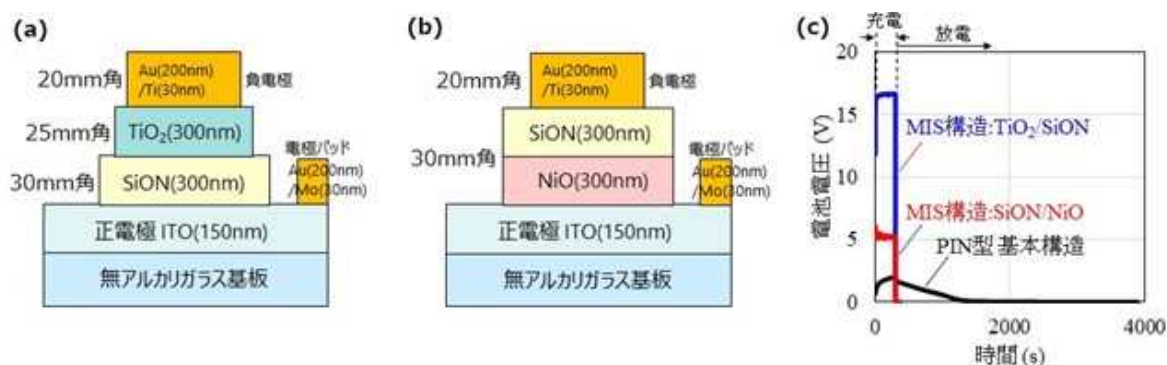
ない原因については、半導体ではキャリアが動きやすく、電圧印加時でも電荷中性条件を満たしてしまうため、半導体内の捕獲準位に平衡状態以上に電荷を溜めることは（太陽電池のように連続的にキャリア生成をしていない限り）困難である可能性が考えられた。以上より、蓄電メカニズムとして当初想定していた半導体層の捕獲準位への均一なキャリア蓄積は困難であると推測された



図③-4. (a)シミュレーション時の設定構造、(b)シミュレーション結果:電圧印加0V、(c)シミュレーション結果:電圧印加2V、(d)蓄積キャリア:(b) (d)のキャリア密度差分

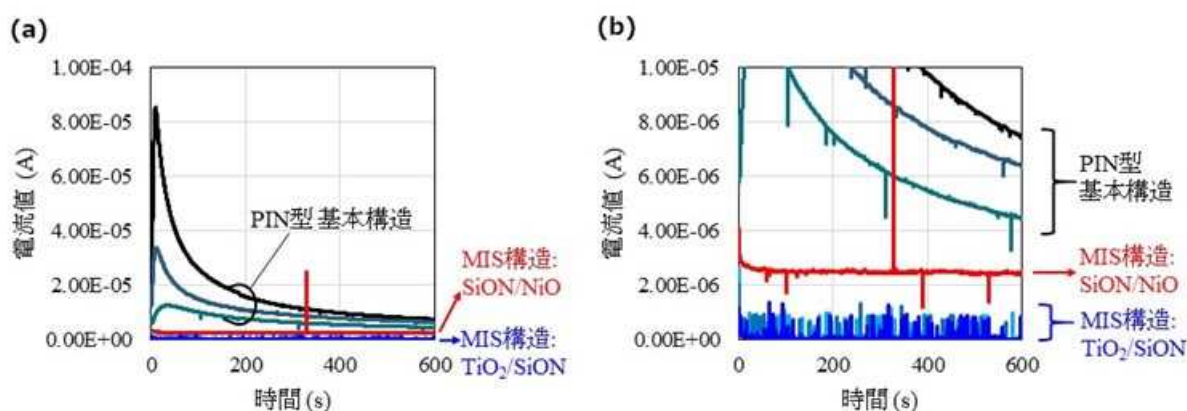
上記のシミュレーション結果を受け、さらに実験的なメカニズム検討を行うため、MIS構造（金属/絶縁体/半導体:metal/insulator/semiconductor）の試作・評価を行った。MIS構造での蓄電特性や電流特性をPIN型基本構造と比較し、絶縁体/半導体界面の電流挙動から蓄電メカニズムを考察することを目的としている。

MIS構造として図③-5(a)の「金属/TiO₂/SiON/金属」構造、図③-5(b)の「金属/SiON/NiO/金属」の2種類を試作した。まず蓄電特性の確認として、定電流(1×10⁻²mA)による300秒の充電と、定負荷100kΩ接続による0.01V終止の放電を連続して実施した。図③-5(c)に放電曲線を示す。PIN型基本構造では一定時間電池電圧が維持されているのに対し、MIS構造では充電直後に電圧ドロップが起きている。従って、PIN型と比べてMIS構造ではキャリア蓄積が殆ど無いことが確認された。



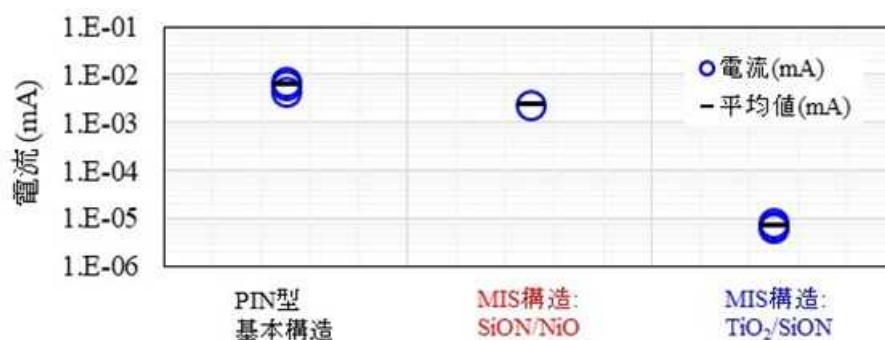
図③-5. (a)MIS構造:TiO₂/SiON、(b)MIS構造:SiON/NiO、(c)充放電曲線

次にMIS構造とPIN型基本構造において2V印加時の電流値を評価した。測定結果を図③-6(a)(b)に示す。蓄電動作を示すPIN型電池では電圧印加直後は電流値が正の方向に増大しその後徐々に減少しているが、MIS構造では殆ど変化がない、もしくは負の方向に減少している。これは、PIN型基本構造でのみ電荷蓄積が生じているためと考えられる。



図③-6. (a) 定電圧時の電流特性、(b) (a)の拡大図

次にリーク電流として600秒後の電流値をプロットし、図③-7に示した。MIS構造「金属/TiO₂/SiON/金属」は $10^{-6} \sim 10^{-5}$ Aであり殆どリーク電流を生じていない。一方、MIS構造「金属/SiON/NiO/金属」ではPIN型基本構造と同じオーダーの $10^{-3} \sim 10^{-2}$ Aのリーク電流が得られた。これは、TiO₂からSiONへは電子がほとんど通過できず、逆にNiOからSiONへは多量の正孔が通過できていることを示す。さらにMIS構造「金属/SiON/NiO/金属」やPIN型基本構造のリーク電流値は、論文[7]で実施した定電流放電の電流値: 5×10^{-2} Aと同オーダーである。従って蓄電メカニズムの候補としてSiON/NiO界面からSiONへ正孔注入が起き、TiO₂/SiON界面付近に電気二重層を形成しながら電荷が蓄積している可能性が考えられた。



図③-7. リーク電流プロット

また、平成30年度は半導体電池が原理上、実用電池として活用可能かを確かめるため、PIN型標準構造の電池を用いて直並列動作の検証を行った。その結果、半導体電池の直並列動作を確認し、一般的な電池と同様、直・並列接続により電圧・容量の増大が可能であることが実証された。

平成31年度は、計算から界面付近に局所的かつ多量の捕獲準位を設けることで、電池高容量化に繋がる可能性が示された。しかし、実際のキャリア蓄積量と比較すると、2桁程度少なく、界面付近のキャリア蓄積は充放電メカニズムの主要因ではないことが示唆された。

④ 半導体ナノ粒子の作製

本業務項目は実施していない。理由としては、研究の進展に伴い「⑤塗布プロセスによる厚膜化検討」において、捕獲準位を導入した半導体ナノ粒子の使用が必須ではないと判断し

たためである。平成30年度研究開始当初は、PIN型 ($\text{TiO}_2/\text{SiON}/\text{NiO}$) 電池の蓄電メカニズムとして、半導体層への均一・多量のキャリア蓄積を想定していた。そのため、本業務項目では⑤節の塗布検討に使用する半導体ナノ粒子内へ、酸素欠損による多量の捕獲準位導入を予定していた。しかしながら、酸素欠損、熱処理、電子線・紫外線照射による捕獲準位導入を実施したが、10倍以上の飛躍的な容量向上は得られなかった。また「③シミュレーションによる充放電メカニズム検証」では、理論・実験両面の検証から、半導体層の捕獲準位への均一なキャリア蓄積は困難であると考察された。さらに、スパッタ時の酸素流量20sccmにより酸素欠損が非常に少ないと考えられる TiO_2 膜(抵抗率 $1.3 \times 10^6 \Omega \text{cm}$)を形成し、PIN型電池試作を行ったが、基本構造に対して大きな容量減少は生じていない。以上の研究進捗状況を考慮し、⑤節の塗布検討では半導体ナノ粒子への捕獲準位導入が必須ではないと判断した。そのため本業務項目は実施せず、欠損導入なしの TiO_2 ナノ粒子を用いて⑤節の塗布検証に注力した。

⑤ 塗布プロセスによる厚膜化検討

平成30年度は TiO_2 粒子を用いたスラリー作製と塗布方法の検証を行った。従来のスパッタ成膜に対して、 TiO_2 粒子を用いたスラリー作成とそのスラリー粘度に合わせた塗布方法での製膜方法を検討した。半導体層として機能させることから、欠陥やトラップ準位になる可能性があるバインダーや導電助剤は使用せず、 TiO_2 粒子のみで膜形成した。

材料は市販の TiO_2 粒子を使用した。粒子径の異なる TiO_2 ナノ粒子を3種 ($\phi 7\text{nm}$, 20nm , 200nm) 選定し、分散媒は水またはN-メチル-2-ピロリドン(NMP)を用いた。成膜は、高粘度スラリーを用いたスリットダイ塗工方式と低粘度スラリーを用いた静電塗布方式を試みた。スラリーは TiO_2 粒子単独での分散を行い、分散方式は高周速高速せん断方式、ビーズの衝突力とせん断力を利用したビーズミル方式を検討した。 TiO_2 ナノ粒子を用いた高周速高速せん断による分散検討では、周速、処理時間の影響を調べたが、凝集体が形成され、安定した粒度分布を得られず分散が困難であることがわかった。一方、ビーズミルを用いた場合に固形分濃度(NV)30%までは分散が可能であることを確認した。 TiO_2 ナノ粒子単独で作製したNV30%スラリーは、粘度が $10\text{mPa} \cdot \text{s}$ 程度であり、高粘度化は困難であると判断した。

成膜は低粘度スラリーを用いた静電塗布方式を検討した。低粘度スラリーは上記で作製した TiO_2 ナノ粒子単独($\phi 20\text{nm}$)、NMP溶媒、NV30%のスラリーを用いた。静電塗布は、塗布方式で厚膜を作製するにあたり、懸念されるクラックや膜剥がれを抑制できる手法として選定した。静電塗布を用いた場合、成膜過程で静電反発によって溶媒が揮発除去できることから、塗布成膜後の乾燥工程での応力変化が起こりにくく、クラック抑制できると推測した。また、静電引力による基材への衝突力から粒子間の接合を期待した。静電塗布装置は、ナガセテクノエンジニアリング社製静電塗布装置Micro Mist Coater (型式:PDR-08)を使用した。成膜検証の結果、ノズル径 $300 \mu\text{m}$ 、印可電圧 11kV 、送液量 $0.1\text{cc}/\text{min}$ 、ノズルと基材間距離 40mm の吐出条件で、ステージ温度 80°C 、ノズル走査ピッチ 0.5mm 、走査速度 $50\text{mm}/\text{s}$ とした場合、厚さ $10 \mu\text{m}$ の TiO_2 ナノ粒子膜を得た。さらに重ねて塗布することで、膜厚は2倍の $20 \mu\text{m}$ に達することを確認した。成膜後に N_2 雰囲気化で 300°C 焼成した結果、クラックと膜剥がれがない TiO_2 ナノ粒子膜をえた。焼成は多段焼成で、溶媒除去を緩やかに進める恒率乾燥時間を設けてから本焼成する2段焼成を検討した。NMPの蒸気圧曲線から、沸点に到達しない蒸気圧 0.8 気圧となる 190°C で1時間焼成した後、 300°C で焼成することで焼成時のクラックが抑制できることを確認した。以上の結果から、低粘度スラリーを用いた静電塗布と多段焼成を組み合わせることで、 TiO_2 ナノ粒子単独で厚さ $5 \sim 20 \mu\text{m}$ の膜をクラックなく形成できる方式を確立した。 TiO_2 膜厚として $10 \mu\text{m}$ の塗布デバイス試作と充放電特性評価の結果、PIN型構造と比較すると1桁低い容量であったが、蓄電性能を確認できた。

平成31年度は TiO_2 層の膜厚を $20 \mu\text{m}$ まで増大させ、充放電評価を実施したが、PIN型構造と比較して1桁低い容量であった。膜の断面TEM像から膜内に空隙が存在す

ることや、粒子同士の接触抵抗など電池としての抵抗上昇が考えられる。また、 TiO_2 粒子と SiON スパッタ膜界面での接触も少なく、標準PIN型の充放電メカニズムとして TiO_2/SiON 界面近傍への電荷蓄積を想定した場合、さらなる、緻密な膜を形成可能な塗布方法の改善が必要である。

1. 2 計画時に想定していなかった成果（副次的成果）や、目標を超える成果

本研究期間全体を通じて学会、論文、展示会等での発表を継続的にこなうことで半導体固体電池の認知度が高まり、現在活発に研究開発が行われている全固体電池のなかで、 Li イオンを用いないユニークな電池としての関心が高まってきている。そのなかで、技術情報協会から全固体電池に関する書籍の1章として本半導体電池について執筆依頼があり、この執筆、出版に結び付いた。

1. 3 研究課題の発展性（間接的成果を含む）

本研究は、リチウムイオンを用いた全固体電池とは異なり、電子・正孔キャリアを利用した全固体電池に関する研究である。リチウムイオン電池ほどの容量は現状得られていないが、真空成膜プロセスが使用可能なため、燃えないという利点以外に多層積層やパターニングによる容量・電圧増大も容易であることなど、リチウムイオン電池にはない特長を有している。このような特長を活かした用途としてIoT分野への応用が考えられる。IoT社会を実現するためには、あらゆるモノに電源が必要となるが、電源配線や電池交換が難しい場所が存在する。そこで、光、振動、温度差、電波など環境中のエネルギーを電気に変換するエネルギーハーベスティング技術が、IoT社会実現を支える基盤技術のひとつとして注目されている。これらのデバイスでは環境発電から得たエネルギーで演算、記憶、無線送信を行う。そのため、外部エネルギーが足らなく、電源喪失をする頻度が高く、特にLSIの演算の途中結果は喪失してしまうリスクがある。電源喪失時に瞬時にデータを保管するバックアップ機能があればこの問題は解決することができる。このようなバックアップ電源機能を有するデバイスは大容量である必要があるが、現状の金属-絶縁膜-金属キャパシタでは1桁以上も容量密度が足りないため、オフチップで対応している。半導体全固体電池であれば、オンチップで搭載も可能であり、大容量、かつ低損失の薄膜蓄電デバイスとしても有望である。半導体全固体電池の実用化に向けては、充放電容量や耐久性の向上などの課題があるが、これらを解決することで、IoT社会の実現に大きく貢献できる。

1. 4 論文、特許、学会発表等の研究の成果

研究期間全体を通して、3報の国際学術雑誌への論文投稿（うち2報は採録済み）と、2件の学会発表を行った。特許出願については、本研究開始前にその基礎となる特許出願を完了しており、本研究期間内では新たに1件出願を完了した。その他、展示会、科学情報誌、社報などを介して、外部への情報発信を積極的に行った。

1. 5 研究実施体制とマネジメント

プロジェクト全体の連携を密にし、円滑に運営していくため、定期的に各機関の技術者同士の打ち合わせを開催した。特に、プロジェクト全体の進捗状況を確認しつつ、計画の合理性を検討し、必要に応じて調査や外部有識者を招聘して意見を聞くなど、プロジェクトの推進に努めた。

1. 6 経費の効率的執行

経費の執行にあたっては、社内規則はもちろん、本委託規則も遵守するように、社内の調達部門や経理部門と密に連絡を取り、適切な執行を心がけた。また、本研究で必要となる分析装置などは可能な限り、社内もしくは再委託先で所有する装置を利用することで、経費を効率的に使用した。

2. 平成31年度の実施内容

2. 1 平成31年度の実施計画

① 半導体層の形成、半導体電池試作（担当：東芝マテリアル株式会社）

①-1 酸化物半導体への捕獲準位導入

平成30年度は、半導体層の捕獲準位の制御を試みた結果、 TiO_2 スパッタ膜では酸素分圧低減による捕獲準位量の増大が確認されたが、電池のエネルギー蓄積量に10倍以上の変化はなかった。また、「 $\text{TiO}_2/\text{SiON}/\text{NiO}$ 」の3層構造を有する半導体固体電池のエネルギー蓄積量は、種々の検討により平成29年度から6倍向上したが、LIB相当の蓄積量達成に向けた明確な指針は得られていない。一方、「 $\text{TiO}_2/\text{SiON}/\text{NiO}$ 」の3層構造を有する半導体固体電池の蓄電原理において、平成30年度の実験や理論考察等から、 TiO_2/SiON 界面での電子正孔蓄積の可能性が推測されることから、平成31年度は、上記蓄電原理の分析的な解明を試みる。具体的には、以下の評価を実施する。

- ・ TiO_2 、 NiO の伝導キャリアを明確化するため、ゼーベック係数の測定により両膜のキャリア型の評価を行う。
- ・ 半導体/絶縁体界面のキャリア移動の有無を推定するため、X線光電子分光法（XPS）及び反射電子エネルギー損失分光法（REELS）により、 $\text{TiO}_2/\text{SiON}/\text{NiO}$ の接合バンドオフセットの評価を行う。
- ・ 絶縁膜 SiON のキャリア蓄積の有無を推定するため、DLTSにより SiON 膜の捕獲準位量・位置の評価を試みる。

上記のほか、②での評価結果を総合し、充放電時の電子及び正孔の流れ並びに蓄積箇所を分析的に明らかにする。また、解明した動作原理を基に、「 $\text{TiO}_2/\text{SiON}/\text{NiO}$ 」の3層構造を有する半導体固体電池のエネルギー蓄積量を向上するための設計指針を提案する。

①-2 量子井戸構造の導入

量子井戸構造の半導体層としては、バンドギャップの大きな材料にバンドギャップの小さな材料の微粒子を分散させた微粒子分散型構造、及びバンドギャップの異なる2つの材料の薄膜を交互に積層させた積層型構造の2種類を検討している。

微粒子分散型では、 $\alpha\text{-Si}$ 中に $\beta\text{-FeSi}_2$ 微粒子を分散させた量子井戸構造において、平成29年度にコンデンサー構造を上回るエネルギーの蓄積が得られている。また、平成30年度には大粒径化を狙い、熱処理温度を上げた膜形成、電池試作を行ったが、エネルギー蓄積量の増大は確認されなかった。そこで、量子井戸がより深くなると予想される、 SiN 中に Si 微粒子を分散させた膜の形成や、同膜を用いた電池試作を実施したほか、積層型では $\text{TiO}_2/\text{SiO}_2$ 積層膜の形成や、同膜を用いた電池試作を実施した。

平成31年度は、電池のエネルギー蓄積量を増大させるため、材料と構造の改善に取り組む。具体的には、微粒子分散型構造の SiN 中に Si 微粒子を分散させた膜では、 Si 微粒子のサイズや分散状態を変えた膜を形成する。また、積層型構造の $\text{TiO}_2/\text{SiO}_2$ 積層膜では、量子井戸層である TiO_2 や、バリア層である SiO_2 の膜厚を変化させた膜を作製する。さらに、積層型では、p型量子井戸構造半導体層として活用可能な NiO/SiO_2 積層膜についても、量子井戸層である NiO や、バリア層である SiO_2 の膜厚を変化させた膜を作製することとし、膜形成時の粒径や結晶性はTEM、XRDにより確認する。

また、量子井戸構造を有する半導体固体電池の充放電原理の明確化に取り組む。現在のと

ころ、充電後のキャリアはポテンシャルの井戸（量子井戸）に蓄積し、充放電時には量子井戸間のホッピング伝導により移動するモデルを想定している。このモデルの妥当性を確認するため、既に蓄電動作が確認されている、 α -Si中に β -FeSi₂微粒子を分散させた量子井戸型構造の膜及び良好な電池特性が得られた量子井戸構造の膜に対して、電気特性評価（抵抗率の温度依存性を予定）や②での評価を行い、充放電時のキャリアの伝導機構を明らかにする。

①-3 半導体固体電池の試作

①-2で形成を確認した量子井戸構造のプロセス条件をもとに、n型量子井戸構造半導体層/絶縁体層/p型酸化半導体層、n型量子井戸構造半導体層/絶縁体層/p型量子井戸構造半導体層、及びn型酸化半導体層/量子井戸構造絶縁体層/p型酸化半導体層から構成される、半導体固体電池を各々作製し、電池の定負荷放電特性の評価を行う。また、半導体固体電池のエネルギー蓄積量を増大させる要素技術を明確にし、エネルギー蓄積量1mWh以上（n型半導体層/絶縁体層/p型半導体層の合計膜厚3 μ m以下、面積4cm²）を達成するための設計指針を示す。

② 準位、キャリア密度の評価（担当：株式会社東芝）

「TiO₂/SiON/NiO」の3層構造を有する半導体固体電池および量子井戸構造を有する半導体固体電池における蓄電・電荷移動メカニズムの解明に向けて、単膜および積層膜界面に対する分析評価を実施する。

「TiO₂/SiON/NiO」の3層構造を有する半導体固体電池に対しては、これまで半導体層の分光学的評価を中心に実施してきたが、電池の試作結果等から、半導体層以外に絶縁膜層または半導体/絶縁膜界面への電荷蓄積の可能性もあることが分かってきた。そこで、平成31年度は①-1で作製した絶縁膜（SiON膜等）の欠陥準位の評価、および半導体/絶縁膜界面の準位の評価を中心に実施し、「TiO₂/SiON/NiO」の3層構造を有する半導体固体電池でのメカニズム解明につなげる。

また、量子井戸構造型では、この構造における蓄電メカニズムの探求とともに、それに基づいた材料および組合せの適正化に向けて、①-2で試作するSiN/c-Si微粒子分散型や積層型（TiO₂/SiO₂）等の材料に対し、井戸型ポテンシャルに相当するバンドエネルギー関連の評価を中心に実施する。具体的には、XPSや分光エリプソ等によるバンドエネルギー関連の評価やKFMによる井戸へのキャリア注入状態の評価等を想定しているところ、得られた結果については、①-3の電池試作にフィードバックする。

③ シミュレーションによる充放電メカニズム検証（担当：東芝マテリアル株式会社）

平成30年度のシミュレータの改良により、「TiO₂/SiON/NiO」の3層構造を有する半導体固体電池について、半導体への多量の捕獲準位導入、電圧印加時（定常状態）の計算が可能となった。しかし、これまでの計算結果からは、半導体へのキャリア蓄積が困難な可能性が示唆されている。また、実験や他の理論考察からは、TiO₂/SiON界面での電子正孔蓄積の可能性が示唆されており、平成31年度は、以下の順にドリフト拡散シミュレータの改良及び計算を行う。

①絶縁体/半導体界面や絶縁体層にトラップ準位を設定可能とする。

②絶縁体のトンネル電流を再現するため、生成・再結合項を設定する。

③計算により、実験の蓄積キャリア密度（体積はTiO₂/SiON/NiOを使用）を再現する。

これらにより「TiO₂/SiON/NiO」の3層構造を有する半導体固体電池のキャリア蓄積箇所を明らかにし、充放電メカニズム解明を目指す。

④ 半導体ナノ粒子の作製（担当：株式会社東芝）

平成31年度は実施しない。

⑤ 塗布プロセスによる厚膜化検討（担当：株式会社東芝）

膜厚制御したTiO₂粒子膜を用いた電池検証、および蓄電性能に関する性能評価を実施する。

TiO₂粒子膜の形成については、これまで、スパッタ等の真空蒸着方式を選定してきたが、十数 μ m以上の厚膜化は困難であることから、TiO₂粒子の分散スラリーを用いた塗布プロセスによる厚膜化を検討した。その結果、TiO₂粒子膜の厚膜形成においては、膜厚の増加に伴い、乾燥、焼成時に膜応力が増加してクラックが生じるという課題があるが、TiO₂粒子分散スラリーを用いた静電塗布方式を採用することで、塗布過程での乾燥促進による応力緩和と積層による厚膜化が可能であることがわかった。そこで、平成31年度は、膜厚を制御したTiO₂粒子膜を用いた電池の試作および評価を中心に実施し、膜厚と共に、TiO₂粒子の粒子径、結晶性や粒子同士のネッキング等のTiO₂粒子膜の物性が、電池性能に及ぼす影響を定量化し、そのメカニズムの解明につなげる。

⑥ プロジェクトの総合的推進（担当：東芝マテリアル株式会社）

プロジェクト全体の連携を密としつつ円滑に運営していくため、定期的に各機関の技術者同士の打合せを開催する。特に、プロジェクト全体の進捗状況を確認しつつ計画の合理化を検討し、必要に応じて調査或いは外部有識者を招聘して意見を聞くなど、プロジェクトの推進に資する。

本委託業務の実施により得られた成果について、国内外の学会等において積極的に発表し、本研究の更なる進展に努める。なお、研究成果の発表にあたっては、委託契約書の定めに従い事前に発表内容等を通知する。

2. 2 平成31年度の研究実施日程

(1) 業務の実施日程

業務項目	実 施 日 程											
	4月	5月	6月	7月	8月	9月	10月	11月	12月	1月	2月	3月
① 半導体層の形成、半導体電池試作												
② 準位、キャリア密度の評価												
③ シミュレーションによる充放電メカニズム検証												
④ 半導体ナノ粒子の作製												
⑤ 塗布プロセスによる厚膜化検討												
⑥ プロジェクトの総合的推進												

2. 3 平成31年度の研究成果の説明

① 半導体層の形成、半導体電池試作（担当：東芝マテリアル株式会社）

①-1 酸化物半導体への捕獲準位導入

平成30年度は半導体層の捕獲準位の制御を試みた結果、TiO₂スパッタ膜では酸素分圧低減による捕獲準位量の増大が確認されたが、電池のエネルギー蓄積量に目標とする10倍以上の変化はなかった。また、「n-TiO₂/SiON/p-NiO構造（以後、PIN型と記載）」の3層構造を有する半導体固体電池のエネルギー蓄積量は、種々の検討により平成29年度から6倍向上したが、LIB相当の蓄積量達成に向けた明確な指針は得られていない。一方、PIN型を有する半導体固体電池の蓄電原理において、平成30年度はMIS構造（金属/絶縁体/半導体:metal/insulator/semiconductor）として、TiO₂/SiON/金属、金属/SiON/NiO構造のデバイス試作と評価を行った。MIS構造での蓄電特性や電流特性をPIN型基本構造と比較し、絶縁体/半導体界面の電流挙動から蓄電メカニズムを考察することを目的とした。その結果、MIS構造ではキャリア蓄積が殆ど無いことが確認できた。さらに、NiOからSiONへの正孔注入と伝導が確認されたが、TiO₂からSiONへの電子伝導は極めて小さいことが判明した。すなわち、充電時のキャリアはTiO₂/SiON界面近傍に局所的に蓄積している可能性が示唆された。

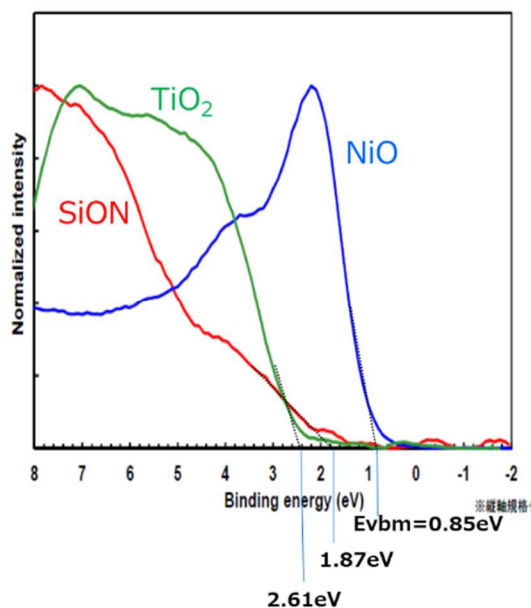
平成31年度は、上記蓄電原理の分析的な解明を試みた。PIN型における充放電メカニズムとして、TiO₂/SiON界面へキャリアが移動し、蓄積するモデルを考えた場合、NiOからSiONへの正孔注入が必要である。しかし、文献値等から推測されるバンドオフセットではエネルギー障壁が大きく、正孔注入は困難であると考えられる。それにも関わらず、正孔注入が起こるメカニズムとしては以下の2点を推定している。

- 1) 価電子帯のエネルギー準位差が実際は小さく、NiOからSiONへの正孔注入が起きている。
- 2) NiO/SiON界面にNiOの突起が生成しており、突起先端への電界集中によって正孔が注入される（電界放出効果）。

まず初めに、上記1)のモデル検証を行った。具体的には、X線光電子分光法（XPS）及び反射電子エネルギー損失分光法（REELS）により、TiO₂/SiON/NiOの接合バンドオフセットの解明を行った。XPS測定では、NiO、SiON、TiO₂膜の価電子帯スペクトルを測定することによって、価電子帯上端の位置を確認することができる。一方、REELS測定では試料表面に電子線を照射し、表面（数nm）で弾性散乱（反射）もしくは非弾性散乱した電子をアナライザーで検出する。散乱電子のエネルギー損失過程には、価電子帯から伝導帯へのバンド間励起やプラズモン励起があるが、プラズモン励起過程により生じるエネルギー損失はバンド間励起により生じるエネルギー損失より大きい。そのため、非弾性散乱電子の損失エネルギーのしきい値と弾性散乱電子のエネルギー差を求めることで試料のバンドギャップを評価することができる。なお、本分析で用いたNiO、SiON、TiO₂の成膜条件は以下の通りとし、これまでも標準成膜条件と同等である。

- ・ NiO(300nm)： RFスパッタ、Niターゲット、基板加熱200℃、Ar/O₂=120/11sccm
- ・ SiON(300nm)： RFスパッタ、Si₃N₄ターゲット、基板加熱200℃、Ar/N₂=120/5sccm
- ・ TiO₂(300nm)： DCスパッタ、Ti、TiO_{2-x}ターゲット、基板加熱200℃、Ar/O₂=120/7sccm

図①-1にNiO、SiON、TiO₂薄膜のXPS測定結果を示す。なお、価電子帯上端エネルギー（Evbm）は直線外挿により求めた。直線外挿による数値決定の誤差は± 0.1 eV 程度である。



Evbmおよび Δ Evbm

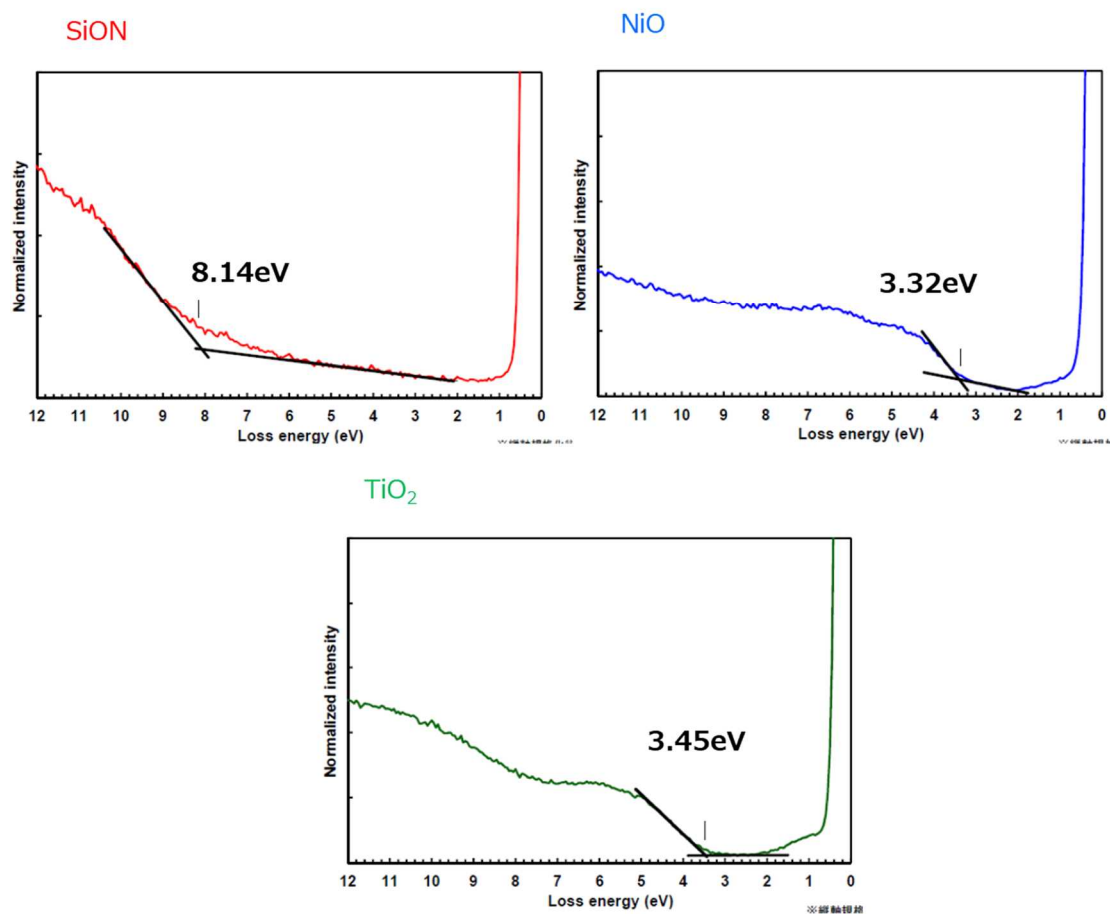
試料	Evbm (eV)	Δ Evbm (eV)
SiON	1.87	1.02
NiO	0.85	0
TiO ₂	2.61	1.76

Evbm : Valence band maximum energy
 Δ Evbm : SiON、TiO₂のEvbm からNiOのEvbm を引いた値

※Evbmは直線外挿にて算出(誤差 ± 0.1 eV)

図①-1. XPS測定による価電子帯上端 (Evbm) の測定結果

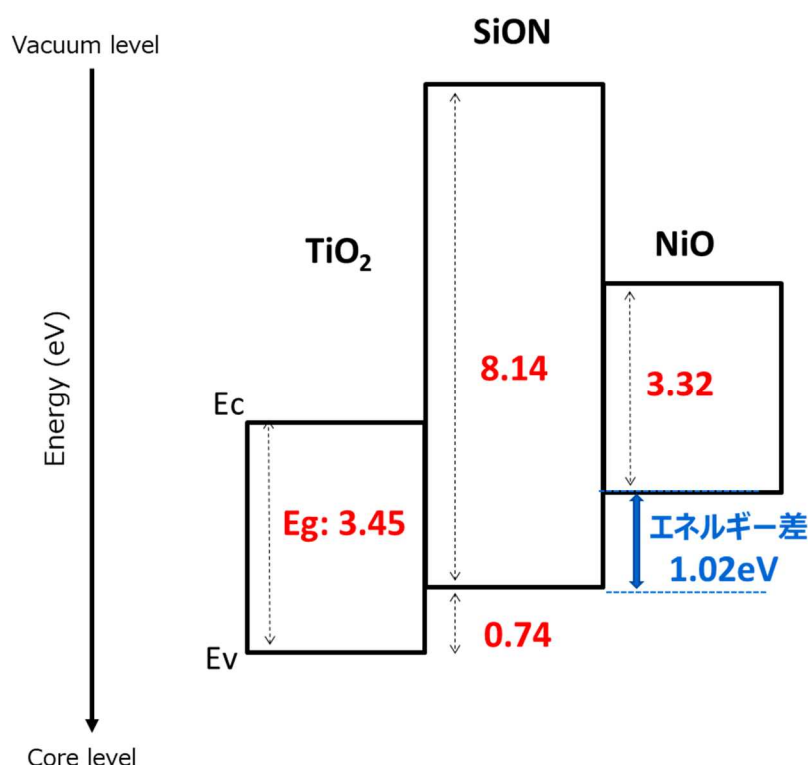
測定の結果、SiONのEvbmは1.87eVであるのに対し、NiOは0.85eV、TiO₂は2.61eVであることがわかり、NiOとのエネルギー差はSiONが1.02eV、TiO₂は1.76eVであると予測される。次にバンドギャップ測定を目的としたREELS測定の結果を図①-2に示す。



図①-2. REELS測定によるバンドギャップの測定結果

測定の結果、SiON、NiO、TiO₂のバンドギャップはそれぞれ8.14eV、3.32eV、3.45eVであることがわかった。なお、NiOとTiO₂膜についてはLoss energy 1～2eV付近の強度が高く、この領域の信号は膜中のバンドギャップ内の欠陥準位（ギャップ内準位）などに起因する電子遷移由来と考えられる。

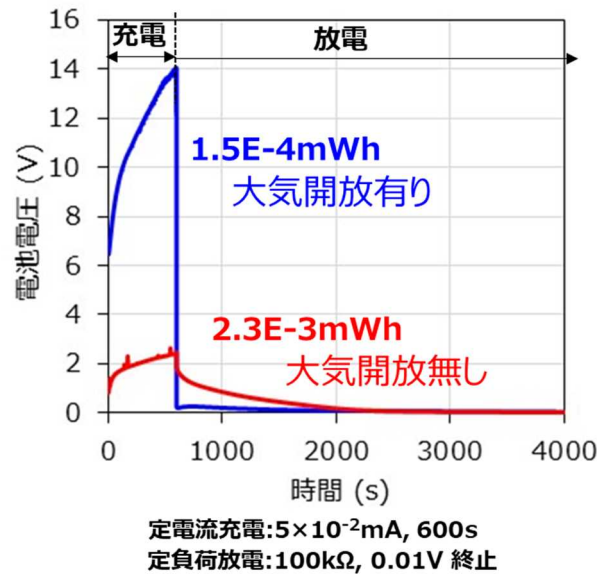
以上、XPS測定による価電子帯上端のエネルギー、REELS測定によるバンドギャップ測定の結果から考えられるバンドオフセットを図①-3に示す。SiON/NiOの価電子帯のエネルギー差(Φ_b)は1.02eVであることがわかった。このとき、室温におけるNiOからSiONへの注入できる正孔数を見積もる。NiOのキャリア密度 $n_p(\text{NiO})=1\text{E}18\text{cm}^{-3}$ としたとき、SiONの価電子帯に励起注入される正孔数(n_p)をボルツマン分布近似で求めると、 $n_p(\text{SiON})=n_p(\text{NiO}) \cdot \exp(-q \Phi_b/kT)=10\text{cm}^{-3}$ と小さい。このことから、NiOからSiONの価電子帯への正孔注入はほとんど起きていないと考えた。



図①-3. TiO₂/SiON/NiOのバンドオフセット

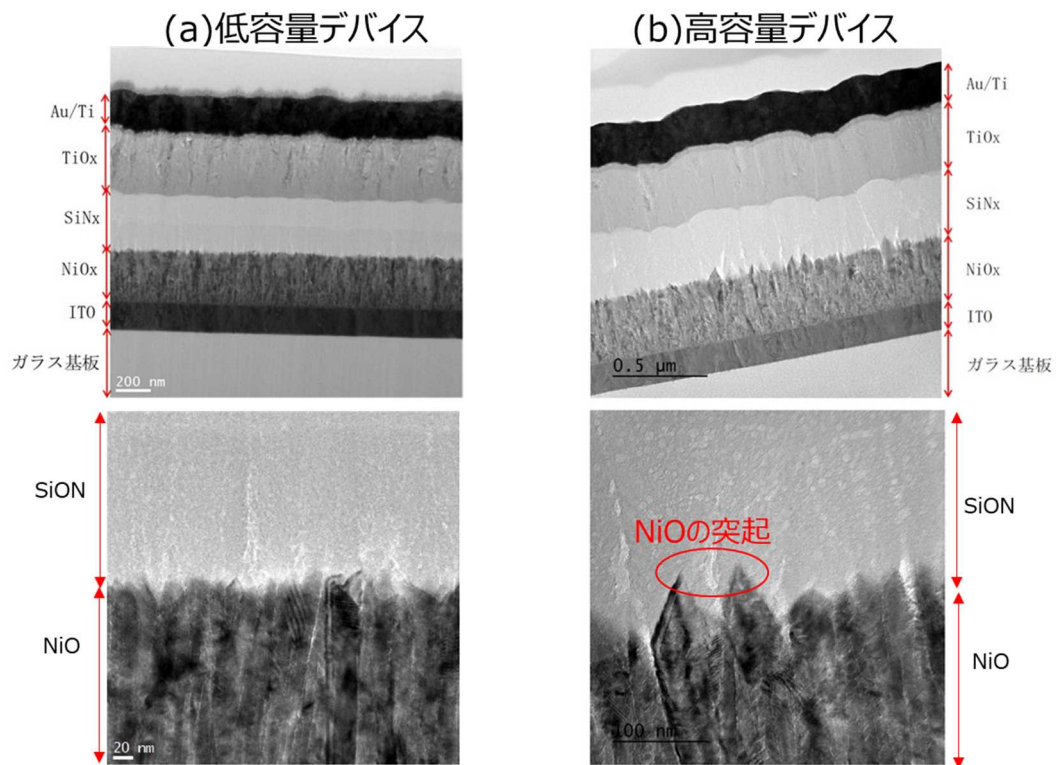
次に正孔注入のメカニズムとして考えられるもう一つのNiOの突起形成による電界集中について検証した。

本研究ではデバイス試作時に標準構造としてPIN型のデバイス試作を行っているが、プロセス条件によっては充放電容量が変化する。特に、NiOとSiONのスパッタ条件によっては容量が一桁も変化する事象が確認された。図①-4にNiO/SiONのスパッタ成膜時に一度大気開放を行ったデバイス、連続成膜したデバイスの定負荷充放電結果を示す。大気開放有りでは充電時の電圧が高く、放電容量は $1.5 \times 10^{-4} \text{mWh}$ であった。一方、大気開放無しでNiO/SiONを連続成膜したデバイスでは電圧が約2.3V程度で、放電容量も $2.3 \times 10^{-3} \text{mWh}$ と一桁程度向上していた。



図①-4. 標準PIN型におけるNiO/SiONスパッタ成膜時の大気開放有無による充放電特性への影響

この原因を明らかにするため、デバイスの断面TEM観察を実施した。図①-5に大気開放有りで低容量であったデバイス(a)と大気開放無しで高容量であったデバイス(b)の断面TEM像を示す。



図①-5. (a) 低容量デバイスと(b) 高容量デバイスの断面TEM像

断面TEM像を比較すると、低容量デバイスではNiO/SiON界面が比較的平坦なのに対し、高容量デバイスではNiO/SiON界面に突起が観察された。突起の大きさは底辺が約50nm程度であり、

先端径は数nmであった。充電時にこのNiO突起先端部へ電荷が局在的に誘起され電界集中が発生し、NiOからの正孔注入もより起こりやすくなり、充放電が起きている可能性がある。

①-2 量子井戸構造の導入

PIN型とは異なる原理でキャリア蓄積の可能性がある構造として、量子井戸型（量子井戸構造を有する電池）に着目している。量子井戸構造の半導体層としては、バンドギャップの大きな材料にバンドギャップの小さな材料の微粒子を分散させた微粒子分散型構造、及びバンドギャップの異なる2つの材料の薄膜を交互に積層させた積層型構造の2種類を検討している。平成31年度は、電池のエネルギー蓄積量を増大させるため、材料と構造の改善に取り組んだ。具体的には、微粒子分散型構造としてはSiN中にSi微粒子を分散させた膜を形成した。また、積層型構造においてn層をTiO₂/SiO₂積層膜とした構造、p層をNiO/SiO₂積層膜とした構造のデバイスを作製した。

①-2-1 SiN/Si微粒子分散膜

平成30年度までの研究ではSi/ β -FeSi₂膜の実験結果から、より井戸の深い量子井戸が高容量化に繋がる可能性が示唆された。そこで本項では、より井戸の深い量子井戸膜として、SiN膜中に結晶Si微粒子を分散させた膜（SiN/Si微粒子分散膜）の形成を行った。SiN/Siの組合せでは2eV以上の深さを持つ量子井戸形成が可能となる。SiN/Si微粒子分散膜を形成した報告は我々が調べた限り無いが、類似した膜でシリコンフォトニクス応用としてSiO₂/Si微粒子分散膜の形成が報告されている[5, 6]。成膜条件としてはSi₃N₄ターゲット使用し、高周波出力200W、ガス流量Ar, 2-6sccm、成膜前真空度10⁻⁴Paとした。さらに、比較用にSi₃N₄ターゲット上にSiチップを配置した成膜方法にて分散膜を形成した。

①-2-2 SiO₂/TiO₂積層、SiO₂/NiO積層

本項では、SiN/Si系とは異なる量子井戸の深い量子井戸膜としてSiO₂/TiO₂積層膜とSiO₂/NiO積層膜を用いた積層型デバイスを検討した。SiO₂は一般的に絶縁性が高くキャリア移動が困難となる可能性が懸念された。平成30年度には、事前にSiO₂単膜をスパッタ成膜し、バンドギャップや直流抵抗率の測定により、量子井戸膜として電池へ適用可能かどうかを確認した。その結果、SiO₂は平均で1×10⁹Ω・cmの抵抗が得られた。ゲート絶縁膜等のSiO₂薄膜の抵抗率10¹⁴~10¹⁶Ω・cmと比較すると、我々の試作したSiO₂は低抵抗である。ここで、論文[4]の4cm²半導体固体電池の充電時電流5×10⁻⁵A、電圧2.1Vを考慮すると、測定時の内部抵抗は4E+4Ω程度と計算される。例えば抵抗率10⁹Ω・cmのSiO₂を計100nm挿入すると、抵抗増加分は3E+3Ωとなる。この値は上記内部抵抗より1桁小さく、電池特性に大きな影響は与えないと考えられる。以上より、同SiO₂を用いた量子井戸膜（積層膜）が半導体固体電池へ適用可能と示されたため、電池試作・評価を実施した。

①-3 半導体固体電池の試作

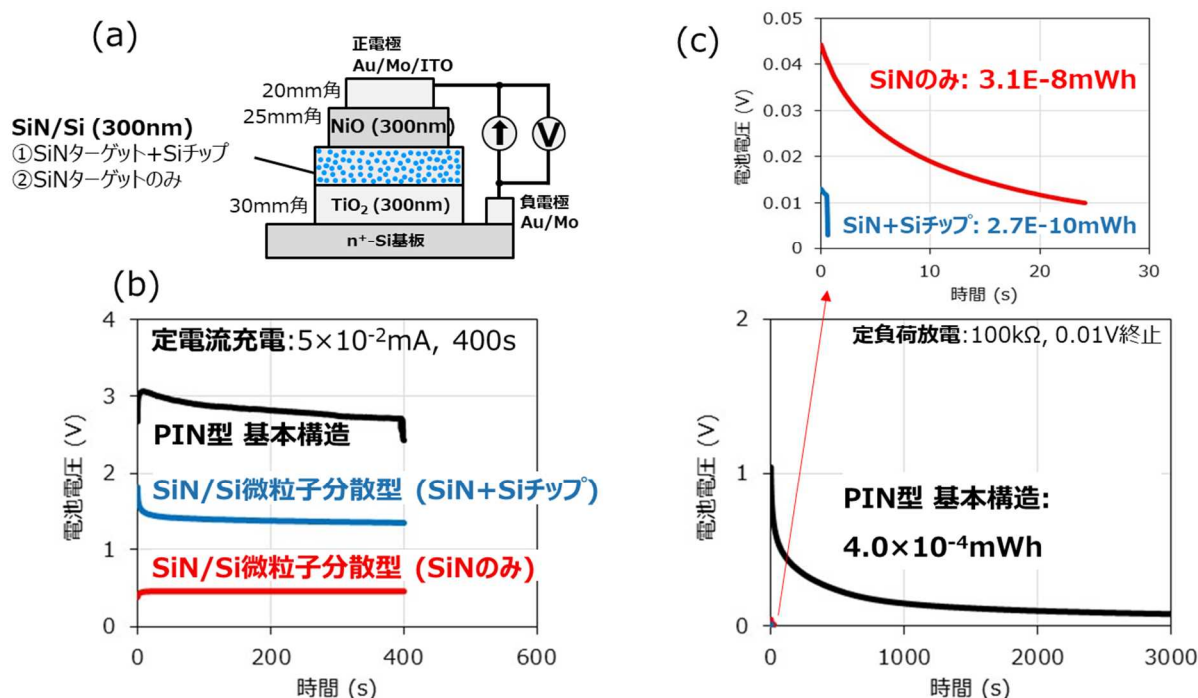
平成31年度は高容量化を目的とした量子井戸型デバイスの試作を行った。PIN型同様に成膜は全てスパッタ法を用いて、NiO, SiON, TiO₂の標準成膜条件は以下の通りである：

- ・NiO(300nm)：RF スパッタ、Ni ターゲット、基板加熱 200℃、Ar/O₂=120/11sccm
- ・SiON(300nm)：RF スパッタ、Si₃N₄ ターゲット、基板加熱 200℃、Ar/N₂=120/5sccm
- ・TiO₂(300nm)：DC スパッタ、Ti, TiO_{2-x} ターゲット、基板加熱 200℃、Ar/O₂=120/7sccm

デバイス作製後、電気化学装置（SolarTron 東陽テクニカ製 SI1287）を用いて、充放電特性を評価した。

①-2-1 項で作製した SiN/Si 微粒子分散膜を適用した電池試作を行った。図①-6(a)に示す半導体固体電池を試作し、電池評価を行った。定電流(5.0×10⁻²mA)による 400 秒間の充電と、定負荷(100kΩ)による 0.01V 終止の放電を連続して実施した。図①-6(b)に充電曲

線、図①-6(c)にPIN型基本構造と比較した放電曲線(下図)と量子井戸型デバイスの放電曲線拡大図(上図)を示す。



図①-6. SiN/Si微粒子分散量子井戸型電池の(a)電池構造、(b)充電曲線、(c)放電曲線

図①-6(b)の充電曲線ではSiNのみ、SiN+Siチップの両デバイスにおいてPIN型同様に一定時間、電池電圧が維持されており充電動作が確認された。しかしながら、図①-6(c)の放電曲線ではPIN型が 4.0×10^{-4} mWhであるのに対し、SiNのみでは 3.1×10^{-8} mWh、SiN+Siチップでは 2.7×10^{-10} mWhとほとんど放電容量が得られなかった。

ここで、これまでに実施した他の微粒子分散膜との容量比較を表①-1に示す。SiN/c-Si微粒子分散型により得られた容量は平成29年度に試作したa-Si/ β -FeSi₂微粒子分散型を下回る結果となった。考えられる原因としては、SiN/c-Si微粒子分散膜形成時に熱処理等をしておらず、バンドオフセットが十分に急峻なサイズの量子井戸が形成されていなかった可能性がある。

表①-1 微粒子分散膜を用いた量子井戸型電池の容量比較

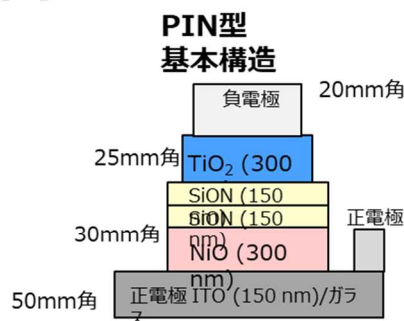
電池に挿入した膜種	電池の放電容量 (mWh)
a-Si/ β -FeSi ₂ 微粒子分散膜 (Ar, 490℃, 5h) (平成29年度品)	7.5E-7
a-Si/ β -FeSi ₂ 微粒子分散膜 (Ar, 550℃, 5h) (平成29年度品)	2.2E-6
a-Si/ β -FeSi ₂ 微粒子分散膜 (Ar, 600℃, 5h) (平成29年度品)	8.5E-7
c-Si/ β -FeSi ₂ 微粒子分散膜 (Ar, 900℃, 5h) (平成30年度品)	2.9E-8
SiN/c-Si微粒子分散膜 (SiNのみ)	3.1E-8
SiN/c-Si微粒子分散膜 (SiN+Siチップ)	2.7E-10

次に①-2-2で検討した積層膜を用いた電池試作・評価を行った。構造はPIN型において、N型のTiO₂部分にSiO₂/TiO₂積層膜(SiO₂/TiO₂/SiO₂/TiO₂/SiO₂ (各層10nm))を挿入・追加し、さらにP型のNiO部分にSiO₂/NiO積層膜(SiO₂/NiO/SiO₂/NiO/SiO₂ (各層10nm))を挿入・追加したデバイスを作製した。

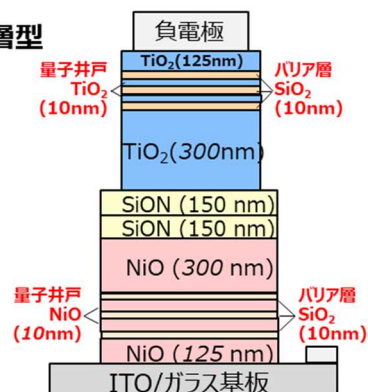
測定は、定電流(5.0×10^{-2} mA)による400秒間の充電と、定負荷(100k Ω)による0.01V終止の放電を連続して実施した。図①-7(a)に試作したデバイスの構造、図①-7(b)に充放電曲線と

算出した放電容量を示す。PIN型基本構造に対して積層型では容量の大きな変化はなく、PIN型と同等の容量であった。

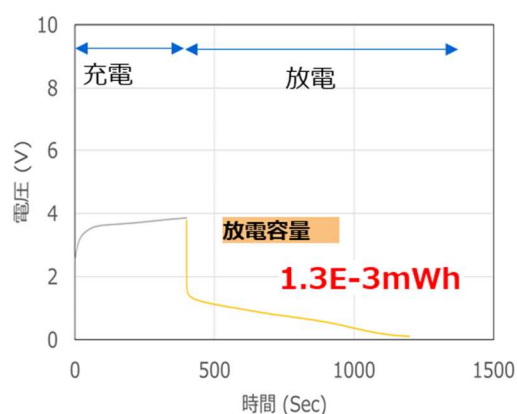
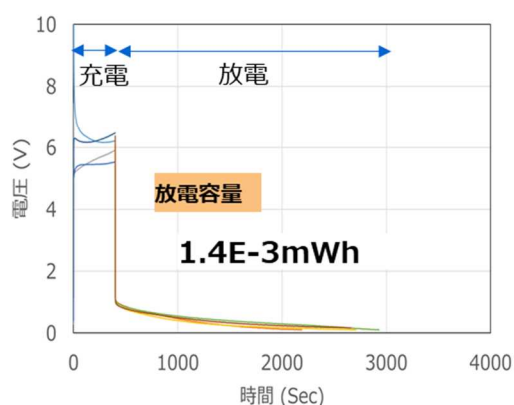
(a)



積層型



(b)

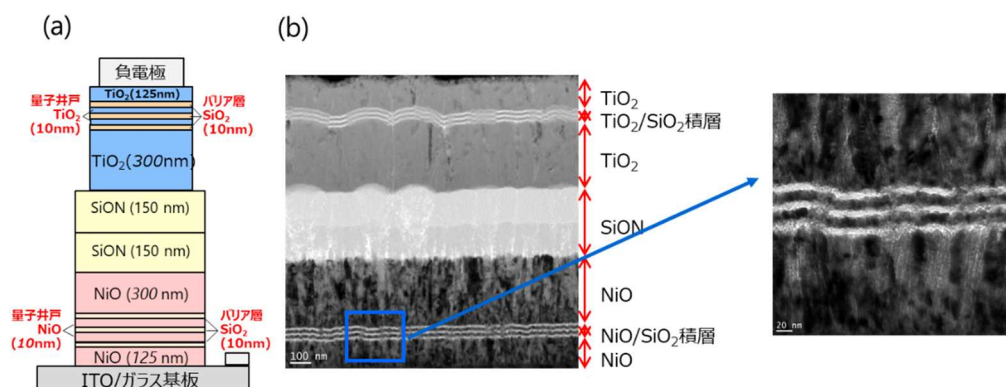


図①-7. 積層型電池の(a)電池構造、(b)充放電曲線

当初の蓄電モデルでは図①-8に示す通り、充電時においてp型半導体層の量子井戸には正孔が蓄積し、n型半導体層の量子井戸には電子が蓄積すると予想していた。しかし、今回の材料構成、デバイス構造では標準のPIN型と同様にTiO₂/SiON界面に電荷が蓄積するモデルで動作している可能性が高い。この原因を明らかにするため、積層型デバイスの断面TEM観察を実施した。図①-9に断面TEM観察の結果を示す。

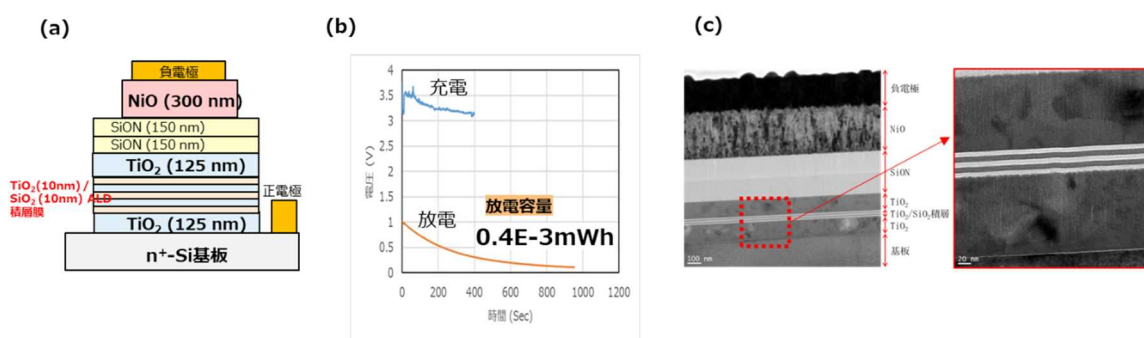


図①-8. 積層型量子井戸構造デバイスにおける充電時のモデル

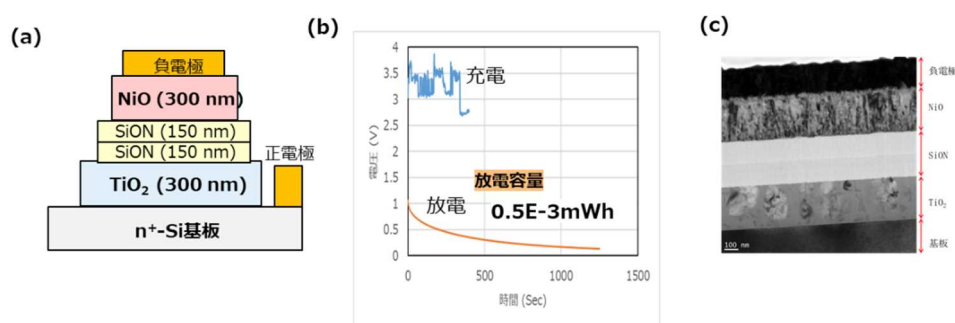


図①-9. 積層型量子井戸構造デバイスの(a)構造と(b)断面TEM像

断面TEM像において、量子井戸を形成すると考えられるSiO₂とTiO₂やSiO₂とNiOの積層部分は平坦性が無く、充放電時に本来蓄積されるべき量子井戸に電子や正孔が蓄積できていない可能性が考えられる。そこで、より平坦な膜を成膜可能なAtomic Layer Deposition (ALD) 法で積層する方法を検討した。ALD成膜での積層型デバイスはn層であるTiO₂をTiO₂/SiO₂積層とした構造で検討した。図①-10(a)に作製したデバイスの構造、(b)に充放電曲線、(c)にデバイスの断面TEM像を示す。また参考に、ALDでの積層構造を導入しない標準PIN型デバイスの構造、充放電曲線、断面TEM像を図①-11に示す。なお、充放電測定は、定電流(5.0×10⁻²mA)による400秒間の充電と、定負荷(100kΩ)による0.01V終止の放電を連続して実施した。



図①-10. ALD積層型デバイスの(a)構造、(b)充放電曲線、(c)断面TEM像



図①-11. 比較用PIN型デバイスの(a)構造、(b)充放電曲線、(c)断面TEM像

図①-10の充放電の結果、充放電動作を確認でき、放電容量は 0.4×10^{-3} mWhであった。一方、図①-11の比較用で作製したPIN型デバイスにおいてもほぼ同じ充電電圧、放電容量であり、充放電容量ではALD積層型による効果は確認できなかった。ALD積層型デバイスの断面TEM像ではn層をTiO₂/SiO₂の積層構造としているが、スパッタ膜と比較すると平坦な膜が確認できた。しかしながら、放電特性としては積層無しの構造と同じであったことから、積層部分で

はキャリアがトンネル効果によって、 TiO_2/SiON 界面に移動し、蓄積している可能性が考えられる。

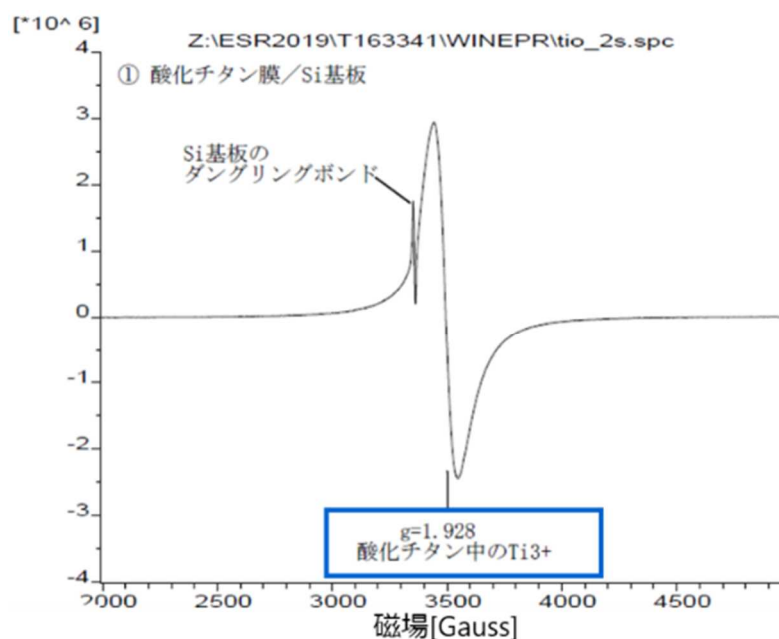
② 準位、キャリア密度の評価（担当：株式会社東芝）

平成 30 年度は、PIN 型電池の構成膜である TiO_2 膜のプロセス依存性として、酸素量と蓄電量の関係に着目して、 TiO_2 膜物性の酸素依存性をフォトルミネッセンスやラマン分光により相関づけた。また、電池特性評価から PIN 型の絶縁膜層として SiON 膜が現状最適であることから、この SiON 膜についてカソードルミネッセンス法により評価した。その結果、 SiON 膜は SiO_x 膜や SiN_x 膜とスペクトルの形状が異なることから、 SiON 膜に固有のエネルギーギャップ内準位が存在する可能性を推定した。

平成 31 年度は、PIN 型電池に対しては、 TiO_2 膜の膜中欠陥量の定量化を行うため、ESR（電子スピン共鳴）法による Ti^{3+} 量の定量化を行った。また、これまで TiO_2 、 NiO 、そして SiON などに対して主にバルク（膜中）、あるいは膜中と膜表面（界面）をまとめた分析評価を実施してきた。しかしながら、各種膜の膜種や膜厚をパラメータして電池特性を評価してきた結果などからも、膜界面に蓄電されている可能性もあることから、今回 TiO_2 と SiON の界面をカソードルミネッセンス法により評価した。これらの結果から PIN 型におけるモデルを推定した。一方、井戸型ポテンシャルを用いた電池については、実験的に PIN 型を上回るような電池特性が得られていなかったことから、分析的な評価ではなく、新たな材料の組み合わせの検討などを行った。

②-1 TiO_2 膜中の欠陥 (Ti^{3+}) 量評価

TiO_2 膜の膜中欠陥量の定量化を行うため、ESR 分析を行った。 TiO_2 膜中に酸素欠損が存在する場合、電荷を補償するために酸素欠損近接の Ti は Ti^{3+} となる。ESR 分析ではこの Ti^{3+} を評価することが可能である。Si 基板上に標準条件で成膜した TiO_2 膜（膜厚 300nm）の ESR 分析結果を図②-1 に示す。ここから算出した TiO_2 膜中の Ti^{3+} 密度は $6.3 \times 10^{20} \text{ cm}^{-3}$ であった。



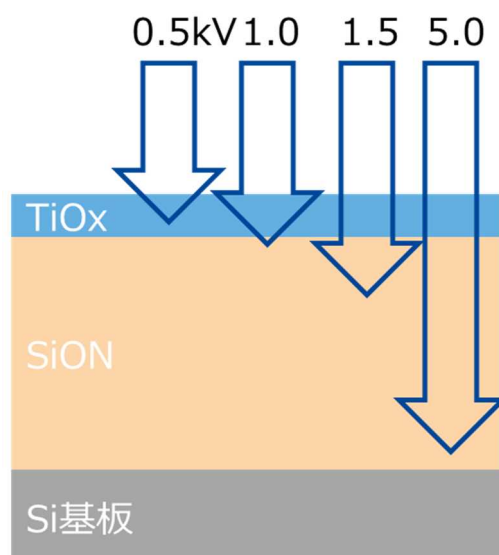
図②-1. TiO_2 膜の ESR (電子スピン共鳴) 分析結果

一方、これまで測定された標準条件で成膜した TiO_2 膜を用いた PIN 型電池での蓄電量は $2.3 \times 10^{21} \text{ cm}^{-3}$ である。この結果からは、実際に蓄電された量と比較して、 Ti^{3+} の密度は

1/3 以下であるため、当初想定していた TiO_2 膜中の欠陥 (Ti^{3+}) は、蓄電メカニズムを説明する要因の少なくとも一部でしかないことが分かった。

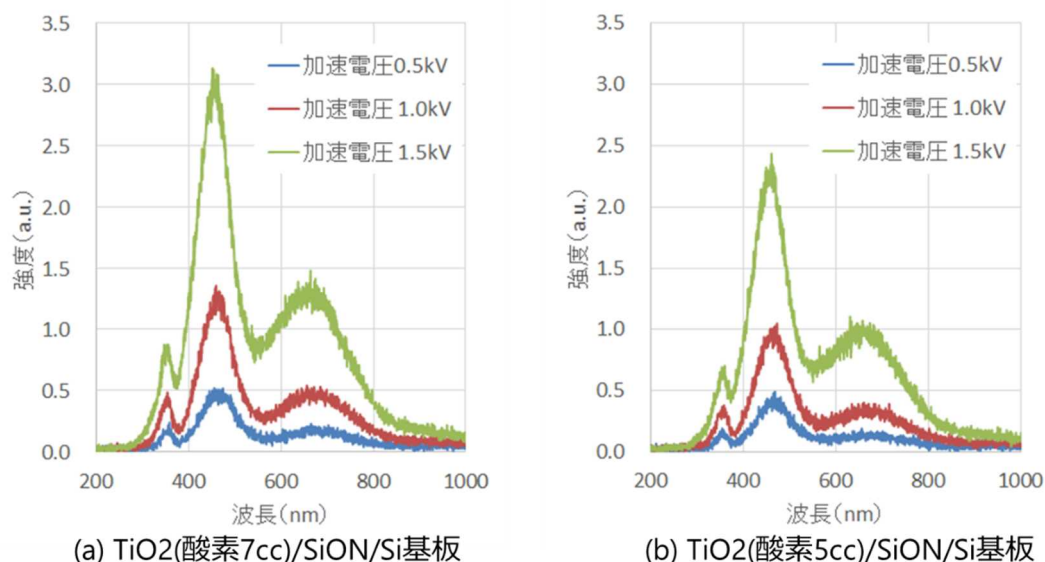
②-2 TiO_2/SiON 界面の準位評価

TiO_2/SiON 膜界面での準位を評価するために、測定深さを変えたカソードルミネッセンス (CL) 分析を行った。カソードルミネッセンス法では、電子の加速電圧により測定できる深さが異なる。そこで、電子の加速電圧を 0.5kV から 5.0kV まで変えて、 TiO_2/SiON 膜の界面での準位情報の取得を試みた。試料は Si 基板上に厚さ 300nm の SiON 膜を形成し、その上に TiO_2 膜を厚さ 10nm 程度で成膜した。 TiO_2 膜を薄くすることで、下層の SiON 膜まで同時に測定することができる。 TiO_2 膜の成膜条件としては、標準条件 (酸素流量 7sccm) と低酸素条件 (酸素流量 5sccm) とした。今回用いた電子の加速電圧 (0.5、1.0、1.5、5.0kV) に対して、 TiO_2/SiON 界面含む深さ方向での CL 信号の取得可能範囲、すなわち電子線の侵入深さ、を模式的に図②-2 に示す。これは、 $\text{TiO}_2(10\text{nm})/\text{SiON}/\text{Si}$ 基板、 SiON/Si 基板の 2 つの試料に対して加速電圧を変えて測定した CL スペクトルの形状の変化から推定したものである。



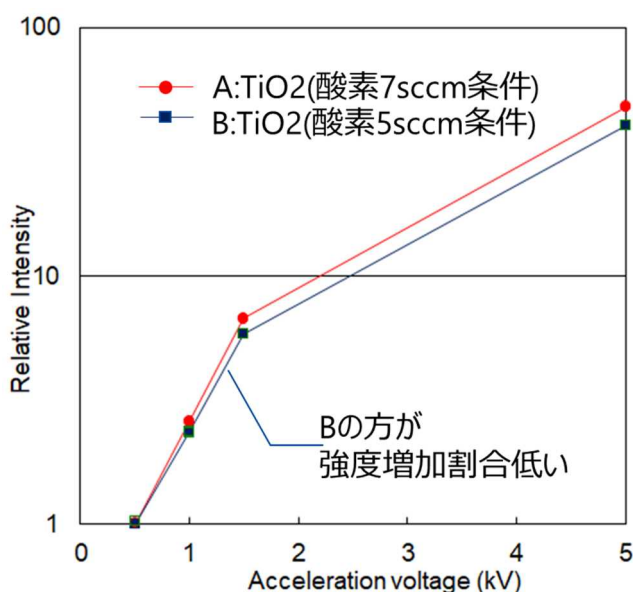
図②-2. CL 分析における電子の加速電圧と侵入深さ（矢印）の関係模式図

この図から加速電圧 0.5kV では、 TiO_2 膜のみの情報が、また 1.5kV では TiO_2 膜、SiON 膜およびそれらの界面の情報が、含まれることが分かる。 $\text{TiO}_2/\text{SiON}/\text{Si}$ 基板で、 TiO_2 の 2 つの成膜条件に対して、電子の加速電圧を 0.5kV、1.0kV、1.5kV で測定した CL スペクトルを図②-3 に示す。



図②-3. 加速電圧 0.5kV～1.5kV のにおける CL スペクトル

スペクトルには試料内での光の干渉による周期的な強度変化がみられるが、430nm 付近にピークがあることから、この強度に着目する。この強度の加速電圧依存性を図②-4 に示す。横軸は CL 分析での電子の加速電圧、縦軸は CL 強度の対数である。

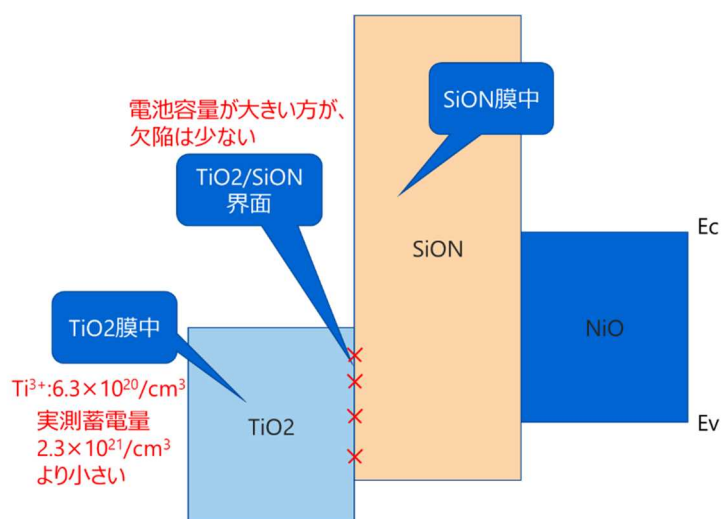


図②-4. CL 強度の加速電圧依存性

図の中で加速電圧が 0.5kV から 1.5kV の間で TiO₂/SiON 界面を含むので、この CL 強度は界面欠陥の影響を受ける。一般的に界面欠陥は非発光成分であるため、欠陥が多いほど、CL 強度（発光成分が寄与）は低下する。加速電圧が増加すると、測定可能な範囲が増えるため CL 強度は増加するが、一方で、上記のような界面非発光成分が存在すると、その増加の割合は低下すると考えられる。すなわち、図②-4 において、0.5kV から 1.5kV の間で CL 強度増加の割合が低い TiO₂(低酸素条件)/SiON 界面の方が、界面欠陥を多く含んでいる可能性が高いと言える。これまでに測定された電池特性から、TiO₂（標準条件）の方が、TiO₂（低酸素条件）よりも電池容量が大きいことから、界面欠陥が多い TiO₂（低酸素条件）のほうが、蓄電量は少ない関係にあることが分かる。以上より、CL の実験結果からは PIN 型電池において TiO₂/SiON 界面の欠陥準位はキャリアの捕獲箇所として主要な役割を果たしていないと言える。

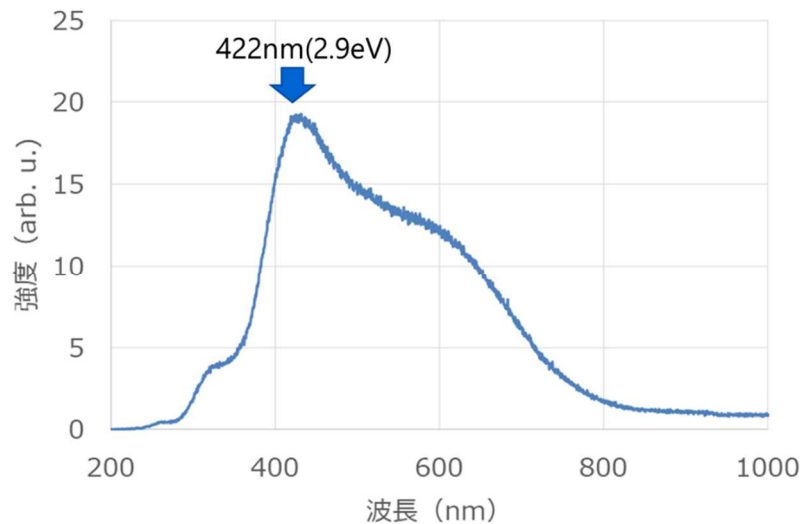
②-3 PIN 型電池のメカニズム考察

本研究開始時においては、電池の蓄積箇所としては TiO_2 の膜中の欠陥準位が最も有力であると推定していた。しかしながら、これまでの電池試作と評価の結果から TiO_2 の膜厚依存性は想定より小さいこと、PIN 型の絶縁膜として SiON が適しており、 SiO_2 や SiN など組成的に近い膜や高誘電体膜に変更した場合は、電池として機能しない、あるいは電池容量が小さい、結果を得ている。②-1 および②-2 の分析結果を PIN 型電池構造でのバンド模式図に対応してまとめたものを図②-5 に示す。この結果からも、 TiO_2 膜中の欠陥の密度は実測された電池の蓄電量の $1/3$ 以下であり、一部電子はこの欠陥に捕獲され蓄電されている可能性はあるが、主要な蓄電箇所ではないことが推測された。また、 TiO_2/SiON 界面の欠陥については、 TiO_2 の膜厚依存性が小さいことに対する 1 つの可能性であるが、今回の分析結果から電池容量の大きい TiO_2 （標準条件）の方が、容量の小さい TiO_2 （低酸素条件）よりも界面準位（一般的な非発光成分と想定）が少ないことが分かった。したがって、 TiO_2/SiON 界面準位も PIN 型電池での電子の主要な蓄積箇所ではないと推定できる。



図②-5. $\text{TiO}_2/\text{SiON}/\text{NiO}$ バンド構造模式図と分析結果の対応

これまでの検討で、 SiON 膜は PIN 型電池で不可欠な要素であることから、 SiON 膜中あるいは TiO_2 膜界面付近の SiON 膜中の欠陥が有力な電子の蓄積箇所であることが予想される。平成 30 年度でも測定した SiON 膜の CL 分析結果を図②-6 に示す。

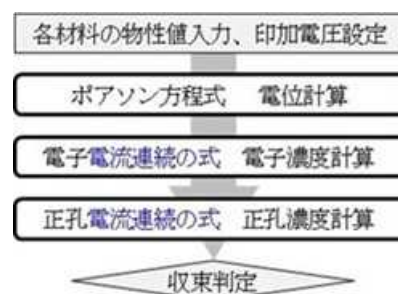


図②-6. SiON 膜の CL 分析結果

422nm 付近にピークをもつこのスペクトル形状は、様々な成膜方法（スパッタ、プラズマ CVD、熱 CVD など）で形成した SiN_x 膜や、 SiO_x 膜でも見られる場合があるが、主ピークは別な波長にある。すなわち、422nm (2.9eV) の CL スペクトルに対応した準位が、本研究で用いた SiON 膜に特徴的なものである。したがって、PIN 型電池での電子の蓄積箇所として、この CL スペクトルに相当する準位が有力な候補と考えられる。CL 分光法では、相対的な準位差のみが分かるため、バンドギャップ内での準位位置は不明であるが、 TiO_2 の伝導帯と SiON の価電子帯の間のエネルギー差が約 2.7eV であることを考えると、1つの可能性として SiON 膜の TiO_2 伝導帯付近にある欠陥準位があり、 TiO_2 からその欠陥準位に電子が捕獲されるということも推定される。

③ シミュレーションによる充放電メカニズム検証（担当：東芝マテリアル株式会社）

蓄電メカニズム検討のため、図③-1に示す「1次元のpn接合ドリフト拡散シミュレータ」に改良を加え、1次元の半導体電池用シミュレータ構築を進めてきた。平成29年度は、半導体層へ多量の捕獲準位導入をしたPIN型 ($\text{TiO}_2/\text{SiON}/\text{NiO}$) を想定し計算を行ったが、実験のキャリア蓄積量は再現できなかった。一方、平成30年度は実験・理論考察から半導体/絶縁体界面の蓄電への寄与が示唆された。そこで今年度は、絶縁体・界面の捕獲準位分布・量を変えた計算を試み、PIN型電池のメカニズム考察を試みた。



図③-1. 基本プログラムの流れ

③-1 プログラム改良、計算準備

まず絶縁体中の捕獲準位を考慮するためには、絶縁体膜内でのキャリア移動が必須である。しかしながら、文献調査や社外専門家への相談を行ったが、半導体をベースとしたドリフト拡散シミュレータで、300nm程の厚い絶縁体中の電荷移動を再現した報告は見つかっていない。

そこで、本③節ではPIN型構造の半導体層/絶縁体界面付近の捕獲準位分布・量を変化させて設定することで、キャリア蓄積への界面準位の影響を考察した。計算時のn-TiO₂, SiON, p-NiOの物性値は、平成30年度と同様に、表③-1に示す値を設定した。捕獲準位位置は平成30年度と同様にPL評価結果を参考に、図③-2に示す位置に設定した。

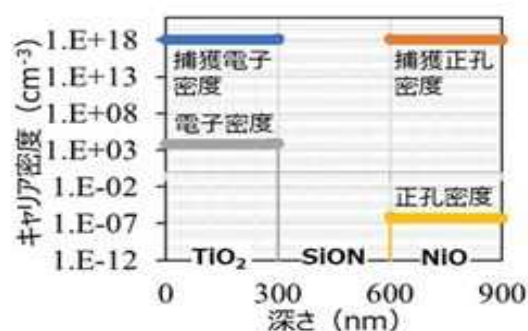
表③-1. 設定物性値

		TiO ₂	SiON	NiO	結晶Si (参考)
ドナー濃度(cm ⁻³) ※準位位置は、伝導帯下端より0.2eV下を仮定	N_D	1.0E18	0	0	(1.0E18)
アクセプタ濃度(cm ⁻³) ※準位位置は、価電子帯上端より0.2eV上を仮定	N_A	0	0	1.0E18	(1.0E18)
バンドギャップ(eV)	E_g	3.2	7.2	3.8	1.1
電子親和力(eV)	χ_c	4.2	1.3	1.6	4.0
誘電率(F/m)	ϵ	36	7.3	11.9	$11.9 \times \epsilon_0$
真性キャリア濃度(cm ⁻³)	n_i	1.3E-7	3.4E-41	1.2E-12	9.84E9
電子のライフタイム(s)	τ_n	1.0E-9	1.0E-9	1.0E-9	1.0E-8
正孔のライフタイム(s)	τ_p	1.0E-9	1.0E-9	1.0E-9	1.0E-8
電子の移動度(cm ² /Vs)	μ_e	5	0.01	5	1451
正孔の移動度(cm ² /Vs)	μ_h	5	0.01	5	503
伝導帯有効状態密度(cm ⁻³)	N_c	1.0E20	1.0E20	1.0E20	2.8E19
価電子帯有効状態密度(cm ⁻³)	N_v	1.0E20	1.0E20	1.0E20	1.04E19

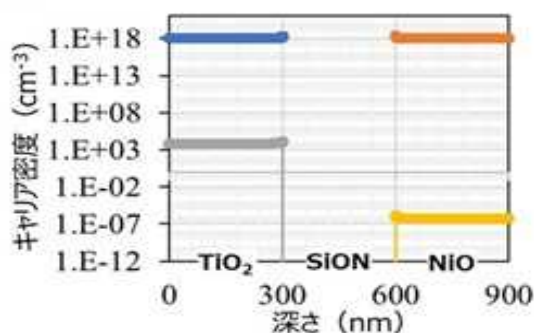
(a)



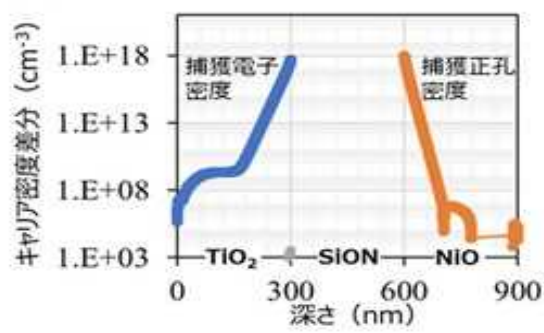
(b)



(c)

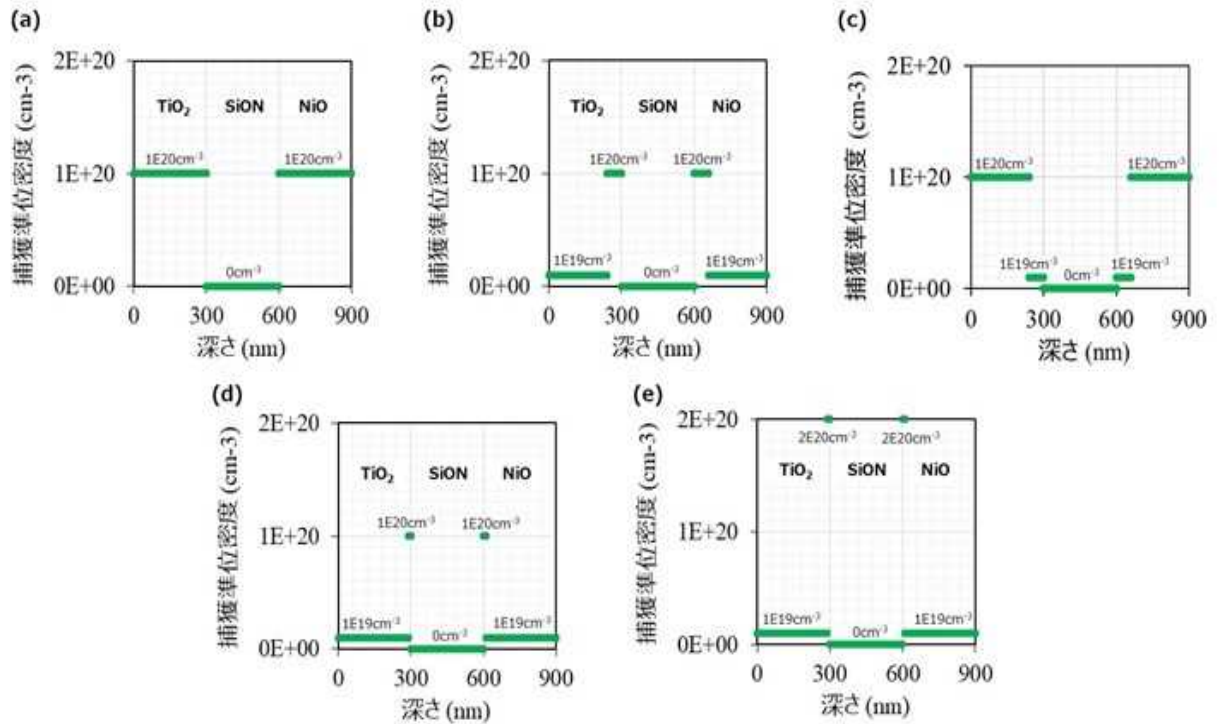


(d)



図③-2. (a)TiO₂膜(スパッタ時O₂流量7cc)のPLスペクトル、(b)TiO₂捕獲準位分布の設定、(c)NiO膜(スパッタ時O₂流量11cc)のPLスペクトル、(d)NiO捕獲準位分布の設定

現在、膜厚方向の0.1nm毎に計算点(メッシュ)を設定しており、捕獲準位分布としては、半導体層/絶縁体界面から半導体層側へ数10nm異なる捕獲準位量を設定した。設定した捕獲準位の深さ方向に対する分布は、図③-3に示す通りである。



図③-3. 計算時の捕獲準位密度分布 (SiON絶縁体層では 0cm^{-3})

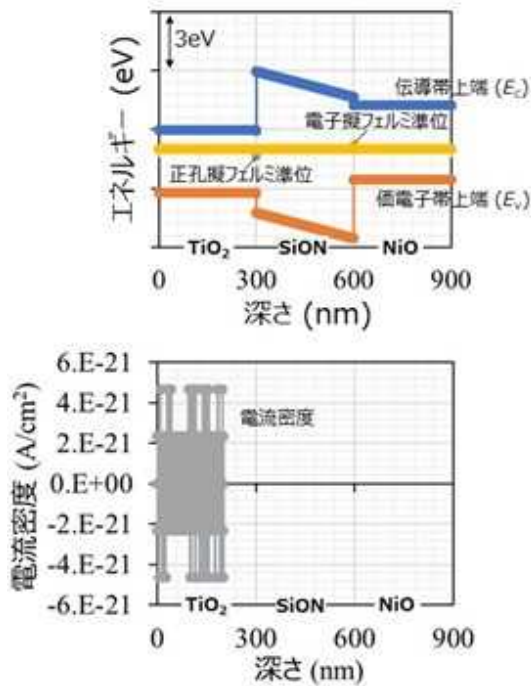
(a) 半導体層への $1\text{E}20\text{cm}^{-3}$ の均一な捕獲準位導入

- (b) 界面から半導体層側へ 60nm 、 $1\text{E}20\text{cm}^{-3}$ の捕獲準位導入 (半導体層の他箇所は $1\text{E}19\text{cm}^{-3}$)
 (c) 界面から半導体層側へ 60nm 、 $1\text{E}19\text{cm}^{-3}$ の捕獲準位導入 (半導体層の他箇所は $1\text{E}20\text{cm}^{-3}$)
 (d) 界面から半導体層側へ 10nm 、 $1\text{E}20\text{cm}^{-3}$ の捕獲準位導入 (半導体層の他箇所は $1\text{E}19\text{cm}^{-3}$)
 (e) 界面から半導体層側へ 10nm 、 $2\text{E}20\text{cm}^{-3}$ の捕獲準位導入 (半導体層の他箇所は $1\text{E}19\text{cm}^{-3}$)

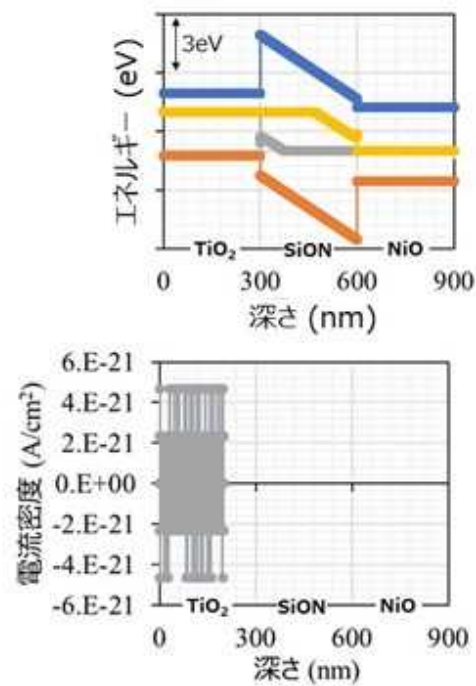
③-2 計算結果

まず図③-3(a)に示す捕獲準位分布において、電圧印加 0V 、 2V におけるポテンシャル分布(バンド図)と電流密度の計算を行い、シミュレータの妥当性を確認した。計算したバンド図、電流密度分布を図③-4(a) (b)に示す。図③-4のバンド図を見ると(a) 0V 印加ではフェルミ準位が揃い、(b) 2V 印加ではポテンシャルが持ち上がり擬フェルミ準位が分離する電圧印加の様子が再現されている。また電流密度分布をみると(a) 0V 印加、(b) 2V 印加ともに電流が流れず、中央のSiONが狙い通り絶縁体として機能している。以上より、n型層/絶縁体/p型層のシミュレータとしての計算の妥当性が示された。

(a) 計算結果 (0V印加)



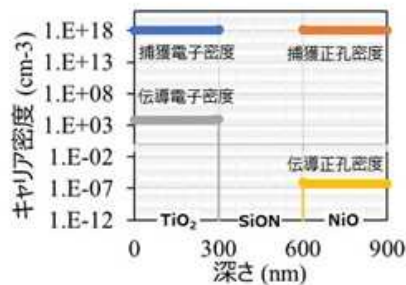
(b) 計算結果 (2V印加)



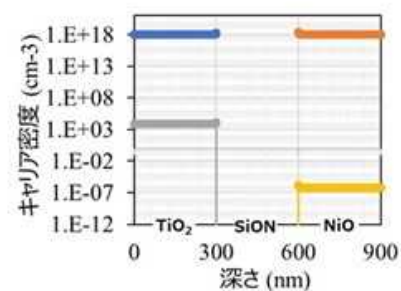
図③-4. 図③-3(a)に示す捕獲準位分布における計算結果：
ポテンシャル分布(バンド図) (上図)、電流密度分布 (下図) (a) 0V印加、(b) 2V印加

また、図③-5の (a)に0V印加、(b)に2V印加のキャリア密度分布、(d)には(a) (b)の捕獲キャリア密度差分を示した。図③-5(a) (b)のキャリア密度分布では殆ど差はみられないが、図③-5(d)には電圧印加時のキャリア密度増加分が得られた。これが電圧印加時のキャリア蓄積量に相当すると考えられる。しかしながら、これまでに実験で得られているキャリア蓄積量 $10^{19} \sim 10^{20} \text{ cm}^{-3}$ ($\text{TiO}_2/\text{SiON}/\text{NiO}$ の体積で計算) は再現されていない。

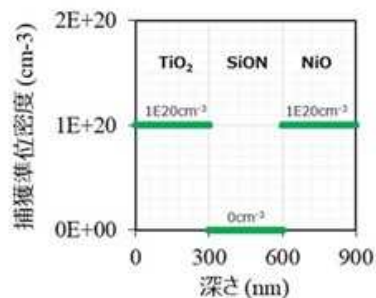
(a) 計算結果 (0V印加)



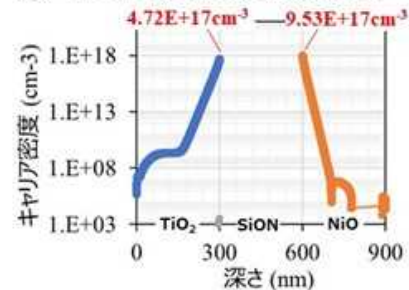
(b) 計算結果 (2V印加)



(c) 計算時の捕獲準位分布



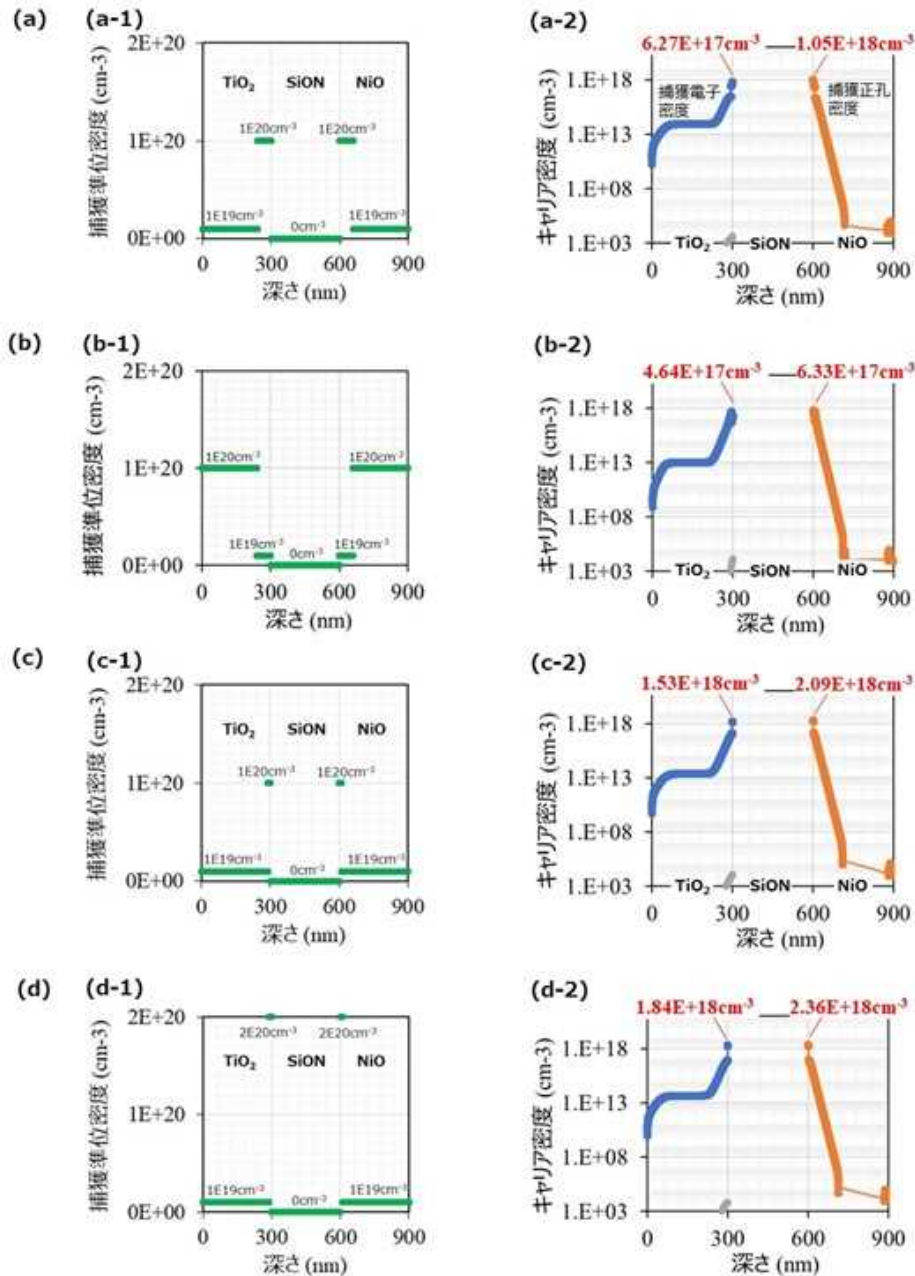
(d) キャリア密度差分 ※(a)と(b)の差分



図③-5. キャリア密度分布計算結果

(a) 0V印加、(b) 2V印加、(c) 計算時の捕獲準位分布、(d) (a), (b)のキャリア密度差分

さらに図③-6に、他の捕獲準位分布におけるキャリア蓄積量の計算結果を示した。ここではキャリア蓄積量の最大値に着目して考察を行った。まず図③-5(c, d), 図③-6(a)を比較すると、図③-6(a-1)に示す界面付近への局所的な捕獲準位導入では、全体の捕獲準位量が小さいにも関わらず、(a-2)でより大きなキャリア蓄積量を得ている。一方、図③-6(b)のように界面のみ捕獲準位量が低い場合は、キャリア蓄積量増大は得られなかった。さらに図③-6(a), (c)の比較、図③-6(c), (d)の比較では、界面付近により局所的かつ多量の捕獲準位を有するほどキャリア蓄積量が増大する結果を得た。以上より、界面付近に局所的かつ多量の捕獲準位を設けることで、電池高容量化に繋がる可能性が示された。



図③-6. 捕獲準位密度分布の設定と

その時の0V-2V印加でのキャリア密度差分 (キャリア蓄積量)

- (a-1, 2) 界面から半導体層側へ60nm、 $1\text{E}20\text{cm}^{-3}$ の捕獲準位導入 (半導体層の他箇所は $1\text{E}19\text{cm}^{-3}$)
- (b-1, 2) 界面から半導体層側へ60nm、 $1\text{E}19\text{cm}^{-3}$ の捕獲準位導入 (半導体層の他箇所は $1\text{E}20\text{cm}^{-3}$)
- (c-1, 2) 界面から半導体層側へ10nm、 $1\text{E}20\text{cm}^{-3}$ の捕獲準位導入 (半導体層の他箇所は $1\text{E}19\text{cm}^{-3}$)
- (d-1, 2) 界面から半導体層側へ10nm、 $2\text{E}20\text{cm}^{-3}$ の捕獲準位導入 (半導体層の他箇所は $1\text{E}19\text{cm}^{-3}$)

③節のシミュレータ構築では、絶縁体のキャリア移動再現が困難であり、実験のキャリア蓄積量再現には至らなかった。しかしながら、半導体固体電池のPIN型 ($\text{TiO}_2/\text{SiON}/\text{NiO}$) 電池構造を模擬し計算することで、界面付近の捕獲準位が電池高容量化により重要な役割を果たし、局所的に多量の捕獲準位を導入することで、更なる高容量化を得られる可能性を示した。

④ 半導体ナノ粒子の作製

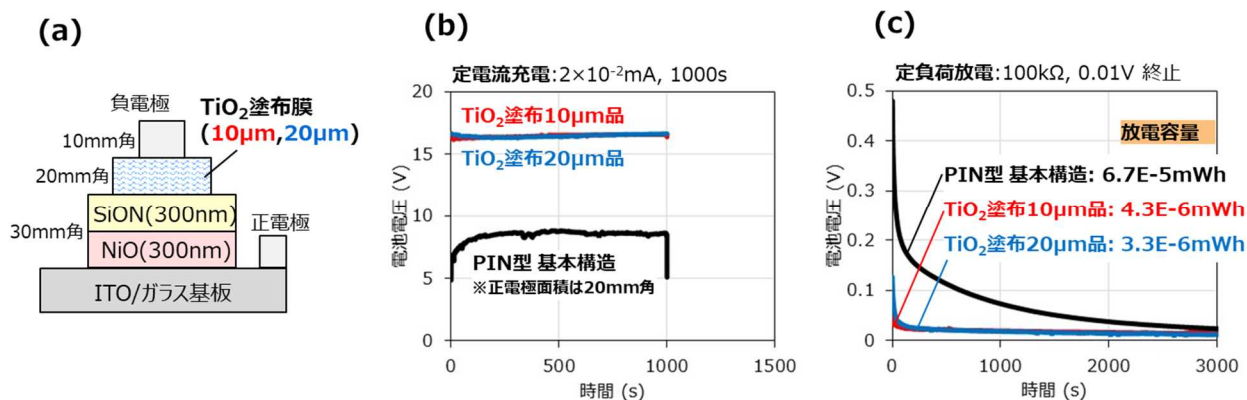
本業務項目は実施していない。

⑤ 塗布プロセスによる厚膜化検討（担当：株式会社東芝）

平成30年度は TiO_2 半導体層の膜厚、膜構造を含む膜物性変更が電池性能に与える影響を定量化するため、その第一弾として膜厚制御方法と共にその製膜プロセスを確立した。 TiO_2 粒子膜の形成については、これまで、スパッタ等の真空蒸着方式を選定してきたが、 $10\mu\text{m}$ 以上の厚膜化は困難であることから、 TiO_2 粒子の分散スラリーを用いた塗布プロセスによる厚膜化を検討した。その結果、 TiO_2 粒子膜の厚膜形成においては、膜厚の増加に伴い、乾燥、焼成時に膜応力が増加してクラックが生じるという課題があるが、 TiO_2 粒子分散スラリーを用いた静電塗布方式を採用することで、塗布過程での乾燥促進による応力緩和と積層による厚膜化が可能であることがわかった。そこで、平成31年度は、膜厚を制御した TiO_2 粒子膜を用いた電池の試作および評価を中心に実施した。

成膜方法は平成30年度と同様に、低粘度スラリーを用いた静電塗布方式を採用した。低粘度スラリーとして、 TiO_2 ナノ粒子($\phi 20\text{nm}$)、N-メチル-2-ピロリドン(NMP)溶媒、固形分濃度(NV)30%のスラリーを用いた。静電塗布装置は、ナガセテクノエンジニアリング社製静電塗布装置Micro Mist Coater (型式:PDR-08)を使用した。成膜検証の結果、ノズル径 $300\mu\text{m}$ 、印可電圧11kV、送液量 $0.1\text{cc}/\text{min}$ 、ノズルと基材間距離 40mm の吐出条件で、ステージ温度 80°C 、ノズル走査ピッチ 0.5mm 、走査速度 $50\text{mm}/\text{s}$ とした場合、厚さ $10\mu\text{m}$ の TiO_2 ナノ粒子膜を得た。さらに重ねて塗布することで、膜厚は2倍の $20\mu\text{m}$ に達することを確認した。成膜後に N_2 雰囲気下で 300°C 焼成した結果、クラックと膜剥がれがない TiO_2 ナノ粒子膜をえた。焼成は多段焼成で、溶媒除去を緩やかに進める恒率乾燥時間を設けてから本焼成する2段焼成を検討した。NMPの蒸気圧曲線から、沸点に到達しない蒸気圧 0.8気圧 となる 190°C で1時間焼成した後、 300°C で焼成することで焼成時のクラックが抑制できることを確認した。

形成した TiO_2 塗布膜を用いて電池試作を行った。 TiO_2 塗布膜は上記と同様の静電塗布法により $10\mu\text{m}$ と $20\mu\text{m}$ 成膜し、塗布膜以外はスパッタ法により成膜した。電池構造は図⑤-1(a)に示す通りである。成膜はSUSマスクを用いて実施したが、静電塗布では TiO_2 成膜の回込みが懸念されたため、下地層とのサイズ差を設けるため塗布膜や正電極サイズを小さめに設計した。デバイス作製後、電気化学装置を用いて、充放電特性を評価した。測定は、定電流($2\times 10^{-2}\text{mA}$)による1000秒の充電と、定負荷 $100\text{k}\Omega$ 接続による 0.01V 終止の放電を連続して行った。図⑤-1(b)に充電曲線、図⑤-1(c)に放電曲線と算出した放電容量(mWh)を示す。結果、 $10\mu\text{m}$ 、 $20\mu\text{m}$ 塗布膜においては同ロットで試作したPIN型基本構造に比べると1桁低容量であるが、電圧が一定時間維持されており蓄電動作が確認された。平成30年度に実施した膜の断面TEM像では膜内に空隙が存在することや、粒子同士の接触抵抗など電池としての抵抗上昇が考えられる。また、 TiO_2 粒子と SiON スパッタ膜界面での接触も少なく、標準PIN型の充放電メカニズムとして TiO_2/SiON 界面への電荷蓄積を想定した場合、微粒子分散膜での性能向上は困難であると考えられる。



(a) 電池構造、(b) 充電曲線、(c) 放電曲線

⑥ プロジェクトの総合的推進 (担当：東芝マテリアル株式会社)

プロジェクト全体の連携を密にし、円滑に運営していくため、定期的に各機関の技術者や外部有識者である片岡好則氏、鈴木幸治氏を招聘し、打ち合わせを開催した。打ち合わせではプロジェクト全体の進捗状況を確認しつつ、実験結果の解析や計画の合理性を検討し、プロジェクトの推進に努めた。平成31年度は4月22日、5月29日、6月14日、7月24日、8月27日、9月26日、10月7日、11月28日、12月24日、1月28日、2月25日、3月17日の計12回開催した。

また、平成31年度は、国際学術雑誌Electrochemistryへ論文投稿を行った。その他、科学情報誌、社報などを介して、外部への情報発信を積極的に行った。また、新たに1件特許出願を完了した。

3. 成果の外部への発表及び活動

1. 学会等における口頭・ポスター発表				
発表した成果（発表題目、口頭・ポスター発表の別）	発表者氏名	発表した場所（学会等名）	発表した時期	国内・外の別
発表題目：半導体を用いた全固体電池の作製と充放電特性の評価 発表形式：口頭発表	佐々木敦也 佐々木亮人 平林英明 齋藤秀一 青木克明 藪原秀彦 伊東孝洋 高木茂行 片岡好則 鈴木幸治	第 65 回 応用物理学会 春季学術講演会	平成 30 年 3 月 20 日	国内
発表題目：半導体の捕獲準位に電子を蓄積する固体電池の研究開発 発表形式：ポスター発表	平林英明 佐々木亮人 佐々木敦也	nano tech 2019	平成 31 年 1 月 30 日 ～平成 31 年 2 月 1 日	国内
発表題目：量子井戸構造を有する半導体固体電池の作製と充放電特性の評価 発表形式：口頭発表	佐々木敦也 佐々木亮人 片岡好則 伊東孝洋 平林英明	第 66 回 応用物理学会春季学術講演会	平成 31 年 3 月 9 日	国内

2. 学会誌・雑誌等における論文掲載				
掲載した論文（発表題目）	発表者氏名	発表した場所（学会誌・雑誌等名）	発表した時期	国内・外の別
Fabrication of solid-state secondary battery using semiconductors and evaluation of its charge/discharge characteristics	佐々木敦也 佐々木亮人 平林英明 齋藤秀一 青木克明 片岡好則 鈴木幸治 藪原秀彦 伊東孝洋 高木茂行	Japanese Journal of Applied Physics 57, 041201 (2018)	平成 30 年 3 月 7 日	国内・外

Spectroscopic study of TiO _x film for novel n-type semiconductor/insulator/p-type semiconductor rechargeable device	藪原秀彦 佐々木亮人 片岡好則 鈴木幸治 伊東孝洋 高木茂行 平林英明	Electrochemistry	令和2年3月31日	国内・外
Development of novel rechargeable battery using electrons and holes accumulated in potential wells formed by semiconductor band offset	藪原秀彦 佐々木亮人 片岡好則 鈴木幸治 伊東孝洋 高木茂行 平林英明	Chemistry of Materials	令和2年5月投稿 (投稿中)	国内・外

3. 知的財産権の申請状況				
発明の名称	発明者 氏名	出願登録区分	出願番号（出願日）	出願人
半導体固体電池	佐々木亮人 平林英明	出願	特願 2019-227981 (令和元年12月18日)	株式会社 東芝、東芝マテリアル株式会社

4. まとめ、今後の予定

本研究は、これまでの電池とは異なり、半導体技術を応用した原理で動作する半導体固体電池に関する基礎研究である。半導体固体電池は、半導体層に電子・正孔キャリアを溜め、必要に応じてこれを取り出すことができる。電子や正孔で動作する完全固体の電池であり、リチウムイオンなどを用いた有機電解液系の電池とは異なり、発火の危険性が低いといったメリットがある。我々が提案する半導体電池は、n型半導体/絶縁体/p型半導体を標準構造としており、スパッタ成膜したTiO₂/SiON/NiO半導体電池では、平行平板コンデンサーと比較して5000倍以上の容量を有することを実証した。さらに、本研究では高容量化を目的とした材料や電池構造の改良、充放電メカニズム解明に取り組んだ。

具体的な実施項目として、半導体層の形成・半導体電池試作、準位・キャリア密度の評価、シミュレーションによる充放電メカニズム検証、微粒子塗布プロセスの検討など多岐にわたる実験・検証を行った。半導体層としてはPIN型標準構造として、TiO₂、SiON、NiOを用いるが、スパッタ成膜条件や熱処理によって抵抗率の減少や捕獲準位量制御が可能であることを確認した。目標としていたリチウムイオン電池ほどの容量は得られなかったが、電池容量は 3.15×10^{-3} mWh (サイズ: 4 cm²) であり、研究開始時から約6倍の高容量化を達成した。

さらに、本研究を進める中で、研究開始時想定していた、TiO₂やNiOの半導体層にキャリアを蓄積するモデルとは異なる可能性が高いことも明らかになった。そこで、PIN型電池ではキャリア蓄積箇所や充放電メカニズムの解明にも注力した。一つの試みとして、TiO₂/SiON/金属、金属/SiON/NiOなどの金属-絶縁体-半導体(MIS)構造のデバイス試作と評価を行い、MIS構造ではキャリア蓄積がほとんど無いことが確認できた。さらに、NiOからSiONへの正孔注入と伝導が確認されたが、TiO₂からSiONへの電子伝導は極めて小さいことが判明した。すなわち、充電時には電子・正孔キャリアはTiO₂/SiON界面近傍に局在的に蓄積している可能性が示唆された。本モデルでは、NiO

からSiONへの正孔注入が必要であるが、文献値等から推測されるバンドオフセットではエネルギー障壁が大きく、正孔注入は困難であると考えられる。それにも関わらず、正孔注入が起こるメカニズムの一つとして、NiO/SiON界面におけるNiO突起形成による効果や、SiON中に固有エネルギーギャップ内準位が存在し、正孔が注入されると考えた。また、キャリア蓄積箇所としてはTiO₂の膜中の欠陥準位が最も有力であると推定していたが、TiO₂膜中の欠陥の密度は実測された電池の蓄電量の1/3以下であり、一部電子はこの欠陥に捕獲され蓄電されている可能性はあるが、主要な蓄電箇所ではないことが推測された。また、TiO₂/SiON界面もPIN型電池での電子の主要な蓄積箇所ではないと推定された。PIN型構造の電池ではSiON膜中あるいはTiO₂膜界面付近のSiON膜中の欠陥が有力な電子の蓄積箇所であると考えている。

高容量化を目的とした量子井戸型電池では井戸型ポテンシャルを形成できる構造として、微粒子分散型、積層型の2種類を検討した。微粒子分散型では α -Si/ β -FeSi₂微粒子分散膜とSiN/Si微粒子分散膜を用いた電池試作を実施した。その結果、充放電動作は確認できたものの、量子井戸深さが小さいため、充電時のキャリア蓄積が困難である可能性が考えられた。積層型電池では、N型のTiO₂部分にSiO₂/TiO₂積層膜を、さらにP型のNiO部分にSiO₂/NiO積層膜を挿入・追加した電池を作製した。充放電測定の結果、PIN型基本構造に対して積層型では容量の大きな変化はなく、PIN型の同等の容量であった。この結果から、量子井戸が形成できていない可能性が考えられた。そこで、積層部分をスパッタ法からより平坦な膜形成が可能な原子層堆積法(ALD)の検討を実施した。断面構造観察によって、膜の平坦性向上は確認できたが、電池容量の向上は確認できなかった。原因としてSiO₂膜をトンネル効果によってキャリアが移動することで、PIN型標準構造と同様のメカニズムが働き、同程度の容量であった可能性がある。

シミュレーションによる充放電メカニズムの解明では、ドリフト拡散シミュレータに改良を加え、PIN型電池構造における捕獲準位位置・量を計算できるプログラムを新たに構築した。これを使用し、半導体層へ多量の捕獲準位導入をしたPIN型構造を想定し、キャリア蓄積の計算を行った結果、半導体層へのキャリア蓄積が困難であることが分かった。実験からも、TiO₂/SiON界面近傍での電子正孔蓄積の可能性が示唆されていることから、半導体/絶縁体界面を考慮可能なシミュレータの構築をさらに進めた。その結果、界面付近に局所的かつ多量の捕獲準位を設けることで、電池高容量化に繋がる可能性が示された。しかし、実際のキャリア蓄積量と比較すると、2桁程度少なく、界面付近のキャリア蓄積は充放電メカニズムの主要因ではないことが示唆された。また、半導体電池が原理上、実用電池として活用可能かを確かめるため、PIN型標準構造の電池を用いて直並列動作の検証を行った。その結果、半導体電池の直並列動作を確認し、一般的な電池と同様、直・並列接続により電圧・容量の増大が可能であることが実証された。

本研究はリチウムイオンを用いた全固体電池とは異なり、電子・正孔キャリアを利用した新規性の高い半導体固体電池に関する研究である。本研究期間全体を通じて学会、論文、展示会等での発表を継続的にこなうことで半導体固体電池の認知度が高まり、現在活発に研究開発が行われている全固体電池のなかで、リチウムイオンを用いないユニークな電池としての関心が高まってきている。真空成膜プロセスが使用可能なため、燃えないという利点以外に多層積層やパターニングによる容量・電圧増大やさらなる微細構造も容易であることなど、リチウムイオン電池にはない特長を有している。このような特長を活かした用途としてIoT分野への応用が考えられる。IoT社会を実現するためには、あらゆるモノに電源が必要となるが、電源配線や電池交換が難しい場所が存在する。そこで、光、振動、温度差、電波など環境中のエネルギーを電気に変換するエネルギーハーベスティング技術が、IoT社会実現を支える基盤技術のひとつとして注目されている。これらのデバイスでは環境発電から得たエネルギーで演算、記憶、無線送信を行う。そのため、外部エネルギーが足らなく、電源喪失をする頻度が高く、特にLSIの演算の途中結果は喪失してしまうリスクがある。電源喪失時に瞬時にデータを保管するバックアップ機能があればこの問題は解決できる。このようなバックアップ電源機能を有するデバイスとしては、リチウムイオン電池や電気二重層キャパシタなどが候補となる。しかし、電解液を含むため、液漏れの危険性が高いこと、デバイスサイズが大きく、IoT端末も立体的になってしまうといった課題がある。半導体全固体電池であれば、平面的であるため、オンチップでの搭載も可能であり、大容量、かつ低損失の薄膜蓄電デバイスとしても有望である。現在、市販されているIoT

用マイコンチップでは、1時間に1回の測定を行う場合、1日に必要な電力は 2.76×10^{-3} mWhと試算される。一方、半導体電池で現状得られている容量は 3.15×10^{-3} mWh(サイズ:4cm²)であり、1日分の電力は賄える計算である。測定頻度や環境発電の発電量にもよるが、数日分の消費電力を蓄えるためには、さらなる容量増大が必要である。半導体全固体電池の実用化に向けて、高容量化や耐久性の向上を進めることで、IoT社会の実現に貢献できると考えている。

【参考文献】

- [1] M. Sawata et al., "Formation of amorphous Si/ β -FeSi₂ composite thin films by co-sputtering" 62th Jpn. Soc. Appl. Phys. spring meeting 13a-A25-9 (2015).
- [2] I.B.Gallo and A.R.Zanatta, "Structural-electronic aspects related to the near-infrared light emission of Fe-doped silicon films", Solid State Communications, 151, 587-590 (2011).
- [3] K. Okajima, et al., "Photoelectric Properties of β -FeSi₂ Nano-particle-Amorphous Si Composite Thin Films", denki kagaku 67(3), 248-252, 1999-03.
- [4] β -FeSi₂ ICSD Reference code: 98-000-9119, Crystal system: orthorhombic, Space group: *Cmca*, *a*=9.8630 Å, *b*=7.7910 Å, *c*=7.8330 Å.
- [5] K. Hirata, H. Hara and H. Katsumata, Optical transition in nanocrystalline Si doped SiO₂ thin films formed by co-sputtering, Canadian J. Phys., 92, 732-735 (2014).
- [6] A. Coyopol, M.A. Cardona, T. Díaz Becerril, L. Licea Jimenez, A. Morales Sánchez, Silicon excess and thermal annealing effects on structural and optical properties of co-sputtered SRO films. Journal of Luminescence 176, 40-46 (2016).
- [7] A. Sasaki, et al., "Fabrication of solid-state secondary battery using semiconductors and evaluation of its charge/discharge characteristics", Jpn. J. Appl. Phys. 57, 041201 (2018).
- [8] 松浦 他, 電子通信学会研究会(SSD 86-27) (1986).
- [9] M. Shaban, et al., Jpn. J. Appl. Pys., 46, L667-669 (2007).
- [10] J.Zhang, et al., "UV Raman Spectroscopic Study on TiOx.I", J. Phys. Chem. B, 110, 927 (2005).
- [11] D.K.Pallotti et al., "Photoluminescence Mechanisms in Anatase and Rutile TiO₂", J. Phys. Chem. C, 121, 9011-9021 (2017).
- [12] A.B.Nemashkalo et al., "Electronic band structure studies of anatase TiO₂ thin films modified with Ag, Au, or ZnO₂ nanophases", Phys. Status Solidi B, 253(9), 1754-1764 (2016).
- [13] C.D.Guerra et al., "Cathodoluminescence and Photoluminescence Spectroscopy of NiO", Phys.stat.Sol.A, 163, 497 (1997).
- [14] Y. Kitahara, et al., "Statistical study of subthreshold characteristics in polycrystalline silicon thin-film transistors", J. Appl. Phys. 94, 7789 (2003).