別紙２

平成２９年度防衛装備庁
安全保障技術研究推進制度

成果報告書

ヘテロ構造最適化による
高周波デバイスの高出力化

平成３０年５月

富士通株式会社

本報告書は、防衛装備庁の安全保障技術研究推進制度による委託業務として、富士通株式会社が実施した平成２９年度「ヘテロ構造最適化による高周波デバイスの高出力化」の成果を取りまとめたものです。

目次

１．委託業務の目的　・・・・・・・・・・・・・・・・・・・・・1

２．平成２９年度（報告年度）の実施内容　・・・・・・・・ 252

２．１ 実施計画
２．２ 研究実施日程
２．３ 研究成果の説明

３.成果の外部への発表及び活動　・・・・・・・・・・・・・・・363

４.まとめ、今後の予定　・・・・・・・・・・・・・・・・・・・・366

１．委託業務の目的

１．０　委託業務の目的

本委託業務では、革新的な高出力・高周波デバイスの実現に必須となる 3 つの要素技術について、ヘテロ構造最適化の観点から基礎的研究を実施する。具体的には、高出力に特化した基幹となる要素技術群について、シミュレーションを基に原理検証を進め、最終的に各要素技術を統合することで高出力化に向けた確実な道筋を提示する。

各要素技術のうち、「高電流密度を達成するエピタキシャル結晶技術」においては、本研究の基盤を成す高電流密度の実現に有用な InAlN、InAlGaN 結晶の高品質化に取り組む。また、ピンチオフ特性の改善ではシミュレーションを用いて最適エピ構造を設計すると共に、設計構造を具現化するためのバックバリア成長技術開発を進める。

「出力性能を向上させるデバイス設計・プロセス技術」においては、In 系結晶に適用可能なプロセス技術を追求し、オーミックコンタクトの低抵抗化技術を確立する。同時に、高出力化で低下が懸念される信頼性の確保に向けて低トラップ絶縁膜の適用を検討し、絶縁膜性能向上の技術課題抽出とその解決に向けた取り組みを実践する。また、デバイスシミュレーションによる高電流密度設計から最適なデバイス構造を提案・フィードバックする。

「出力増加による発熱影響を緩和する高放熱技術」においては、放熱計算シミュレーションを用いて現行技術の限界見極めと異種材料による性能向上効果を検証する。また、異種材料接合に要求される表面平坦性を確保するための研磨技術および最適な界面構造の実現に向けた接合技術を検討する。

最終年度においては各要素技術の融合・検証を実施し、現行素子サイズで従来比出力 2 倍を目標としたデバイス実証を行う。

１．１　研究開始時に設定した研究目標の達成度

研究背景

特異な物理特性を有する窒化物半導体は、産業界に革命を起こしたLEDのみならず高出力･高周波デバイスのキーマテリアルとしても近年脚光を浴びており（図1)、特に安全保障の観点から、レーダー・通信用デバイスへの応用を目指して各国で熾烈な開発競争が繰り広げられている。日本は窒化物半導体において有数の技術先進国であり、既に従来の真空管やSiデバイスを凌駕する高い電力変換効率を備えた増幅器の実用化が進んでいる。一方で、更なる電波到達距離の延伸や大容量通信およびレーダー用途における高精細化など、我が国が描く将来の安全保障を実現するには既存概念を覆す革新的な高出力デバイスの創出が鍵となる。しかしながら、現行の窒化物デバイス技術を単に延長するだけでは既存技術の限界と高出力化に伴う発熱の影響により改善効果は限定的であり、早晩飽和することが予測されている。この現状を打破するには窒化物半導体の限界性能を引き出す先進的デバイス技術の研究が不可欠である。

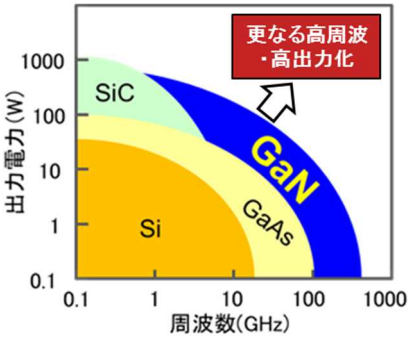


図 1 材料別の適用可能領域

現在の高周波デバイスとして主流である窒化ガリウム高電子移動度トランジスタ（Gallium Nitride High Electron Mobility Transistor：GaN-HEMT）は、GaN チャネル上に電子供給層として AlGaN を配した構造であり、AlGaN/GaN のヘテロ界面に形成される高濃度な 2 次元電子ガスを動作に用いることを特徴とする。

AlGaN/GaN-HEMT の開発は、1990 年代前半に発表された Asif Khan 氏（現 University of South Carolina）らの研究成果に端を発し[1]、その後、各国の研究機関において AlGaN/GaN-HEMT をベースとしたデバイスの高周波・高出力化が精力的に進められた。図 2 は各材料系における動作周波数と出力との関係を示しているが、アプリケーション別に見ても GaN-HEMT は広範な動作周波数領域で従来材料では不可能な高周波・高出力特性を実現している。

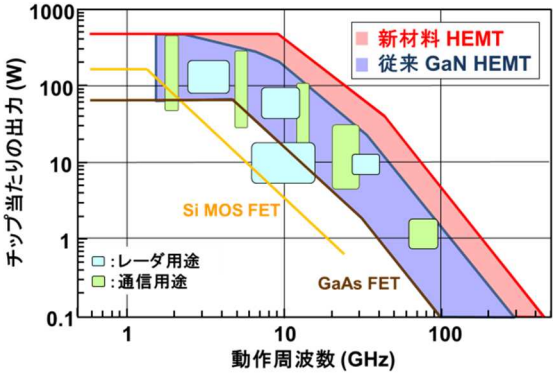


図 2 GaN 系デバイスの既適用領域

しかしながら、AlGaN/GaN-HEMT デバイスの特性改善の流れは近年鈍化傾向にあり、さらなる高出力化を達成するには界面制御技術まで含めた新規材料技術の導入およびデバイス設計・プロセス技術の進展が必須となる。HEMT 型デバイスは多数の異種材料接合から構成されるため、界面の状態がデバイス性能を大きく左右することが知られて

いるが、その学術的知見や克服技術は現在でも十分とは言えない。例えば、AlGaN/GaN-HEMT では電子供給層における Al 組成の増加が低抵抗化に寄与するが、同時に AlGaN/GaN 界面の格子不整合が増大するため界面欠陥の導入による特性劣化が生じる。そのため長期信頼性においても実用に足る AlGaN/GaN-HEMT の低抵抗化は 300Ω/sq.台前半に留まる。

また、ゲートリーク電流の低減や高出力化を目的とした印加電圧の増加など、革新的な高出力・高周波デバイスを追求するには耐圧性能の更なる改善が主要技術のひとつとなる。

一般に耐圧課題の対処には、電極－半導体間に絶縁膜を配した所謂 MIS（Metal-Insulator-Semiconductor）型構造の適用が有効であるとされている。しかし窒化物半導体と絶縁膜との異種材料界面には電子トラップを誘起する欠陥が導入され易く、更なる高周波・高出力化における阻害要因の一つとなっている。さらに、高周波化と電力変換効率はトレードオフの関係にある。高効率を誇る GaN-HEMT においても大幅な高出力化を達成するには、デバイス構造の理論的最適化による発熱抑制に加え、発生した熱を効率的に排熱する高放熱化が大きな課題となる。現行のデバイスでは発生した熱を支持基板側に配置したヒートシンクにより排熱しているが、実デバイスの熱抵抗は 150 W 級 S 帯 GaN デバイスを例にとると 1.5℃/W 程度である。さらなる性能向上を図ると、熱抵抗が出力限界を決定することになり、熱の拡散をより促進する構造も同時に必要となる。

上述のように、現状性能を打破する高出力・高周波 GaN-HEMT デバイスの実現には、異種材料の界面制御、即ちヘテロ構造における最適化技術の創出が極めて肝要となる。また、この核となる技術を最大限活かすためには、新材料に領域を広げた結晶技術の確立やデバイス構造の刷新、さらには新規放熱技術などの要素技術群も並行して研究することが求められる。

研究方針

本研究では、我々がこれまでに蓄積した窒化物半導体の知見をベースとして、GaNデバイスの飛躍的な性能向上に必須となるヘテロ構造最適化に関する基礎的検討を実施する。具体的には、高出力に特化した基幹となる要素技術群について、シミュレーションを基に原理検証を進め、最終的に各要素技術を統合することで高出力化に向けた確実な道筋を提示する。

ヘテロ構造の最適化技術が確立されれば、従来技術では到達し得なかった窒化物半導体デバイスにおける限界的性能の実現が可能となり、レーダー用途においても探知距離の増大や対象物の高精細探知など、基本性能の大幅な改善に貢献できる。

このように本研究では国民の安心・安全を具体的な手段で実現し、日本の産業界にも大いなる活力を与えうる先進的デバイス技術の創出に向け、窒化物半導体の飛躍的な性

能向上に必須となる要素技術群の確立を目指すものである。

研究の進め方

本研究では、革新的な高出力・高周波デバイスの実現に必須となる 3 つの要素技術についてヘテロ構造の最適化に着眼した基礎的研究を遂行すると共に、確立された各要素技術を統合したデバイスを試作して性能検証を行った。なお、デバイス性能の最終目標は現行素子サイズにおいて従来比出力 2 倍とし、以下の進め方で研究開発を実施した。

本研究が開発対象とした 3 つの要素技術を図 3 に、それらの要素技術を統合したデバイス構造と従来構造の比較模式図を図 4 に示す。それぞれの要素技術は 2 ないし 3 項目の個別技術（図中①～⑧に相当）から構成される。各々の個別技術は独立した技術課題に対応するが、最終目標に向けて相互に機能を補完する関係にある。そこで、研究進捗の目安として本研究期間の各年度に個別技術のマイルストーンを設定すると共に(表 1)、開発ステージの区切り毎に各技術を融合したデバイス試作（図中⑨に相当）を実施し、最終目標への達成度を検証した。さらに、デバイス評価で獲得した知見と新たに抽出された課題を開発へフィードバックすることで要素技術の改善と最適化を図った。

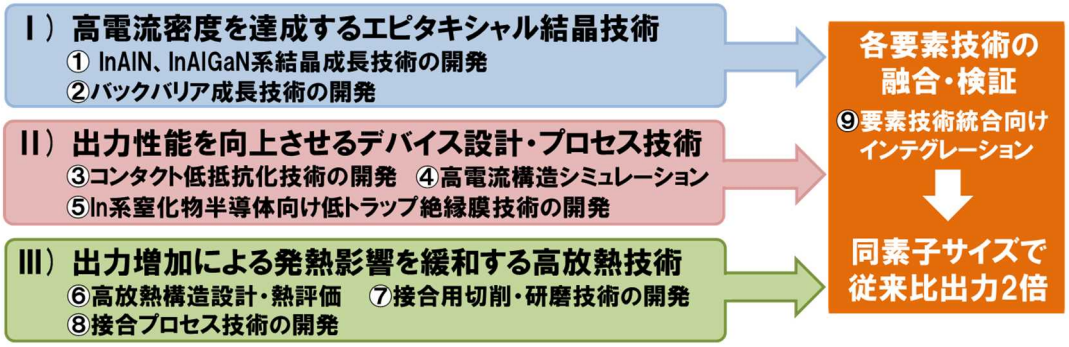
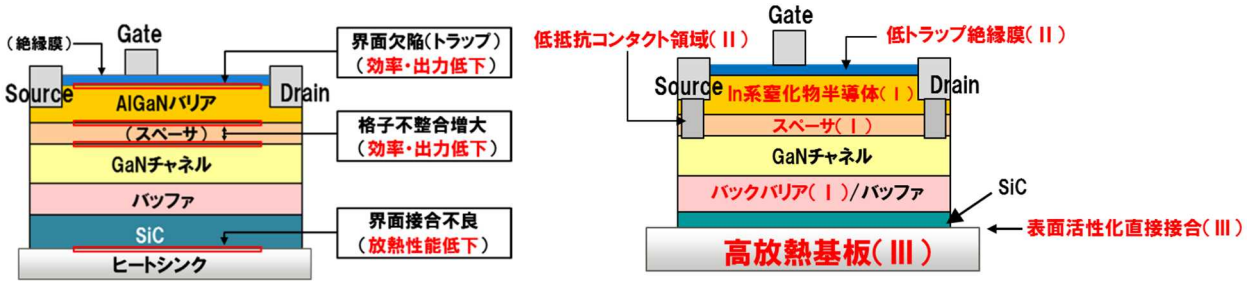


図 3 本研究で検討した要素技術と開発項目



従来構造（AlGaN/GaN-HEMT）　　本研究構造（In 系 GaN-HEMT）

図 4 従来構造と本研究構造の比較

表 1 開発項目と各年度の設定目標

	開発技術項目	27年度目標	28年度目標	29年度目標
要素技術Ⅰ	①InAlN,InAlGaN系結晶成長技術の開発	スペーサRa<0.25 nm	シート抵抗 <200 Ω/sq.	シート抵抗<200 Ω/sq. かつ 表面平坦性(Ra)<0.2 nm
要素技術Ⅰ	②バックバリア成長技術の開発	バックバリア構造設計完了	従来構造でのバックバリア効果検証 オフリーク<1E-6 A/mm	In系構造でのバックバリア効果検証 オフリーク<1E-5 A/mm
要素技術Ⅱ	③コンタクト抵抗低減技術の開発	注入処理 による コンタクト抵抗<0.5 Ωmm	低温再成長処理による コンタクト抵抗<0.5 Ωmm	再成長プロセス技術の最適化
要素技術Ⅱ	④高電流構造シミュレーション	注入効果予測の計算完了	再成長効果予測の計算完了	・シミュレーション精度の向上(±10%) ・試作への最適化構造フィードバック
要素技術Ⅱ	⑤In系窒化物半導体向け 低トラップ絶縁膜技術の開発	ゲートリーク <1E-6 A/mm	CV評価によるヒステリシス≦±0.5 V	閾値電圧変動とゲートリーク電流の抑制 (Ig<1E-6A/mmかつ⊿Vth<±0.5V)
要素技術Ⅲ	⑥高放熱構造設計・熱評価	シミュレーション環境構築完了	・現行および理想接合の放熱限界算出 ・実材料の熱パラメータ取得	SiC/ダイヤモンド界面熱抵抗の見極め
要素技術Ⅲ	⑦接合用切削・研磨技術の開発	・SiC:Ra<0.2 nm ・ダイヤモンド:Ra<4 nm	・SiC:膜厚<50μm、Ra<0.1 nm ・ダイヤモンド:Ra<0.3 nm	SiC:膜厚<30μm、Ra<0.1 nm
要素技術Ⅲ	⑧接合プロセス技術の開発		表面活性接合によるボイド率<50%	薄膜SiCとダイヤモンドの接合技術確立
統合化	⑨要素技術統合向けインテグレーション		・要素技術のデバイス試作と検証 ・統合デバイス一次試作と課題抽出	・統合デバイス二次試作と効果検証 ・統合デバイス最終試作と出力2倍の実証

研究成果

要素技術開発

前述した研究方針に従い、ヘテロ構造最適化の観点から高出力に特化した基幹となる要素技術群の開発に取り組み、開発技術項目の①～⑧における全ての設定目標を達成した。開発した各技術項目の概要を以下に示す。なお、各開発技術項目の詳細は 1.1.1 項から 1.1.8 項に記載した。

① InAlN、InAlGaN 系結晶成長技術の開発

平成 27 年度は、InAl(Ga)N/GaN-HEMT の性能を左右する Al(Ga)N スペーサ層の平坦化を実施し、原料マイグレーション長を制御することで 0.25 nm 未満の Ra（算出平均粗さ）を達成した。

平成 28 年度は、前年度に開発したスペーサ層を適用した InAlN/GaN-HEMT の構造最適化を実施し、シート抵抗 200 Ω/sq. 未満の HEMT 構造結晶を実現した。

平成 29 年度は、InAlGaN 供給層の高品質化と構造最適化を実施し、目標性能として設定したシート抵抗 200 Ω/sq. 以下かつ表面平坦性 Ra 0.20 nm 未満を達成した（図 5）。また、開発で獲得した知見を基に最適化した In 系結晶を作製し統合デバイス最終試作へ適用した。

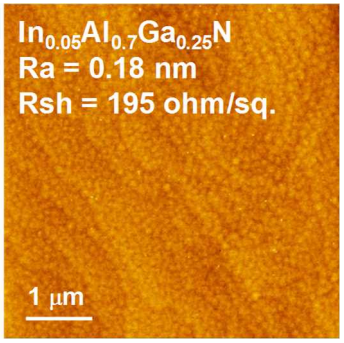


図 5 InAlGaN 結晶の AFM 像

② バックバリア（Back Barrier：BB）成長技術の開発

平成 27 年度は、BB 構造のデバイスシミュレーション（図 6）および、4 種の BB 構造 HEMT 結晶を有機金属化学気相成長（Metal-Organic Chemical Vapor Deposition：MOCVD）法により作製し、表面平坦性や結晶性の評価からデバイスへ適用するバックバリア構造を選定した。

平成 28 年度は、BB 構造を有する AlGaN/GaN-HEMT 結晶を作製し、統合デバイス一次試作の結果から 1E-6 A/mm 以下（V_{ds}= 50 V）のオフリーク電流抑制効果が得られることを確認した。

平成 29 年度においては、Fe 濃度プロファイルの制御性向上技術、および InGaN BB の上方 GaN 層における品質改善を検討し、In 系 GaN-HEMT においてオフリーク電流の目標値 1e-5A/mm 未満（V_{ds}= 50V）を達成した。確立した最適構造成長技術を統合デバイス最終試作に適用した。

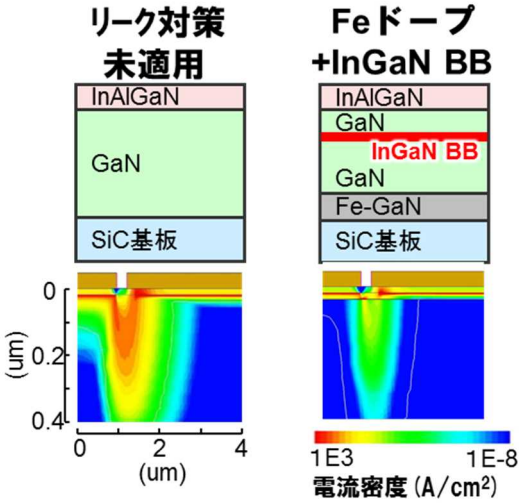


図 6 BB 構造のシミュレーション結果

③ コンタクト抵抗低減技術の開発

平成 27 年度は、Si イオンの高濃度注入により、目標とした 0.5 Ωmm を下回る低コンタクト抵抗を実現した。

平成 28 年度は、分子線エピタキシー法（Molecular Beam Epitaxy：MBE）を用いた低温低抵抗再成長によるコンタクト抵抗低減技術を開発し、0.1 Ωmm 台の低コンタクト抵抗を実現した。

平成 29 年度は、MOCVD 法による再成長技術を確立し、目標値となる 0.5 Ωmm を大幅に低減する 0.1 Ωmm 台を実現すると共に（表 2）、プロセス容易性による優れた量産性能を実証した。本技術は最適化を実施し、統合デバイス最終試作に適用した。

表 2 各再成長法によるコンタクト抵抗比較

成長手法	Dopant濃度 (cm^{-3})	コンタクト抵抗 (Ωmm)
MBE	Si: >2x10^{19}	0.161
MOCVD	Si: >2x10^{19}	0.158
MOCVD	Ge: >1x10^{20}	0.129

④ 高電流構造シミュレーション

平成 27 年度は、デバイスシミュレーション環境を構築し、高濃度イオン注入による効果予測計算を完了した。

平成 28 年度は、低抵抗再成長技術を適用したオーミック電極構造の計算を実施し、最適構造をデバイスシミュレーションにより決定した。また、試作デバイス測定結果と

予測計算結果の比較を行い、本計算手法の高い精度を確認した。

平成 29 年度は、ドレイン耐圧向上によるトランジスタ出力の改善について検討を行い、電子供給層組成を制御することで、ゲート電極近傍の電界集中を緩和できることを示した（図 7）。また、本計算で得られた最適構造を統合デバイス最終試作に適用した。

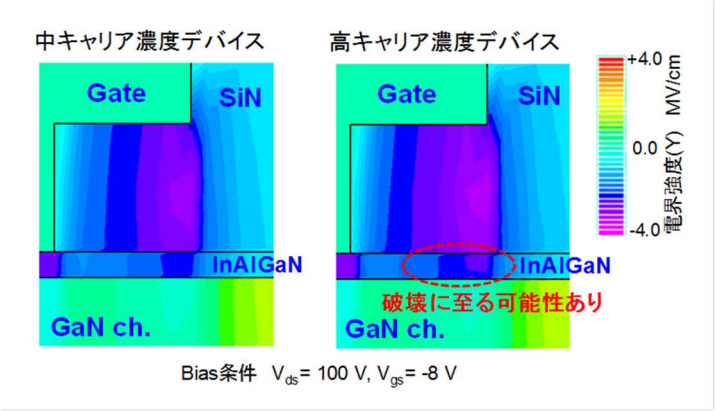


図 7 ゲート電極ドレイン端近傍における電界集中とそのキャリア依存性

⑤ In 系窒化物半導体向け低トラップ絶縁膜技術の開発

平成 27 年度は、原子層堆積法(Atomic Layer Deposition：ALD)を用いた Al_2O_3 の成膜条件について基礎検討を行い、O_2 プラズマ-Al_2O_3 を InAlN/GaN-MIS-HEMT に適用することで、ゲートリーク電流の低減(Ig ＜ 1E-6 A/mm)を達成した。

平成 28 年度は、低ダメージ水蒸気処理層を形成した 2 層構造を開発し、低トラップ化の指標である C-V 特性のヒステリシスを±0.5 V 以下に抑制した。

平成 29 年度は、Al_2O_3 を成膜する際のプラズマパワーを低減すると共に、H_2O 蒸気酸化層の膜厚制御性を向上させることで、InAlN/GaN-MIS-HEMT の閾値電圧変動(ΔV_{th})を±0.05 V 以下まで抑制し、開発目標値(ΔV_{th} ＜ ±0.5 V, Ig ＜ 1E-6 A/mm)を達成した（図 8）。また、「④高電流構造シミュレーション」の予測を基に膜厚を決定した Al_2O_3 を統合デバイス最終試作に適用した。

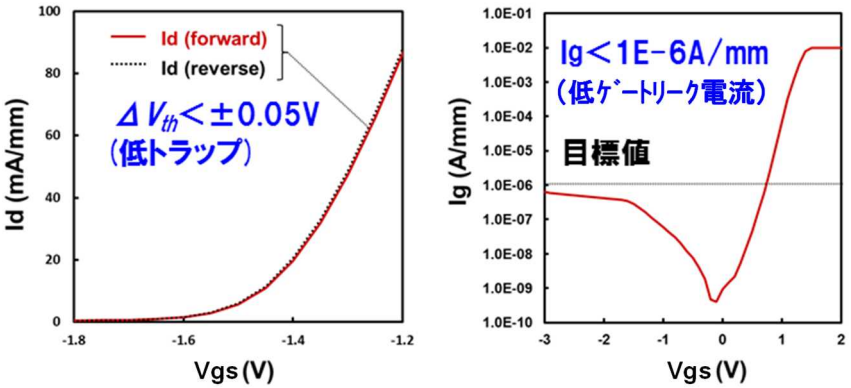


図 8　2 層 Al_2O_3 低トラップ絶縁膜の適用効果
(左図)閾値電圧変動の抑制　(右図)ゲートリーク電流の低減

⑥ 放熱設計・熱評価

平成 27 年度は、3D 熱シミュレーション技術の計算環境を構築して放熱シミュレーションの初期検討を開始し、現行技術の限界見極めと異種材料による性能向上効果を検証した。

平成 28 年度は、現行放熱構造である SiC/AuSn/Cu 系ベースプレートにおける放熱限界および理想的に接合した SiC/ダイヤモンド構造による放熱限界の見極めを行った。また、適切な熱評価手法を選定・適用して SiC やダイヤモンド膜等の熱パラメータを取得し、精度向上に向けたシミュレーションへのフィードバックも併せて実施した。

平成 29 年度は、前年度に取得した熱パラメータを用いた熱シミュレーションを行い、実現可能なデバイス構造における放熱の最適化を図った（図 9）。さらに熱抵抗を従来デバイス比で 30%低減するために必要な SiC/ダイヤモンドの界面熱抵抗を熱シミュレーションにより見極め、接合プロセス技術にフィードバックした。

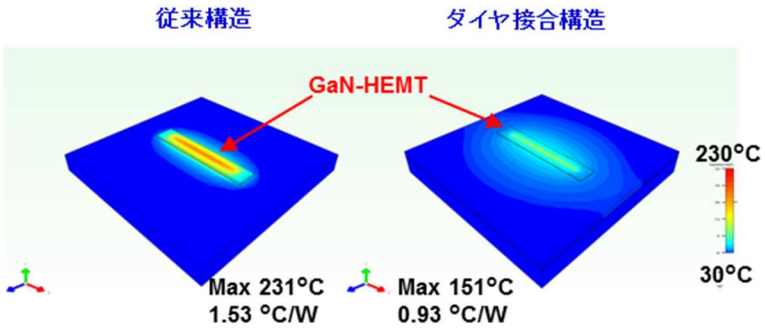


図 9　200 W 級 GaN PA の表面温度分布比較

⑦ 接合用切削・研磨技術の開発

平成 27 年度は SiC 研削・研磨およびダイヤモンドの研磨の初期検討を実施し、100 μm まで薄化した SiC において 0.2 nm 以下、ダイヤモンドにおいて 4.0 nm 以下の Ra を実現した。

平成 28 年度は表面活性化接合（Surface Activated Bonding:SAB）の適用を目的として SiC およびダイヤモンドの更なる平坦化を追求すると共に、放熱性向上に有利となる SiC の薄層化を行い、目標値である SiC 膜厚 50 μm および 0.1 nm 以下の Ra を実現した。また、ダイヤモンドの平坦化については化学機械研磨（Chemical Mechanical Polishing：CMP）、機械研磨のいずれにおいても約 0.1 nm の Ra が得られ、目標値とした 0.3 nm 以下

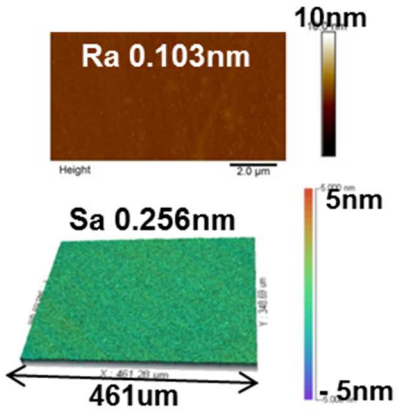


図 10 ダイヤモンド表面の AFM 像

を達成した（図 10）。

平成 29 年度は、高放熱なデバイス構造の実現を目指し、SiC 膜厚を 30 μm 以下まで薄膜化可能な切削・研磨技術を確立した。また、目標とした研磨表面の平坦化（Ra＜0.1 nm）も達成した。さらに、薄化した SiC 基板端は脆弱となるため、クラックやチッピングを抑制するウェハーサポート技術も開発した。

⑧ 接合プロセス技術開発

平成 28 年度は、SiC とダイヤモンドの接合手法として SAB 法を検討し、ボイド率が 50%未満となる接合状態を達成した。一方、Ar 照射によりダイヤモンド表面に非晶質層が形成され、接合強度低下の要因になることが示唆された。

平成 29 年度は、接合強度の向上を目的としてダイヤモンド上に Ti カバー膜を用いる新規の接合技術を開発し、ほぼボイドのない強固な SiC/ダイヤモンド接合を実現した。Ti カバー膜を用いた SiC/ダイヤモンド接合技術を統合デバイス最終試作に適用し、未適用デバイスと比較して熱抵抗を 60%以上低減可能であることを示した（図 11、12）。

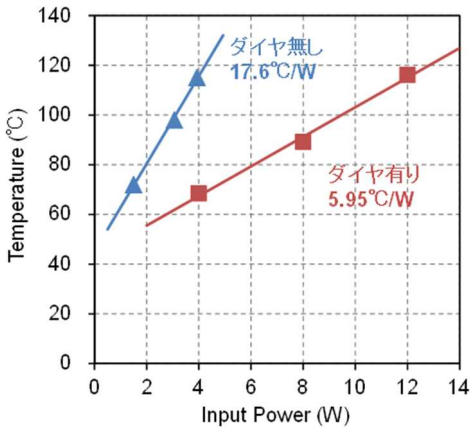


図 11　熱抵抗評価におけるダイヤ有無の比較

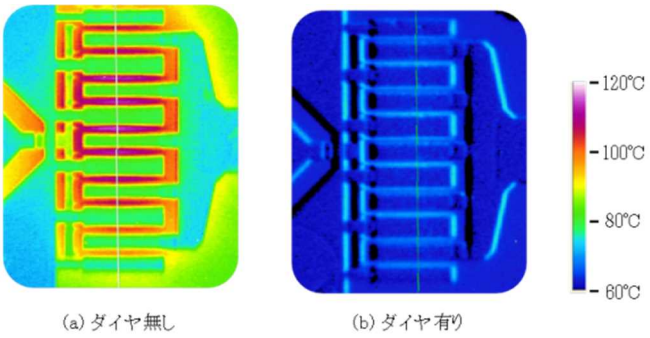


図 12　パワー印加時の発熱状態比較

統合デバイス実証（⑨要素技術統合向けインテグレーション）

前述の各要素技術を統合したデバイス試作を実施・検証し、本研究の最終目標となる「現行素子サイズにおいて従来比出力 2 倍」を達成した。

デバイス試作にあたり複数の要素技術を同時に適用した場合、相互に影響を及ぼし合うことにより意図せず特性が低下することが予想される。そのため、本研究開発においては、要素技術の一部統合から始め、段階的に統合技術を増やして最終的に全要素技術の統合を行った。表 3 に統合デバイス試作毎の適用要素技術の一覧を示す。

本節では、最終目標を達成した二次試作（Ⅰ）、最終試作（Ⅰ）（Ⅱ）について結果を報告する。なお、本開発技術の詳細は 1.1.9 項に記載した。

表 3 統合デバイス試作毎の適用要素技術一覧

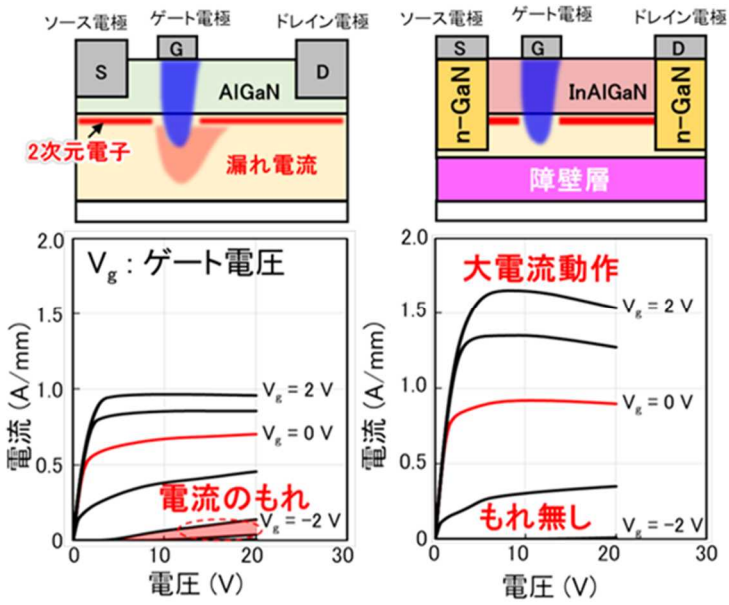
要素技術	統合デバイス						
	一次試作			二次試作		最終試作	
	（Ⅰ）	（Ⅱ）	（Ⅲ）	（Ⅰ）	（Ⅱ）	（Ⅰ）	（Ⅱ）
①In系供給層	○	○	○	○	○	○	○
②バックバリア	○			○	○	○	○
③コンタクト		○		○	○	○	○
⑤絶縁膜			○				○
⑦切削・研磨						○	○
⑧ダイヤ接合						○	○

二次試作（Ⅰ）ミリ波帯向けデバイス

図 13 に作製した HEMT の 3 端子特性の結果を示す。In 系電子供給層による 2DEG 濃度増加および、オーミック電極部の再成長技術によるコンタクト抵抗低減により、従来の AlGaN/GaN-HEMT に比べ、電流値は 1.5 倍以上と大幅に増加した。一方、バックバリアの効果により、ゲート長 0.08 μm の短ゲートデバイスにおいても、漏れ電流を大幅に低減させることに成功した。

図 14 に、W 帯(75-110 GHz)における、MMIC(Monolithic Microwave Integrated Circuit)の CW（連続波）動作による出力パワーのベンチマーク図を示す。従来、MMIC のパワー評価は AlGaN 電子供給層によるものであり、およそ 2 W/mm が最大値であった。今回、

94 GHz 帯において世界最高となる 4.16 W/mm という従来比 2 倍超の高い出力密度を有する MMIC を実現させることができた。



従来 AlGaN/GaN-HEMT　　InAlGaN/GaN-HEMT

図 13 従来および新構造での HEMT 特性比較

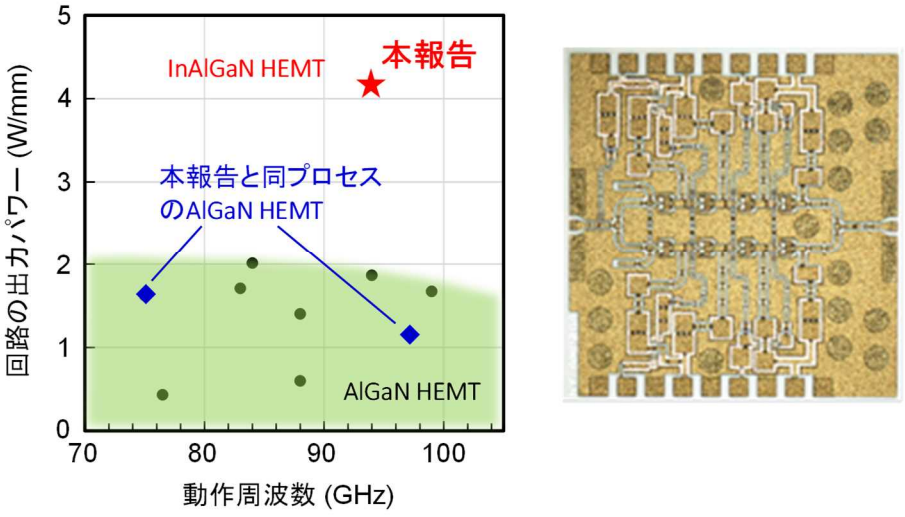


図 14 W 帯 MMIC ベンチマークと試作した MMIC 写真

最終試作（Ⅰ）マイクロ波帯向けデバイス（ショットキーゲート）

最終試作（Ⅰ）のダイヤ接合後の様子を図 15 に示す。後述のパワー測定は、図示のゲート幅 1 ㎜の櫛歯型の単体トランジスタを用いた。

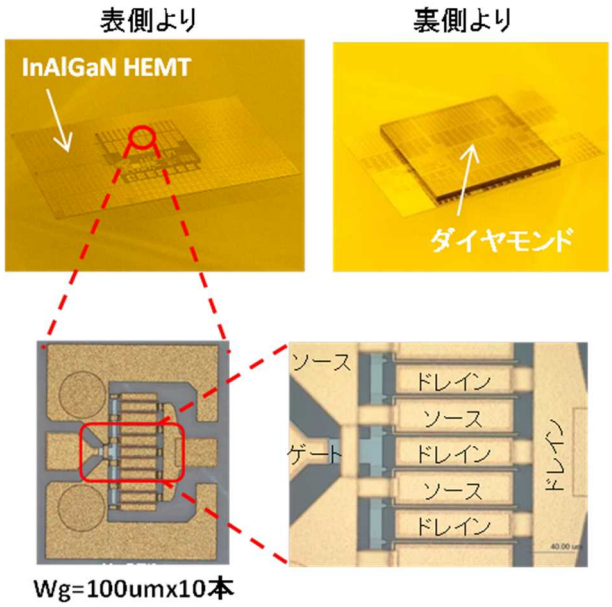


図 15 最終試作にてダイヤ接合したサンプルおよび測定トランジスタ

図 16 に S 帯（3 GHz 帯）でのロードプル評価におけるパルス Duty 比依存を示す。ダイヤ接合無しのサンプルは、パルス Duty 比が増える、つまりパルス占有率が増加するに従い、熱の影響により出力が下がってくる。一方、ダイヤ接合有りのサンプルは、ヒートスプレッダとしての効果により、その減少分をかなり抑制することができた。

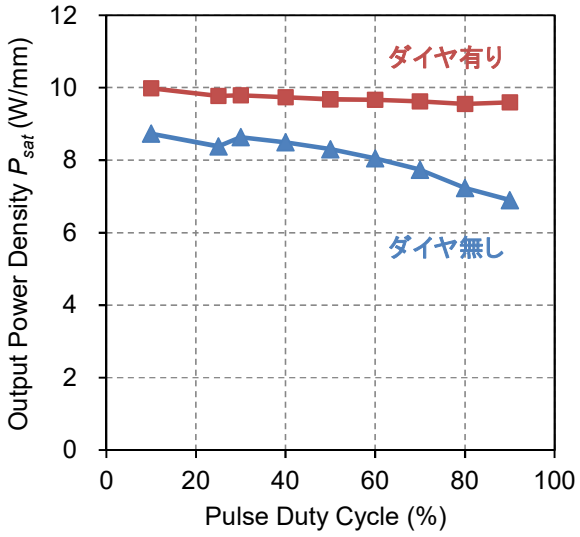


図 16 出力パワー密度のパルス Duty 比依存

次に、図 17 に P_{in}-P_{out} 特性の飽和出力の動作電圧依存を示す。従来の AlGaN 供給層を有するサンプル（図の緑色のプロット）では 70 V で破壊してしまうものが散見されるものの、最終試作（Ⅰ）のサンプルにおいては、ダイヤ接合の有無に関わらず、動作電圧 100 V まで破壊することなく測定できた。本研究成果の InAlGaN 電子供給層を用いることにより非常に強固なデバイスを実現させることができたといえるが、これは、スペーサ層の挿入による InAlGaN 電子供給層の内部電界低減を、メカニズムの可能性の一つとして考えている。

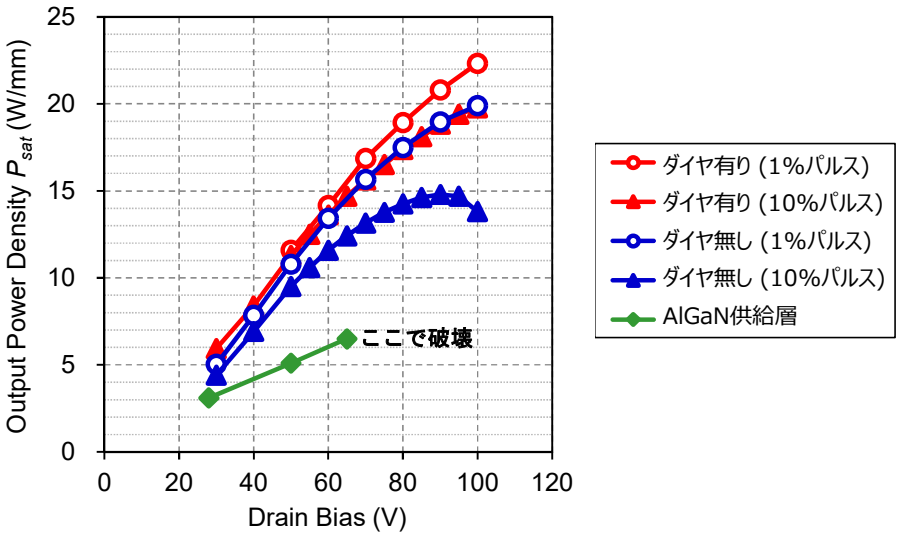


図 17 最終試作（Ⅰ）における出力パワー密度の動作電圧依存

結果として、同様のプロセスにて作製した S 帯 AlGaN-HEMT のパワー密度（図中の緑色のプロット）は 6.5 W/mm であり、本研究での 22.3 W/mm はこれを 3 倍以上と大きく凌駕することができた。

最終試作（Ⅱ）マイクロ波帯向けデバイス（MIS ゲート）

MIS ゲートの最大の利点は、ショットキーゲートに比べて順方向ゲート耐圧を大きくでき、出力パワーの増加が可能となる点にある。まず、ウェハ状態における P_{in}-P_{out} 特性の動作電圧依存性を図 18 に示す。各動作電圧において飽和出力電力 P_{sat} は MIS ゲートの方が高く、出力特性の向上を確認することができた。また、副次的な効果として、MIS ゲートの採用により効率が 10%程度向上することが明らかとなった（図 18(b)）。これは、MIS ゲート形成時の界面改質（パッシベーション膜/InAlGaN）によって電子トラップが低減し、電流コラプスが抑制された効果と考えられる。

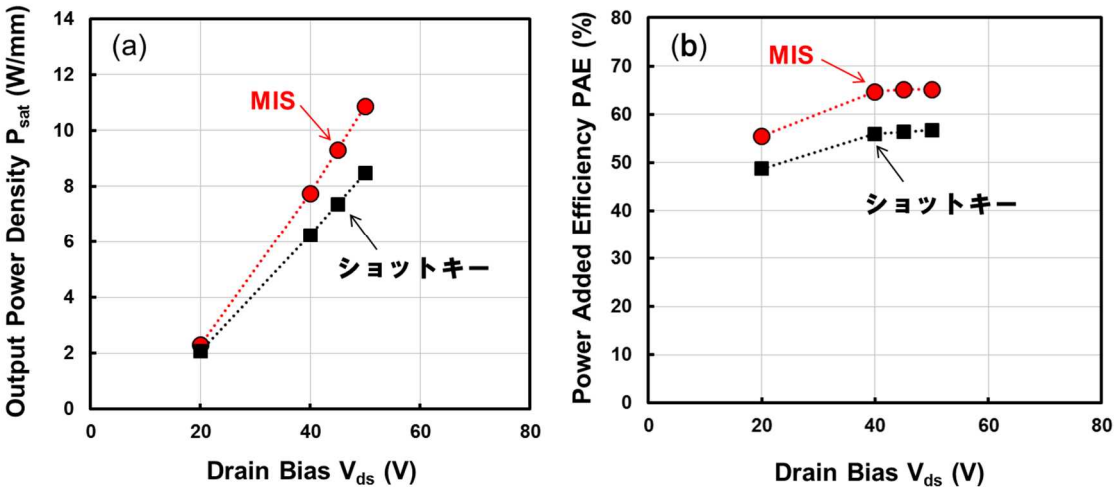


図 18 (a)出力パワー密度、(b)電力付加効率の動作電圧依存

最後に、MIS デバイス裏面にダイヤモンドを接合し、P_{in}-P_{out} 特性を評価した結果を図 19 に示す。動作電圧 50 V における MIS ゲートの出力パワー密度は 12.6 W/mm と、ダイヤモンド接合前の値（10.9 W/mm）よりも更に向上した。これは最終試作（Ⅰ）と同様、ダイヤモンドを用いた放熱により、移動度低下など、特性劣化要因が抑制された効果と考えられる。今回の評価では、MIS ゲートの耐圧により、動作電圧の上限は 50 V としたが、今後、低トラップ絶縁膜の絶縁性を向上するとともに、デバイス構造の工夫によりゲート絶縁膜部での電界緩和が実現した際には、動作電圧を上げることで更にパワー特性が向上すると期待できる。

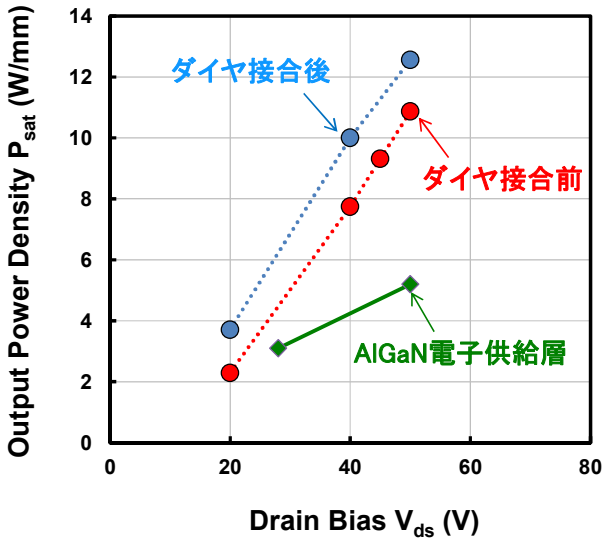


図 19 出力パワー密度の動作電圧依存性

以上のように、本研究開発にて進めてきた要素技術を統合することにより、デバイス特性の大幅な向上を達成した。研究開発の最終結果として、ミリ波帯、マイクロ波帯の両周波数帯において、最終目標である「現行素子サイズで従来比出力２倍」を充分に達成させることができた。

まとめ

本委託業務では、革新的な高出力・高周波デバイスの実現に必須となる「高電流密度を達成するエピタキシャル結晶技術」、「出力性能を向上させるデバイス設計・プロセス技術」、「出力増加による発熱影響を緩和する高放熱技術」の３つの要素技術について、ヘテロ構造最適化の観点から基礎的研究を遂行した。また、各要素技術を統合した試作デバイスにより、ミリ波帯およびマイクロ波帯のいずれにおいても In 系 HEMT 構造で世界最高となる出力密度を実証した。

本研究成果は、ヘテロ構造の界面制御がデバイスの飛躍的性能向上に不可欠な核心技術であることの証左であり、高出力と高周波を両立させる固体素子実現への道筋を明示するものである。

参考文献

[1] M. A. Khan *et.al.*, Appl. Phys. Lett., **63**, 1214 (1993)

研究成果の詳細説明

本研究で確立した要素技術並びに統合デバイス技術について、研究の詳細と成果を以下の項目に沿って報告する。

1.1.1 ①InAlN, InAlGaN系結晶成長技術の開発 ・・・・・・・・・・・・・・・・・17

1.1.2 ②バックバリア成長技術の開発 ・・・・・・・・・・・・・・・・・・・・・45

1.1.3 ③コンタクト抵抗低減技術の開発・・・・・・・・・・・・・・・・・・・・79

1.1.4 ④高電流構造シミュレーション ・・・・・・・・・・・・・・・・・・・・124

1.1.5 ⑤In系窒化物半導体向け低トラップ絶縁膜技術の開発 ・・・・・・・・・140

1.1.6 ⑥高放熱設計・熱評価 ・・・・・・・・・・・・・・・・・・・・・・・161

1.1.7 ⑦接合用切削・研磨技術の開発 ・・・・・・・・・・・・・・・・・・・・188

1.1.8 ⑧接合プロセス技術開発 ・・・・・・・・・・・・・・・・・・・・・・199

1.1.9 ⑨要素技術統合向けインテグレーション ・・・・・・・・・・・・・・・・221

１．１．１　①InAlN、InAlGaN系結晶成長技術の開発

開発概要

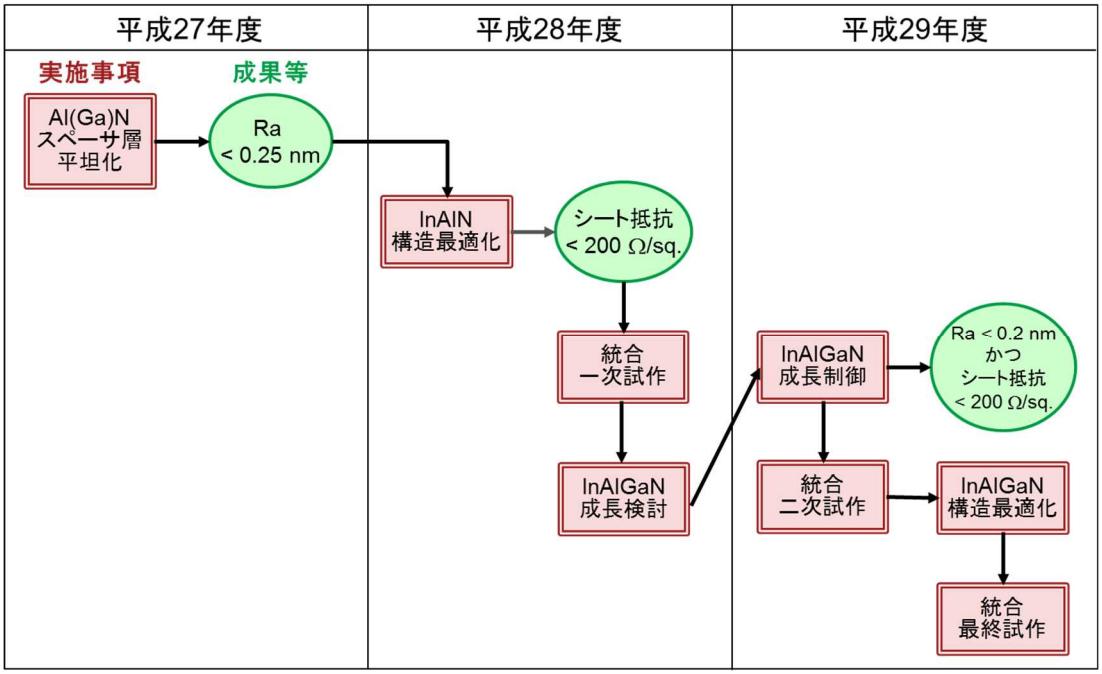
本項で報告する「①InAlN、InAlGaN 系結晶成長技術の開発」は、高周波デバイスの高出力化に有効な高電流密度を実現するための高品質な In 系結晶の成長技術確立を目的とした。結晶構造の構成要素である InAlN、InAlGaN 電子供給層および Al(Ga)N スペーサ層の品質改善と構造最適化を実施し、「②バックバリア成長技術」と融合した InAl(Ga)N/GaN 高電子移動度トランジスタ(High Electron Mobility Transistor:HEMT)結晶を統合試作デバイスへ適用した。

本開発の概要は次のとおりである（開発フローチャート図①-1)。

平成 27 年度は、InAl(Ga)N/GaN-HEMT の性能を左右する Al(Ga)N スペーサ層の平坦化を実施した。平坦化の指標には算術平均粗さ Ra を用い、開発目標値である 0.25 nm 未満を達成した。

平成 28 年度は、平成 27 年度に開発したスペーサ層を適用した InAlN/GaN-HEMT の構造最適化を行った。最適化により性能目標として設定したシート抵抗 200 Ω/sq.未満を達成した。また、高耐圧化に有利な InAlGaN 電子供給層の基礎検討にも着手した。

平成 29 年度は、InAlGaN 電子供給層の高品質化と構造最適化を実施し、目標性能として設定したシート抵抗 200 Ω/sq.以下かつ表面平坦性 Ra 0.20 nm 未満を達成した。また、開発で獲得した知見を基に最適化した In 系結晶を作製して統合デバイスへ適用した。

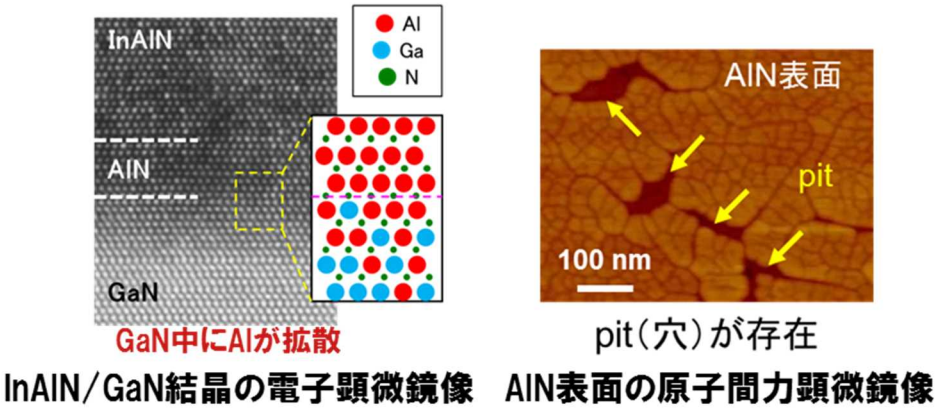


図①-1　本技術の開発フローチャート

①－１　本技術の開発意義

InAlN、InAlGaN を電子供給層に用いた HEMT は、従来の AlGaN を電子供給層に用いた AlGaN/GaN-HEMT に比べ、高濃度の二次元電子ガス（2 Dementional Electron Gas：2DEG）を誘起できるため、従来にない高電流密度を実現出来る。しかしながら、In 材料は飽和蒸気圧が高いために高品質な結晶成長が困難であり、InAlN や InAlGaN を電子供給層に用いた InAl(Ga)N/GaN-HEMT は表面平坦性が悪く、リーク電流も大きいという課題がある（図①-2)。

そこで本研究では、革新的な高出力デバイスの実現のため、InAl(Ga)N/GaN-HEMT 結晶の高性能化に取り組み、デバイスの高電流密度化を目指した。具体的には、結晶構造の構成要素である InAlN、InAlGaN 電子供給層および Al(Ga)N スペーサ層の界面に着眼し、平坦性を中心とした高品質化およびヘテロ構造の最適化を実施した。



図①-2 In 系結晶の品質課題

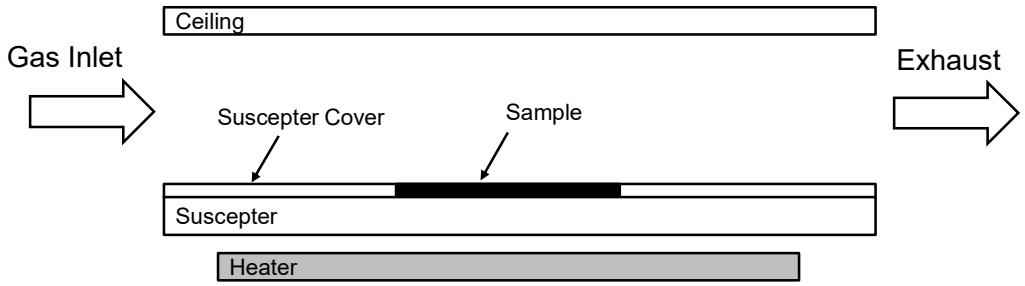
①　－２　実験手法

実験に用いたエピ結晶は、3 インチ半絶縁性炭化ケイ素（Silicon Carbide：SiC）基板上に有機金属化学気相成長（Metal-Organic Chemical Vapor Deposition：MOCVD）法により AlN 核形成層、AlGaN バッファ層、GaN チャネル層（1300 nm)、Al(Ga)N スペーサ層（2 nm)、InAl(Ga)N 電子供給層を順に成長した。成長には図①-3 に示す Horizontal Flow MOCVD 装置を使用し、Ga 原料としてトリメチルガリウム（TMGa）またはトリエチルガリウム（TEGa)、Al 原料としてトリメチルアルミニウム（TMAl)、In 原料としてトリメチルインジウム（TMIn)、窒素原料としてアンモニア（NH_3）を用いた。

Al(Ga)N スペーサ層の成長は、成長温度 955℃、成長圧力 5 kPa で行い、原料ガスとして TMAl および NH_3 を用い、キャリアガスには H_2 を用いた。InAlN 電子供給層の成長は、成長温度 695℃、成長圧力 5 kPa で行い、原料ガスとして TMAl、TMIn、NH_3 を用い、キャリアガスには N_2 を用いた。InAlGaN 電子供給層の成長は、成長温度 695℃～875℃、

成長圧力 5 kPa で行い、原料ガスとして TMAl、TMIn、TMGa または TEGa、NH_3を用い、キャリアガスにはN_2を用いた。成長時の基板温度は、MOCVD 装置にダミーとして設置した Si 基板を赤外線放射温度計により測定した。温度評価に Si 基板を用いた理由は SiC 基板が透明であり正確な温度測定が難しいためである。

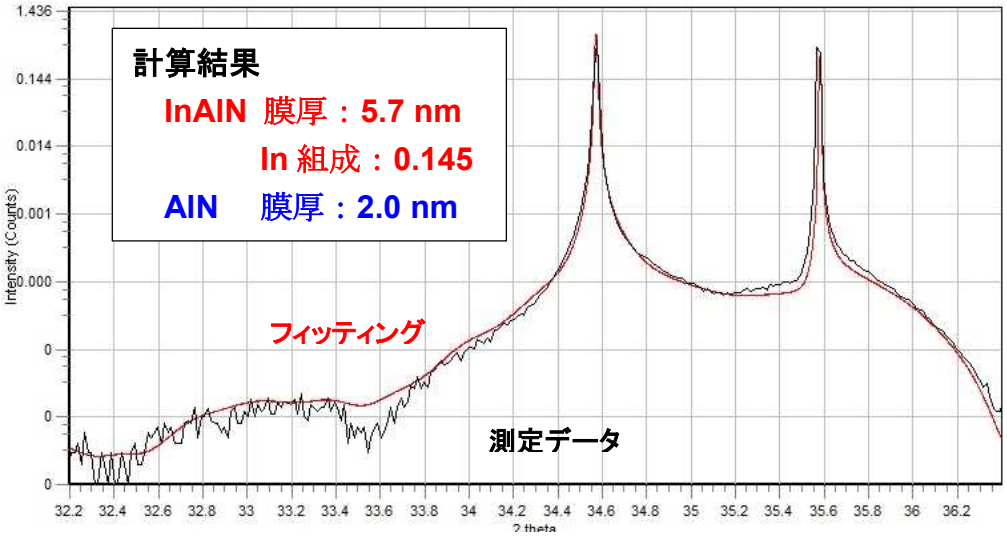
本研究の結晶評価に用いた装置の一覧を図①-4 に示す。表面モフォロジは原子間力顕微鏡（Atomic Force Microscopy： AFM）測定から求めた算術平均粗さ（Ra）により評価した。電子移動度およびキャリア濃度は Van der Pauw 法による Hall 測定により、シート抵抗は渦電流法による非接触測定により求めた。InAlN/GaN-HEMT 構造において、Al(Ga)N スペーサ層膜厚および InAlN 電子供給層の組成、膜厚は X 線回折法（X-Ray Defraction：XRD）による $2\theta-\omega$ 測定から導出した。XRD による組成、膜厚の測定例を図①-5 に、同一サンプルの TEM 像を図①-6 に示す。図①-5 および図①-6 より、InAlN/GaN-HEMT の膜厚は、XRD 法で精度良く評価できることがわかる。一方、InAlGaN/GaN-HEMT 構造においては、InAlGaN が 4 元系であり XRD による組成評価が困難であるため、膜厚を高精度に評価可能な X 線反射率法（X-Ray Reflectivity ：XRR）により InAlGaN 電子供給層の膜厚を評価した。XRR による膜厚の測定例を図①-7 に、同一サンプルの TEM 像を図①-8 に示す。図①-7 および図①-8 から InAlGaN/GaN-HEMT の膜厚が精度良く評価できていることが確認できた。なお、InAlGaN 組成は①-5 で述べる手法により導出した。



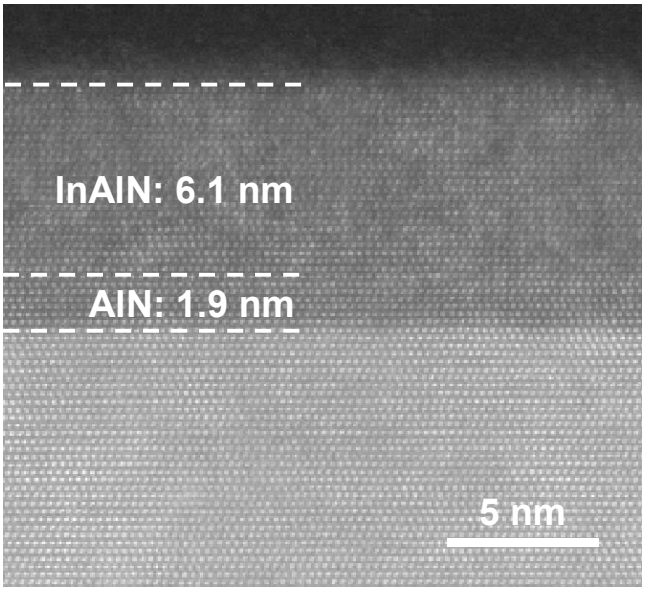
図①-3　Horizontal Flow MOCVD 装置の模式図

［装置名］ Hall 測定装置 ［測定手法］ Hall 測定（Van der Pauw 法） ［評価項目］ 電子移動度 キャリア濃度	
［装置名］ 非接触シート抵抗測定装置 ［測定手法］ 渦電流法 ［評価項目］ シート抵抗	
［装置名］ AFM 装置 ［測定手法］ AFM ［評価項目］ 表面ラフネス Ra	
［装置名］ X 線回折装置 ［測定手法］ 2θ－ω法 XRR ［評価項目］ 膜組成および膜厚（2θ－ω法） 膜厚（XRR）	

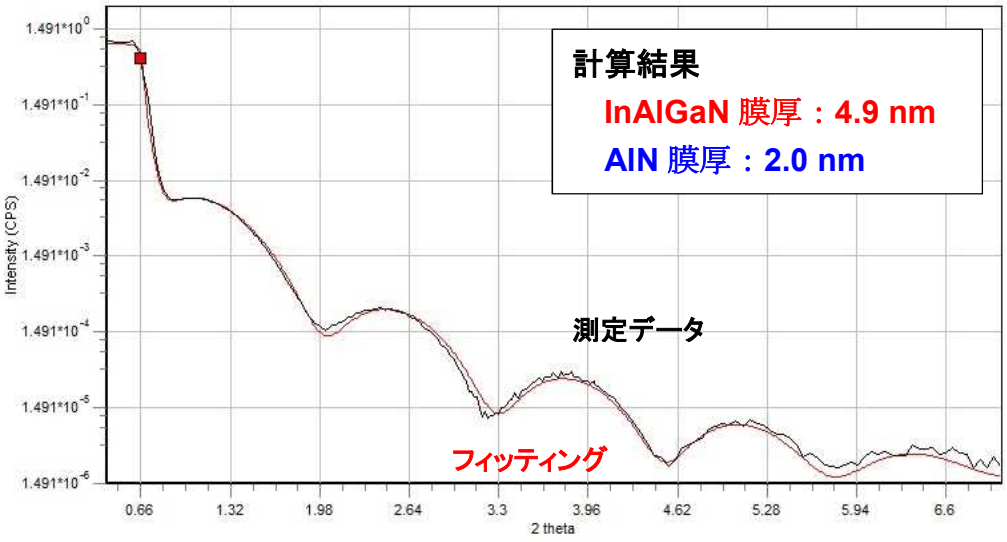
図①-4　エピ結晶評価装置一覧



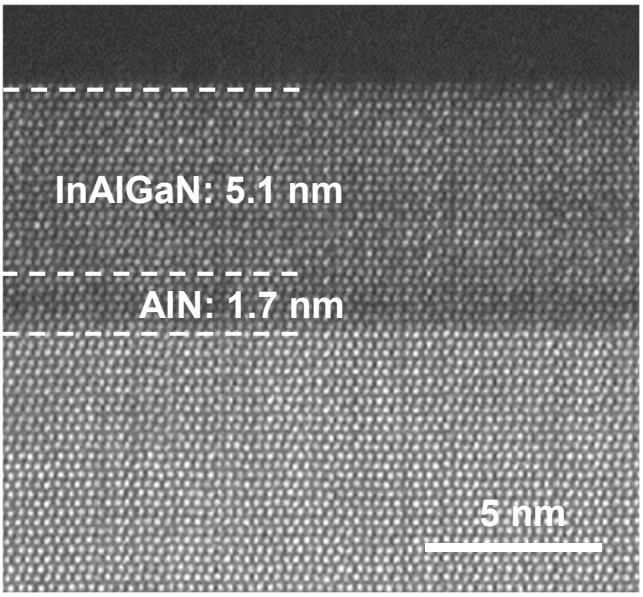
図①-5　XRD による組成・膜厚測定例



図①-6　XRD 評価サンプルの TEM 像



図①-7 XRR による膜厚測定例



図①-8 XRR 評価サンプルの TEM 像

①－３　Al(Ga)N スペーサ層の高品質化

成長レート依存性

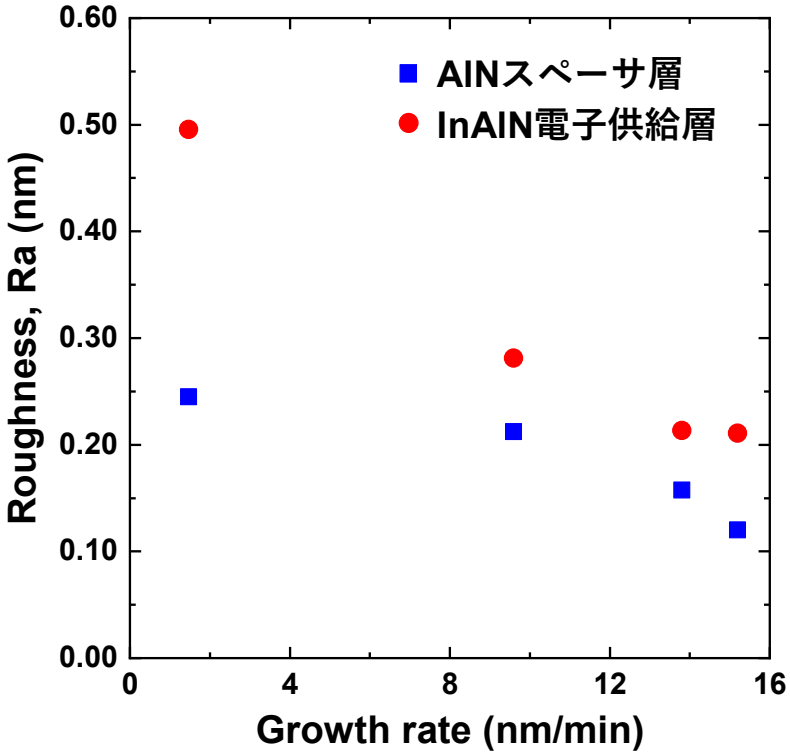
AlN スペーサ層および InAlN 電子供給層の表面モフォロジに AlN スペーサ層の成長レートが与える影響について調査した。AlN スペーサ層と InAlN 電子供給層のモフォロジの相関を調べるため、AlN スペーサ層まで成長したサンプルと AlN スペーサ層上に InAlN 電子供給層まで成長したサンプルの両方を作製した。AlN スペーサ層は NH_3 供給量を 2 slm で固定し、TMAl 供給量を 56.9、342、513、683 μmol/min. とそれぞれ変更することにより、1.5、9.6、13.8、15.2 nm/min. と成長レートが異なる 4 水準で成長した。

図①-9 に表面モフォロジの AlN 成長レート依存性を、図①-10 に成長したサンプルの AFM 像を示す。図①-9 から AlN スペーサ層の表面モフォロジは AlN の成長レートが増加するほど改善する傾向が見られる。同様に InAlN 電子供給層の表面モフォロジも AlN の成長レートが増加するほど良化する傾向にあるため、AlN スペーサ層の表面モフォロジが InAlN 電子供給層の表面モフォロジに影響を与えていることがわかる。

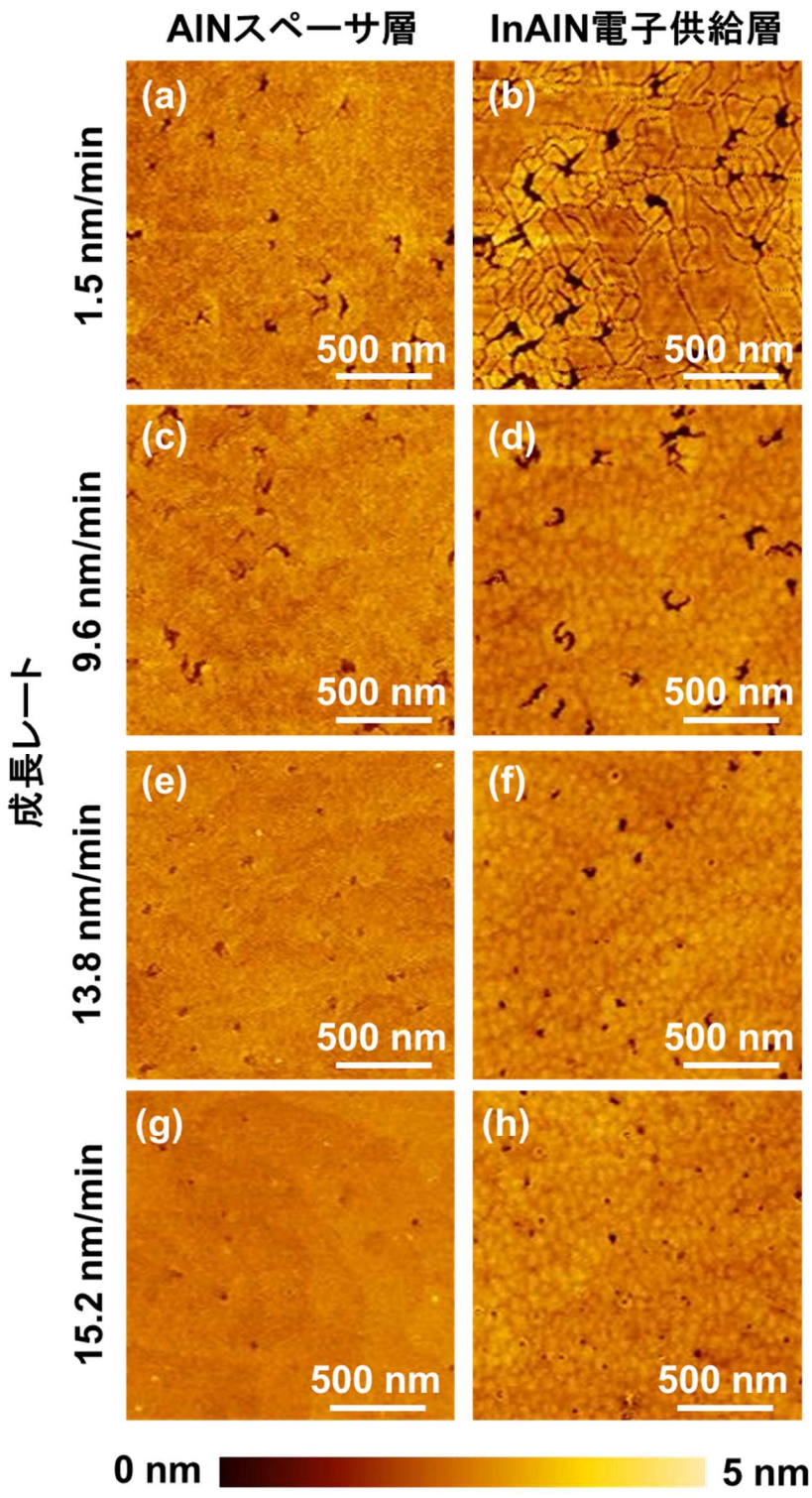
さらに、図①-10 から AlN の成長レートが遅いサンプルでは AlN スペーサ層表面に深いピットとそれを中心として延びるクラックが存在しているが、AlN の成長レートが増加するほどピットとクラックが浅く小さくなる（図①-11）。つまり、AlN の成長レートを増加させると、ピットとクラックの発生が抑制されるため、表面モフォロジの改善に極めて有効であることがわかった。

成長レートが 15.2 nm/min. である AlN においては、ほぼクラックのない表面が得られた。これは、AlN の成長レートが増加することにより、Al 吸着原子（adatom）の表面マイグレーションが抑制されるためであると考えられる。Al 吸着原子が十分にマイグレーションするとエネルギー的に安定な島状成長が進むが[1]、成長レートが増加するとエネルギー的に安定な位置まで移動する前に反応が開始するため、平坦な表面が得られると考えられる。なお、AlN 表面の小さい網目状のクラックは AlN スペーサ層が露出した状態で成長を中断し温度を下げた際に生じたマイクロクラックであり、表面を InAlN 電子供給層で覆った InAlN/GaN-HEMT 構造であれば通常発生しない。

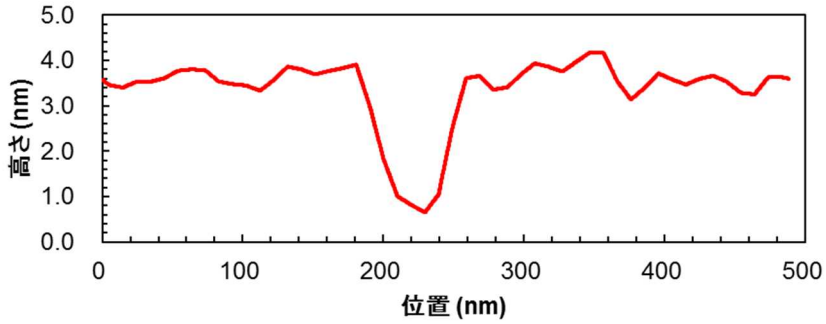
続いて、InAlN 電子供給層に注目すると、InAlN 電子供給層の表面状態は AlN スペーサ層の表面状態を強く反映していることがわかる。つまり、AlN の成長レートが遅いサンプルでは InAlN 電子供給層の表面にも深いピットとそれを中心として延びるクラックが存在している。また、スペーサ表面状態の傾向と同様に、AlN の成長レートが増加するにつれピットとクラックは縮減し、AlN の成長レートが 15.2 nm/min. に達するとクラックのない平坦な表面が得られている。したがって、AlN スペーサ層を平坦化することにより、InAlN 電子供給層の平坦化も実現できることがわかった。



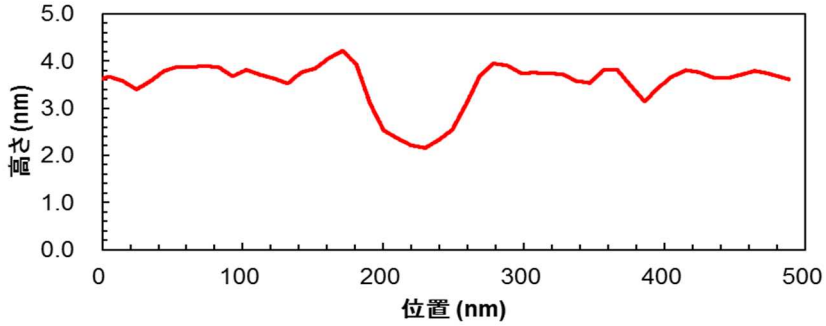
図①-9　表面モフォロジの AlN 成長レート依存性



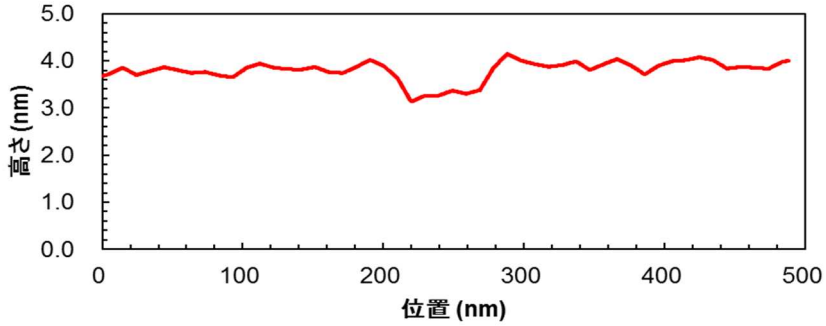
図①-10　AlN スペーサ層および InAlN 電子供給層表面の AFM 像(AlN 成長レート依存性)



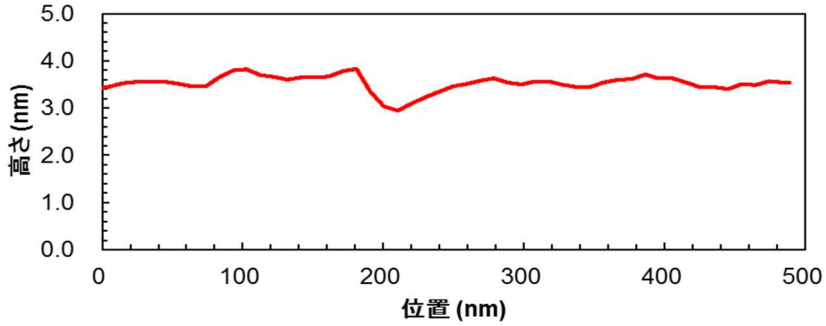
(a)　成長レート 1.5 nm/min.



(b)　成長レート 9.6 nm/min.



(c)　成長レート 13.8 nm/min.



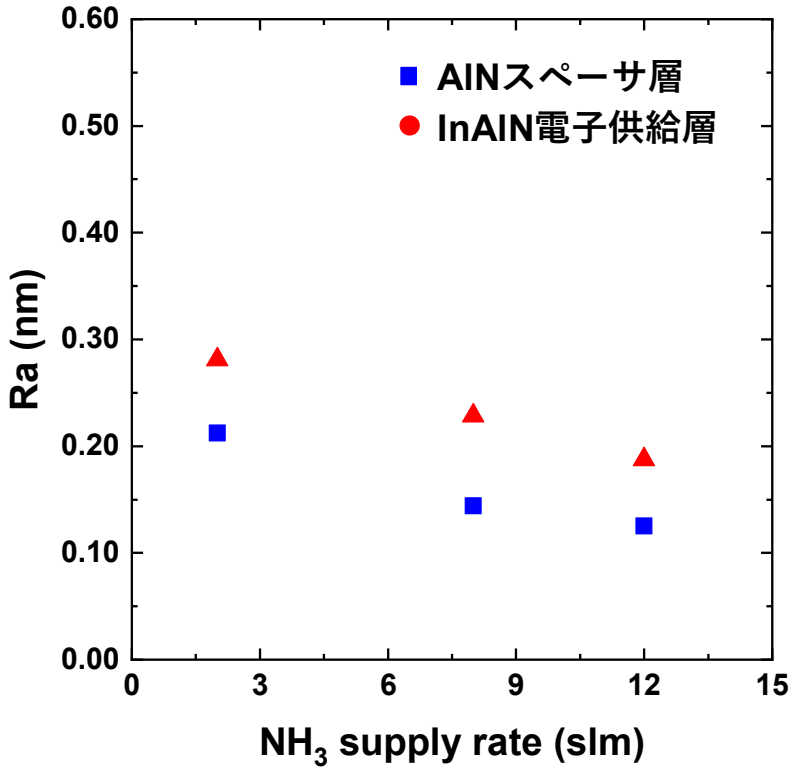
(d)　成長レート 15.2 nm/min.

図①-11　AlN スペーサ層表面の断面プロファイル

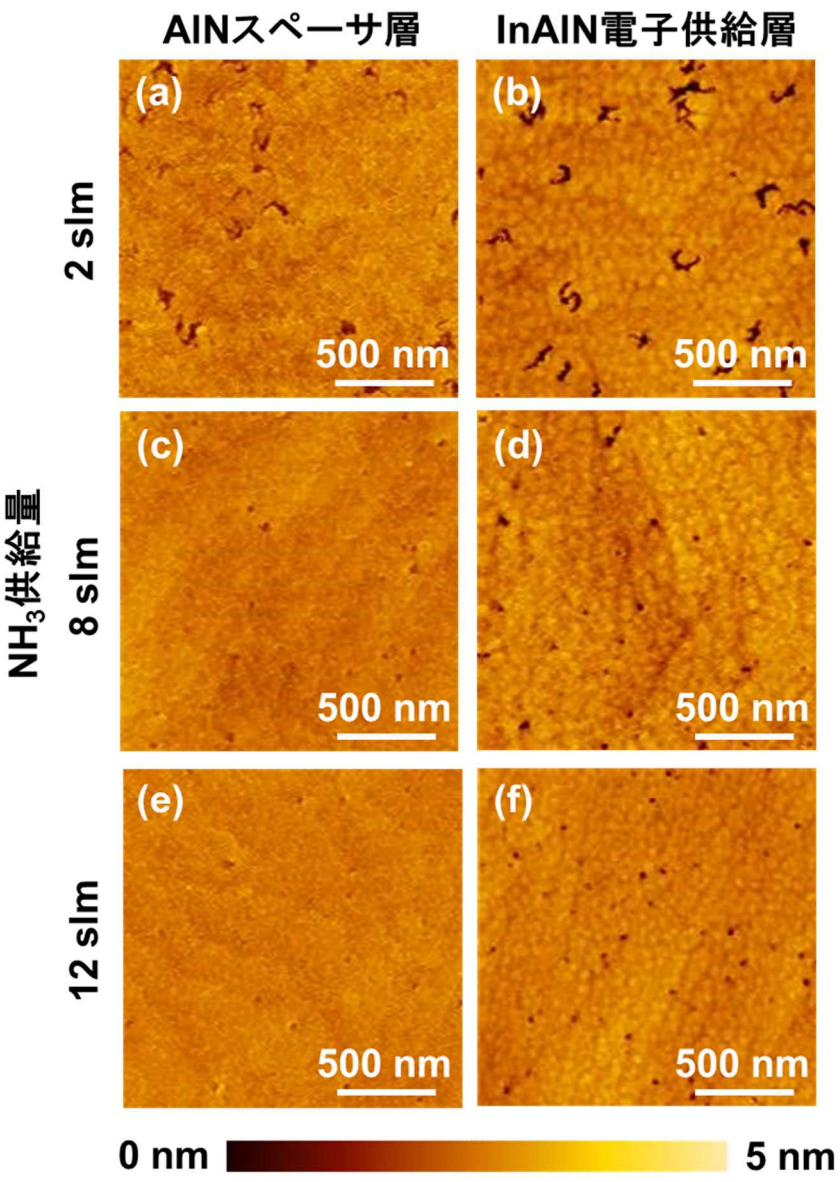
NH_3 供給量依存性

前述の通り、AlN の成長レートを増加させることで表面モフォロジは改善するが、AlN スペーサ層は約 2 nm と非常に薄いため、AlN の成長レートが高くなると成長時間は 8 秒程度となる。一般に短時間成長では面内の膜厚や組成の分布が悪化し、結果として膜品質の再現性や安定性が損なわれる。そこで、成長時間を確保しつつ表面モフォロジを改善するため、AlN スペーサ層成長時の NH_3 供給量依存性について調査した。AlN スペーサ層成長時の TMAl 供給量を 342 μmol/min. で固定し、NH_3 供給量は 2、8、12 slm の 3 水準で成長した。

図①-12 に表面モフォロジの NH_3 供給量依存性、図①-13 に成長したサンプルにおける InAlN 電子供給層表面の AFM 像を示す。図①-12 から InAlN 電子供給層の表面モフォロジは NH_3 供給量が増加すると改善する傾向が見られるが、8 slm 以上では Ra の低下がほぼ飽和する。また、図①-13 から NH_3 供給量 2 slm まではクラックが確認できるが、NH_3 供給量 8 slm 以上ではクラックが消失し、NH_3 供給量の増加にともなってピット径が小さくなる傾向が見られる。つまり、NH_3 供給量 8 slm まではクラックが減少していくため表面モフォロジが大きく改善し、NH_3 供給量 8 slm 以上ではピットのみとなるため、Ra の低下量は鈍化すると考えられる。



図①-12　表面モフォロジの NH_3 供給量依存性

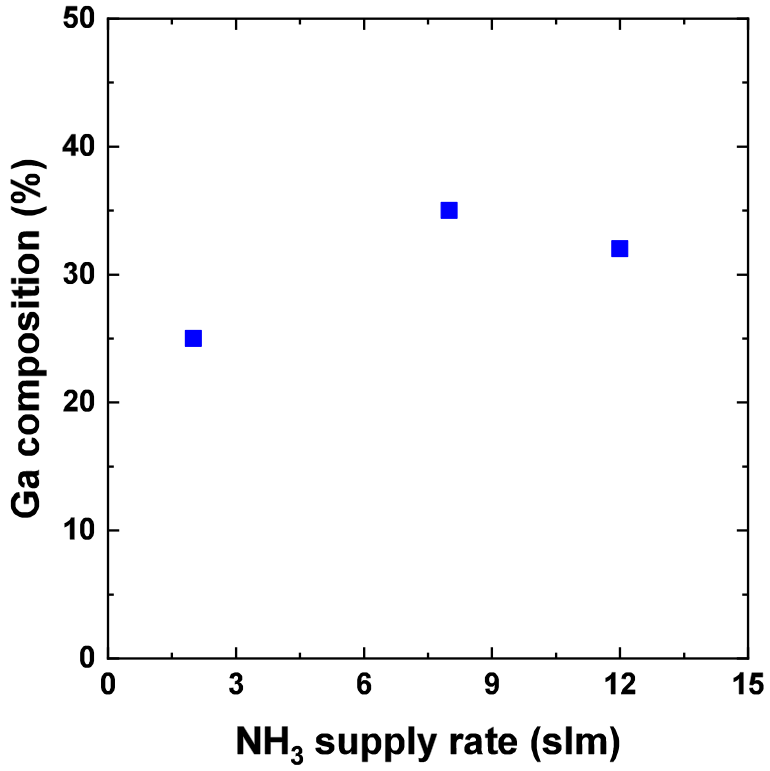


図①-13　InAlN 電子供給層表面の AFM 像（NH_3 供給量依存性）

前述のとおり、NH_3 供給量を増加させることによりピットとクラックが埋まり、表面モフォロジが改善することがわかった。これは、NH_3 供給量の増加により Al 吸着原子と NH_3 の反応確率が向上するため、AlN の成長レート増加と同様に Al 吸着原子の表面マイグレーションが抑制されるためと考えられる。以上の結果から、低成長レートにおいても表面平坦性が改善可能であることがわかった。この成長手法を適用することで成長時間を 8 秒程度から 15 秒程度と約 2 倍長くすることが可能となり、成長安定性の向上が実現できた。

AlN スペーサ層への Ga 取り込み

MOCVD 法による結晶成長において、GaN 上に AlN 層を形成した場合、AlN 層中に多量の Ga が取り込まれる[2]。そのため、AlN スペーサ層においても多量の Ga が取り込まれていると考えられる。そこで、NH_3 供給量依存性の実験と同一の成長条件で GaN チャネル上に AlN スペーサ層を 5 nm 成長し、X 線光電子分光法（X-ray Photoerectron Spectroscopy: XPS）による組成分析を行った。図①-14 に AlN スペーサ層における Ga 組成の NH_3 供給量依存性を示す。図から、AlN スペーサ層には Ga 源となる原料ガスを供給していないにもかかわらず、25～35%程度の Ga が含まれていることがわかる。これは、AlN 成長時に GaN 下地から脱離してきた Ga を取り込むためである。また、NH_3 供給量の増加により Ga 含有量が増加しているのは、取り込まれた Ga の再脱離が抑制されたためと考えられる。この様に、MOCVD 法により成長した AlN スペーサ層には多量の Ga を含有している。そのため、今後は AlGaN スペーサ層と表記する。



図①-14　AlN スペーサ層における Al 組成の NH_3 供給量依存性

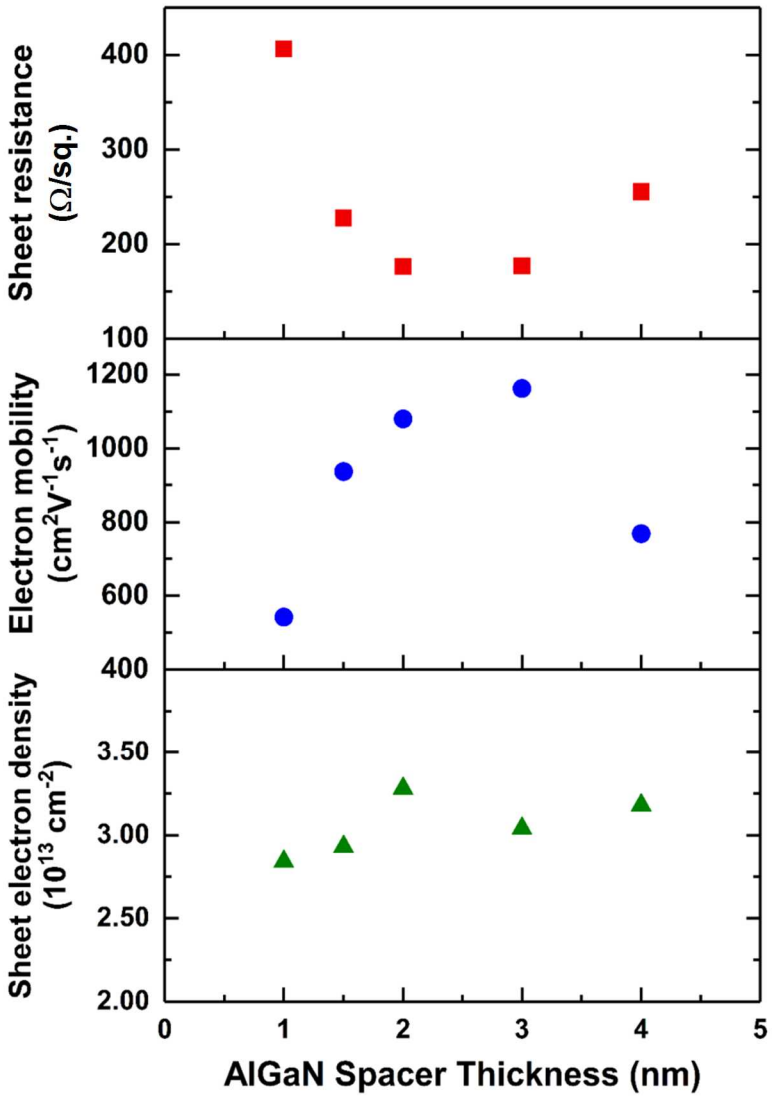
①－４　InAlN/GaN-HEMT 結晶構造の改善

AlGaN スペーサ層膜厚依存性

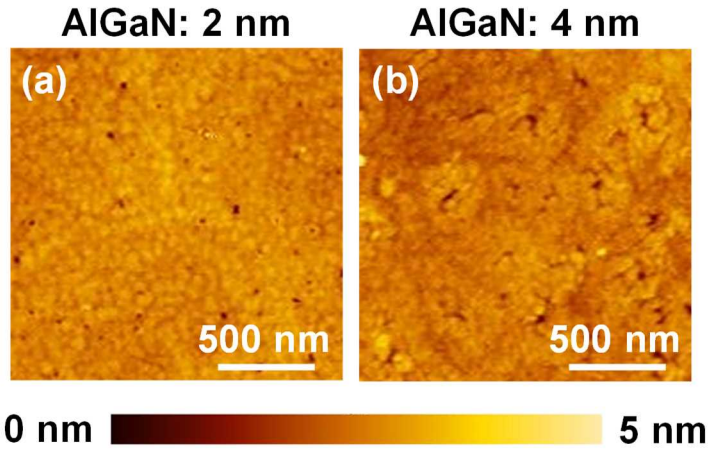
AlGaN スペーサ層は、InAlN、InAlGaN の合金散乱を低減し、2DEG の移動度低下を抑制する。そこで、AlGaN スペーサ層の膜厚を最適化することにより、2DEG 移動度の改善を目指した。AlGaN スペーサ層膜厚が電気特性に与える影響について調査するため、AlGaN スペーサ層膜厚 1.0～4.0 nm のサンプルを作製した。なお、InAlN 電子供給層は In 組成 14.3%、膜厚 20 nm の構造を用いた。

図①-15 にシート抵抗、電子移動度およびシート電子濃度の AlGaN スペーサ層膜厚依存性を示す。図①-15 に示すように、AlGaN スペーサ層膜厚が薄い場合は膜厚の増加に伴いシート抵抗は減少するが、膜厚 2～3 nm でシート抵抗は最小値を取り、その後は増加傾向に転じた。シート電子濃度は、AlGaN スペーサ層の膜厚増加により微増傾向が見られるが、ほぼ一定であった。一方、電子移動度については、AlGaN スペーサ層の膜厚が 2～3 nm までは膜厚の増加に伴い増加し、スペーサ膜厚が 3 nm 以上では減少している。つまり、ここで得られたシート抵抗の変化は、おもに電子移動度に依存していることが分かった。電子移動度はスペーサ層膜厚 2～3 nm において極大値をとるが、これは以下のように理解できる。つまり AlGaN スペーサ層膜厚が 2～3 nm よりも薄い場合、AlGaN スペーサ層が厚くなるほど InAlN 電子供給層との距離が離れるため、合金散乱の影響が低減して電子移動度が増加する。AlN スペーサ層においては、1 nm までは AlN スペーサ層膜厚の増加にともなって合金散乱が減少することが報告されているが[3]、AlGaN スペーサにおいては、より厚い膜厚が必要であることがわかる。一方、AlGaN スペーサ層膜厚が 2～3 nm よりも厚い場合は、GaN と AlGaN スペーサ層の格子定数差に起因した歪みの増加によりスペーサ層にクラックが発生し、電子移動度を著しく低下させていると考えられる。図①-16 に AlGaN スペーサ層膜厚 2 nm と 4 nm の InAlN/GaN-HEMT 表面の AFM 像を示すが、AlGaN スペーサ層膜厚 4 nm のサンプル表面にはクラックが確認できた。従って、これまでの検討に照らし合わせれば、4 nm の AlGaN スペーサ層表面にはクラックの存在が示唆される。

本実験で得られたように、AlGaN スペーサ層膜厚 2～3 nm の間で最も低いシート抵抗が得られるが、信頼性の観点から結晶に内包される歪みは小さい方が良いため、特に 2 nm が最適であると判断した。



図①-15　InAlN/GaN-HEMT におけるシート抵抗、電子移動度および
シート電子濃度の AlGaN スペーサ層膜厚依存性



図①-16　InAlN 電子供給層表面の AFM 像

InAlN 電子供給層 In 組成依存性

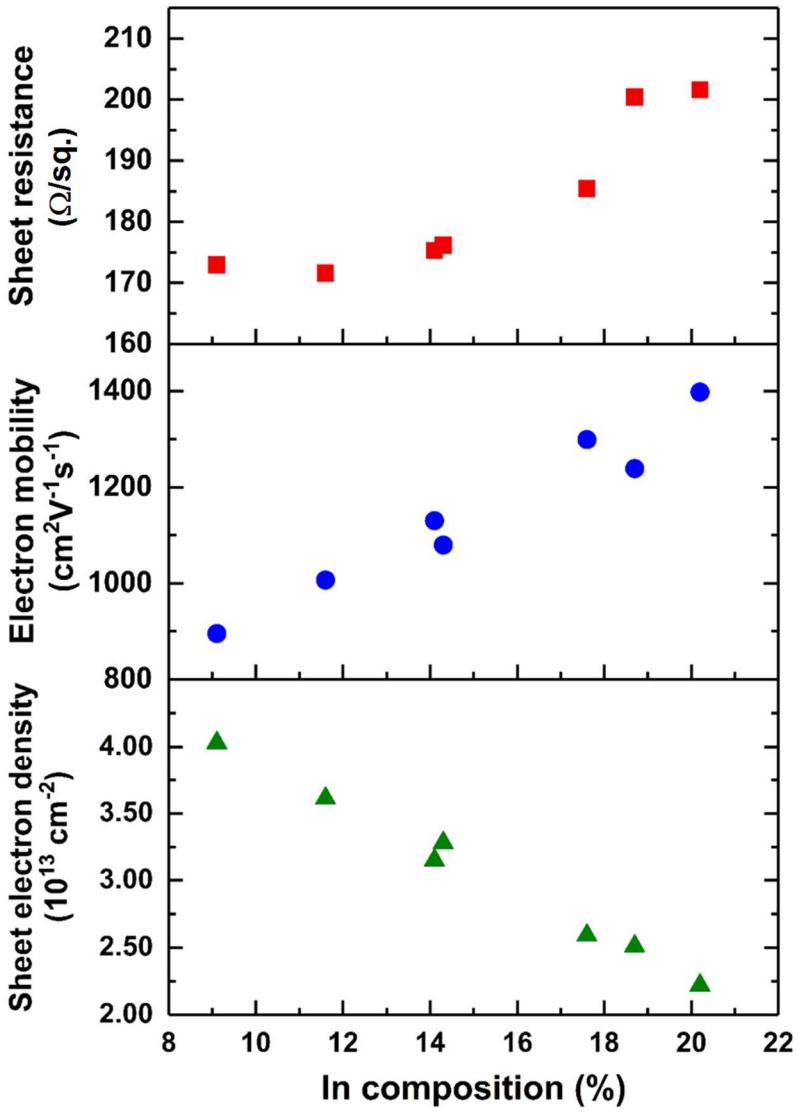
InAlN は In 組成 17～18%において GaN に格子整合するが、In 組成を変化させることにより、格子歪みを発生させピエゾ分極を生じさせることができる。従って結晶欠陥への影響が少ない範囲で格子歪みを制御することができれば、さらなるシート抵抗の低減が期待できる。そこで、InAlN 電子供給層の In 組成が電気特性に与える影響について調査するため、In 組成が 6.6～20.2%である 8 種サンプルを製作した。なお、InAlN 電子供給層膜厚は 20 nm、AlGaN スペーサ層膜厚は 2 nm の構造を用いた。

図①-17 にシート抵抗、電子移動度およびシート電子濃度における InAlN 電子供給層の In 組成依存性を示す。ここで In 組成 6.6%のサンプルに関しては、表面全体にクラックが発生し、シート抵抗が測定器の測定限界を超えるほどの高抵抗となり電気特性評価を行えなかったため、図①-17 には含んでいない。図から、In 組成の低下に伴ってシート抵抗は低減するが、14.3%以下ではほぼ一定となることがわかる。なお、シート抵抗が一定の領域においても、In 組成の低下に伴って電子移動度は低下し、シート電子濃度は逆に増加している。

In 組成が低下、つまり Al 組成が増加すると自発分極が増加するだけでなく、下地のベースである GaN より電子供給層の格子定数が小さくなる。その結果、電子供給層中の引張り歪みが発生・増大しピエゾ分極が重畳され、電荷中性を補償する 2DEG 濃度、ひいてはシート電子濃度が増加したものと考えられる。一方、シート電子濃度が増加すると電子がフォノンと衝突する確率が増加するため、フォノン散乱による電子移動度の低下が顕著になる[4]。そのため、シート電子濃度の増加により電子移動度が低下してい

ると解釈できる。

以上のように、In 組成を GaN と格子整合する 17～18%より低くすることによりシート抵抗は低減するが、14.3%以下の領域では、シート電子濃度増加による効果を電子移動度の低下が打ち消す。また、低 In 組成では電子供給層中の結晶歪みが増大するため、信頼性の観点からは In 組成は高い方が良い。したがって、信頼性と低シート抵抗特性の両方の観点から、In 組成は 14.3%が最適であると考えられる。



図①-17　InAlN/GaN-HEMT におけるシート抵抗、電子移動度および
シート電子濃度の InAlN 電子供給層 In 組成依存性

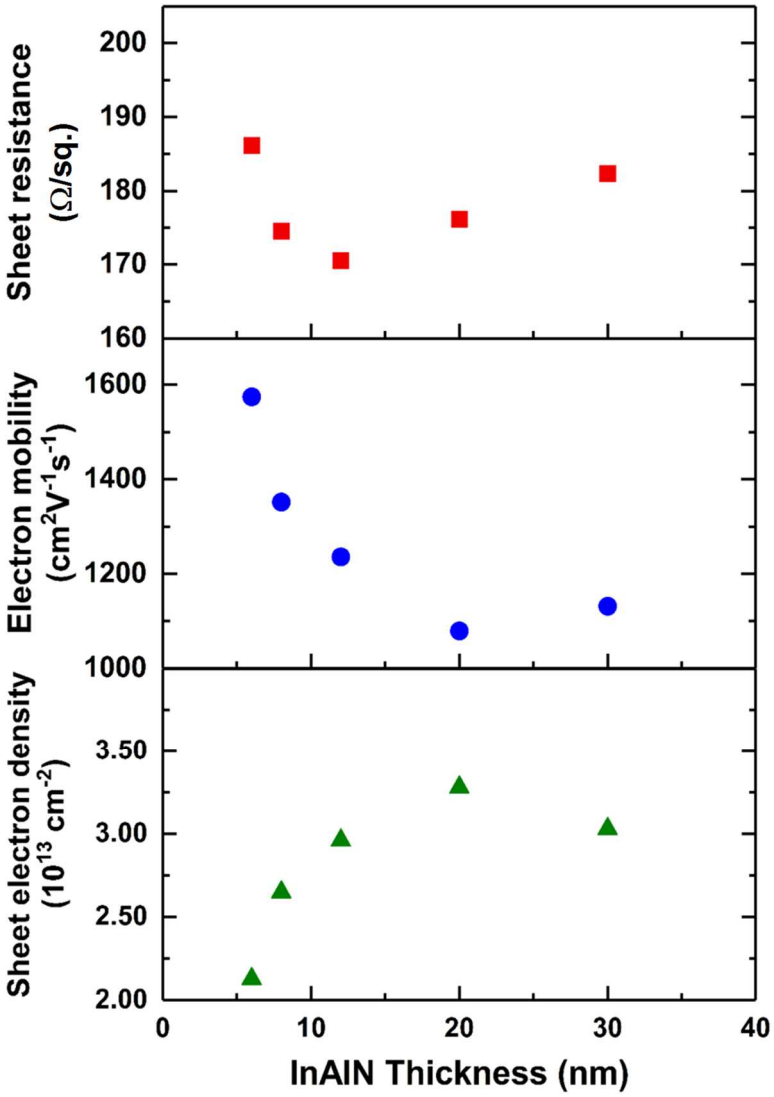
InAlN 電子供給層膜厚依存性

InAlN 電子供給層は自発分極が大きいため薄い電子供給層でも高いシート電子濃度を実現できる。しかしながら、低いシート抵抗を実現するためには、十分な電子供給層厚を確保する必要がある。そこで、低シート抵抗の実現を目的として InAlN 電子供給層膜厚が電気特性に与える影響について調査を行った。評価のため InAlN 電子供給層膜厚が 6～30 nm の範囲において 5 種類のサンプルを製作した。InAlN 電子供給層の In 組成は 14.3%、AlGaN スペーサ層膜厚は 2 nm の構造を用いた。

図①-18 にシート抵抗、電子移動度およびシート電子濃度における InAlN 電子供給層の膜厚依存性を示す。図から、InAlN 電子供給層膜厚が薄い場合は、膜厚の増加に伴いシート抵抗は減少するが、膜厚 12 nm で極小値を示した後に再び増加傾向へ転じることがわかる。一方、電子移動度は InAlN 電子供給層膜厚の増加に伴って低下し、膜厚 20 nm 以上でほぼ一定となる。また、シート電子濃度も InAlN 電子供給層膜厚の増加にともない増加するが、膜厚 20 nm 以上でほぼ一定となる。

今回の実験では InAlN 電子供給層の In 組成が 14.3%と電子供給層内部に引っ張り歪みを有する電子供給層を適用しているため、膜厚が厚くなると電子供給層の格子緩和が発生し、シート電子濃度の変化が鈍化したと考えられる。また、電子移動度の低下はシート電子濃度の増加によるフォノン散乱の増加に起因すると考えられる。

以上のように、InAlN 電子供給層の膜厚が薄い場合は電子移動度が高いものの、シート電子濃度が低いためにシート抵抗は高くなる。逆に電子供給層膜厚が厚い場合は、シート電子濃度の増加による電子移動度の低下および格子歪みの緩和により、シート抵抗が高くなると考えられる。したがって、高出力トランジスタ実現の要求特性となるシート抵抗の低減には、InAlN 電子供給層膜厚 12 nm が最適であると考えられる。



図①-18　InAlN/GaN-HEMT におけるシート抵抗、電子移動度および
シート電子濃度の InAlN 電子供給層膜厚依存性

最適化した InAlN/GaN-HEMT 結晶構造

これまでの検討から決定した、AlGaN スペーサ層、InAlN 電子供給層の最適構造を表①-1 に示す。

本構造はシート抵抗 171 Ω/sq.、電子移動度 1235 $cm^2V^{-1}s^{-1}$、シート電子密度 2.96×10^{13} cm^{-3} という高い性能を有する。また、最適化した InAlN/GaN-HEMT 構造を基に、統合デバイス一次試作用のエピ結晶の設計・成長を行い、試作デバイスへ適用した。デバイス結果は「⑨要素技術統合向けインテグレーション」に詳述するが、InAlN 電子供給層は良好な電気特性を示す一方で、ゲートリークや耐圧が課題であることがわかった。そこで、比較的高温成長が可能で更なる品質向上が期待できる InAlGaN の検討に着手した。

表①-1　最適な InAlN/GaN-HEMT 構造

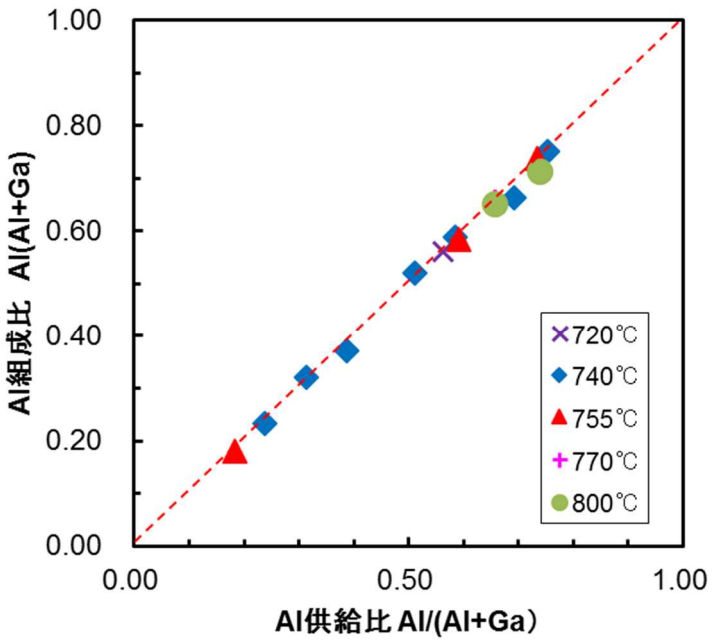
InAlN 電子供給層		AlGaN スペーサ
In 組成 (%)	膜厚 (nm)	膜厚 (nm)
14.3	12	2

①－５　InAlGaN 組成制御

InAlN はシート抵抗低減を実現したが、統合デバイス一次試作においてゲートリーク電流が高いという課題が判明した。また、InAlN の成長温度は、コンタクト抵抗低減に用いる低抵抗層 GaN 選択再成長の成長温度よりも低いため、選択再成長時に InAlN 電子供給層の変質も懸念される。これらの問題を解決するため、4 元系の InAlGaN の開発に着手した。InAlGaN は、成長温度を増加して結晶品質を高めることが可能であるため InAlN よりも高耐圧化が期待でき、かつ選択成長時における電子供給層変質も抑制できる。

Al および Ga 組成制御

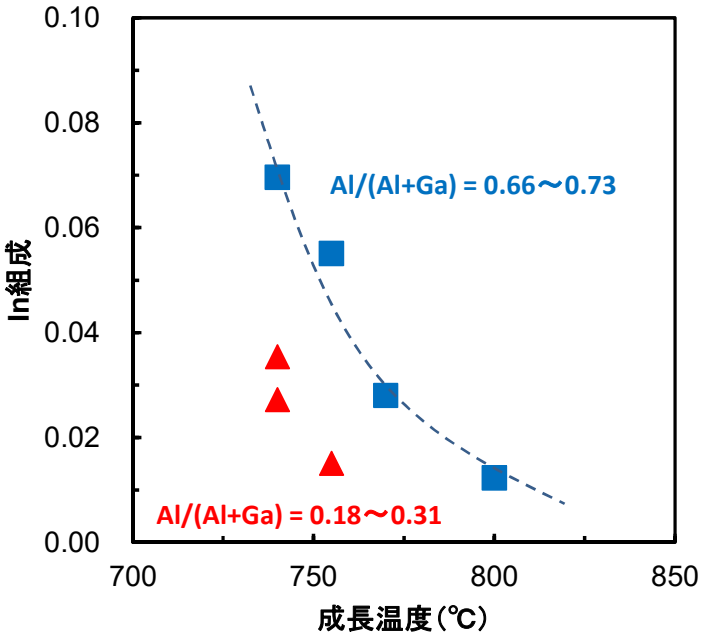
InAlGaN 電子供給層における Al 組成と Ga 組成は、Al（TMAl）と Ga（TMGa または TEGa）の原料供給比を変更することにより制御した。図①-19 に InAlGaN 結晶中の Al 組成比（Al/（Al+Ga））の Al 原料供給比（Al/(Al＋Ga)）依存性を示す。なお、Al 組成と Ga 組成は XPS により評価した。図から、Ga に対する Al 組成比は成長温度に依存せず原料供給比に一致していることが確認できる。したがって、Al 組成および Ga 組成は原料供給比によって制御が可能であることがわかる。



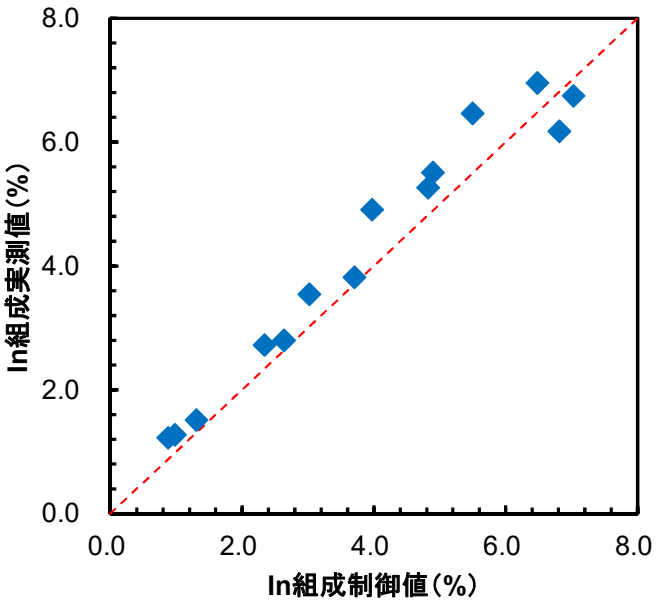
図①-19　InAlGaN 結晶中の Ga に対する Al 組成比の原料供給比依存性

In 組成制御

エピ結晶への In 取り込み量は成長温度による影響が大きいため、InAlGaN における In 組成は成長温度に依存する。そのため、In 源である TMIn の供給量を一定とし、成長温度を変更することより In 組成の制御を行った。図①-20 に InAlGaN 結晶中の In 組成の成長温度依存性を示す。サンプルの Ga に対する Al 組成比は青い四角、赤い三角がそれぞれ 0.66～0.73、0.18～0.31 である。図①-20 から In 組成は成長温度の上昇に伴い一意的に減少することから、In 組成は温度制御がキーであることが示された。また、In の取り込み量は温度のみではなく電子供給層結晶中の Al 組成にも依存することがわかる。つまり、In 取り込み量の最大値（青い点線）は成長温度で決まり、さらに Al 組成が低下すると、In 取り込み量が減少することが判明した。そこで、Al 組成の減少によって In 組成が低下するというパラメータを新たに結晶成長の制御値として導入した。図①-21 に InAlGaN における In 組成制御値と実測値の比較を示す。In 組成の制御値と実測値は良く一致しており、一連の検討によって In 組成の制御が可能となった。



図①-20　InAlGaN 結晶中の In 組成比の成長温度依存性



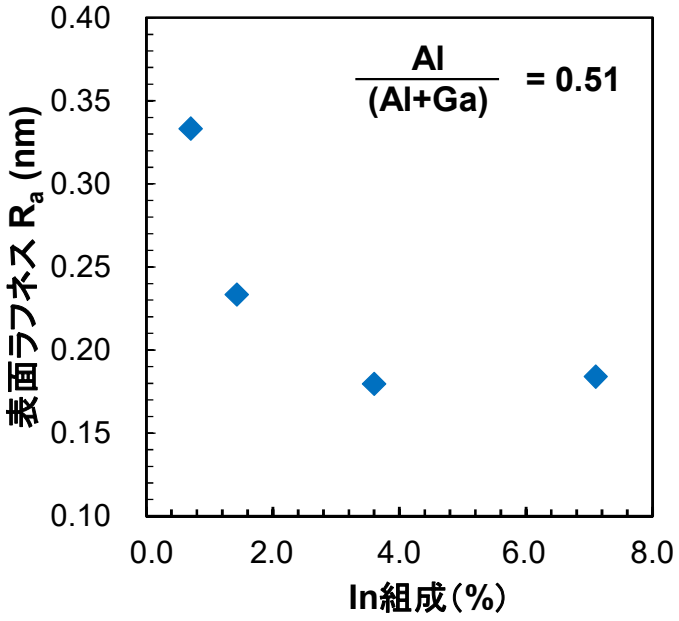
図①-21　InAlGaN における In 組成制御値と In 組成実測値の比較

①－６　InAlGaN/GaN-HEMT 結晶構造の最適化

表面平坦性

表面平坦性の劣化は、ゲートリーク量の増大などを引き起こす。そのため、表面ラフネス Ra＜0.20 nm を満たす InAlGaN 電子供給層成長条件の調査を行った。実験に用いた InAlGaN 電子供給層の膜厚は 5.5 nm±0.8 nm である。膜厚は XRR により同定した。図①-22 に InAlGaN 電子供給層における Ra の In 組成依存性を示す。なお、この時の Ga に対する Al 組成比は 0.51 である。図から、In 組成が低くなるにつれて表面ラフネス Ra は増加することがわかった。これは、In 組成の減少により、InAlGaN 電子供給層中の歪みが増加し 3 次元的な成長が促進されたためと考えられる。したがって、Ga に対する Al 組成比が 0.51 の本サンプルでは In 組成が 0.04 以上あれば、Ra＜0.20 nm を満たすことがわかる。

以上の結果から、InAlGaN 電子供給層において、Ra＜0.20 nm を実現した。例えば、$In_{0.04}Al_{0.49}Ga_{0.47}N$ では Ra = 0.180 nm である。



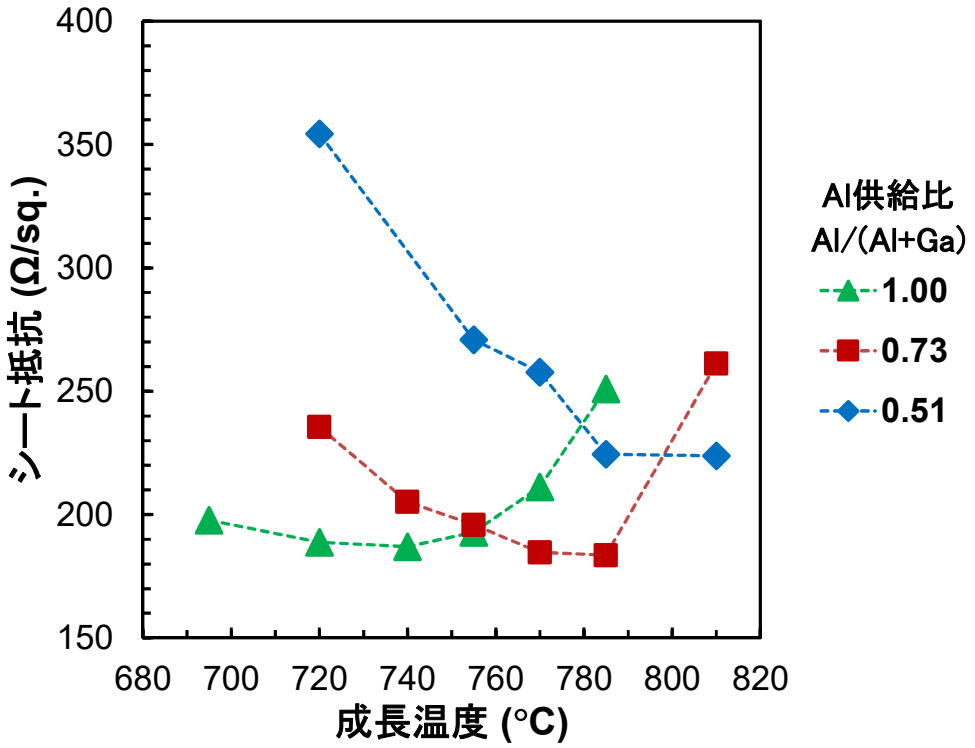
図①-22　InAlGaN 電子供給層における表面ラフネス Ra の In 組成依存性

シート抵抗低減

InAlGaN/GaN-HEMT の高出力化を実現するため、シート抵抗＜200 Ω/sq. を満たす InAlGaN 電子供給層の成長条件を調査した。実験に用いた InAlGaN 電子供給層の膜厚は 5.5 nm±0.8 nm である。膜厚は XRR により同定した。図①-23 に InAlGaN 電子供給層におけるシート抵抗の成長温度依存性を示す。Al 供給比 1.00、つまり InAlN では、成長温度の上昇にともなってシート抵抗は微減するが、755℃から増加に転じ、770℃以上になるとシート抵抗が大きく増加した。この現象は次のように説明できる。つまり、755℃までは成長温度の上昇により In 組成が低下することで自発分極およびピエゾ分極が増加し、シートキャリア濃度が増える。一方、成長温度が更に上昇して In 組成が小さくなりすぎると、電子供給層の歪みが大きくなることで GaN チャネルへの圧縮ひずみが増加し、結果として移動度が低下する [5]。

Al 供給比 0.73 の InAlGaN に関しては、成長温度が 720℃の時点で InAlN よりもシート抵抗が高いが、成長温度を増加させることでシート抵抗は低減し、755℃以上では、InAlN よりもシート抵抗が低くなった。また、785℃の高温に至っても 200 Ω/sq. 以下の低シート抵抗を維持しており、これは Ga により InAlGaN 電子供給層内の歪みを抑制しているためと考えられる。なお、Al 供給比が 0.51 になると、成長温度を高温化しても生成されるキャリア濃度が不十分のため、シート抵抗が下がらず 200 Ω/sq. 以下にはならない。Al 組成比の低下は自発分極を大きく減少させるため、ピエゾ分極が増加してもシート抵抗が低減しなかったと考えられる。

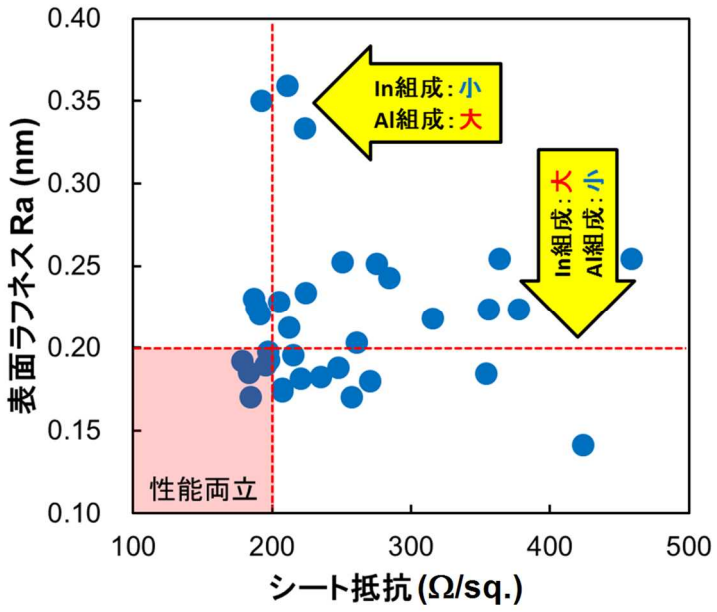
以上の結果から、複数の InAlGaN 電子供給層組成においてシート抵抗＜200 Ω/sq. の目標を達成し、InAlN に比べ最大で 90℃の成長温度の高温化を実現した。例えば、$In_{0.02}Al_{0.72}Ga_{0.26}N$ では、成長温度 785℃、シート抵抗：183.6 Ω/sq. である。



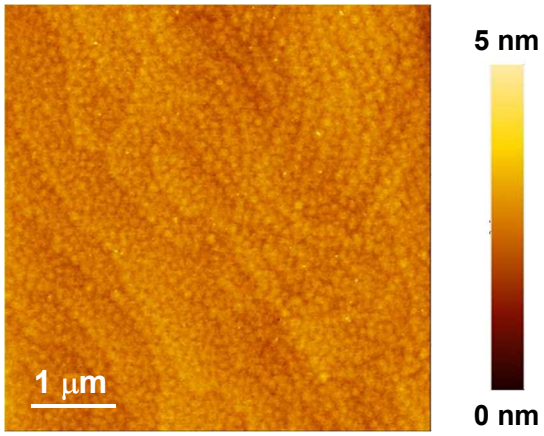
図①-23　InAlGaN 電子供給層におけるシート抵抗の成長温度依存性

表面平坦性と低シート抵抗の両立

続いて、表面平坦性と低シート抵抗を両立する構造について検討した。図①-24 に InAlGaN 電子供給層における表面ラフネスとシート抵抗の関係を示す。表面ラフネスに関しては In 組成が高く、Al 組成が低いほど改善する傾向がある。一方、シート抵抗に関しては、In 組成が低く、Al 組成が高いほど良化する。したがって、互いにトレードオフの関係にあるため、表面平坦性と低シート抵抗とを両立する組成範囲は非常に狭い。本実験においては、In 組成 0.02～0.05、Al 組成 0.64～0.83 の組成範囲における一部のサンプルにおいて、両立する構造が得られた。例えば、$In_{0.05}Al_{0.70}Ga_{0.25}N$ 電子供給層において、表面ラフネス Ra：0.189 nm（図①-25）、シート抵抗：195.9 Ω/sq. を実現した。



図①-24　InAlGaN 電子供給層における表面ラフネスとシート抵抗の関係



図①-25　$In_{0.05}Al_{0.70}Ga_{0.25}N$ 電子供給層表面の AFM 像

試作デバイスに適用した InAlGaN/GaN-HEMT 結晶構造

InAlGaN/GaN-HEMT の高性能化を目的とし、InAlGaN 電子供給層において表面平坦性と低シート抵抗を両立する構造の調査を行った。表面平坦性とシート抵抗は In 組成の多寡でトレードオフの関係にある。そのため、表面平坦性と低シート抵抗を両立する組成範囲は非常に狭いが、成長条件を最適化することで両者を両立する構造が得られた。本実験で得られた表面平坦性と低シート抵抗を両立する構造の一覧を表①-2 に示す。

表①-2　最適な InAlGaN/GaN-HEMT 構造

構造	シート抵抗（Ω/sq.）	Ra（nm）
$In_{0.06}Al_{0.83}Ga_{0.11}N$	179.1	0.192
$In_{0.05}Al_{0.70}Ga_{0.25}N$	195.9	0.189
$In_{0.03}Al_{0.71}Ga_{0.26}N$	184.7	0.170
$In_{0.03}Al_{0.64}Ga_{0.33}N$	197.9	0.192
$In_{0.02}Al_{0.72}Ga_{0.25}N$	183.6	0.185

本実験により得られた結果を基に、InAlGaN/GaN-HEMT エピを成長し、統合デバイス二次試作に適用した。デバイス結果は「⑨要素技術統合向けインテグレーション」に詳述するが、InAlN/GaN-HEMT を上回る良好な特性が得られた。

一方で、二次試作においてもゲートリーク抑制や耐圧性能が十分ではないことが示された。この課題への対応策を検討するため、「④高電流構造シミュレーション」によりデバイスシミュレーションを実施した結果、高濃度なキャリア濃度と高い内部電界が特性劣化の主因であることが判明した。そこで、本項で確立した InAlGaN 結晶成長技術を駆使し、シミュレーションで耐圧劣化が生じると示唆される下限以下に Al 組成を制御した InAlGaN 結晶の成長を実施した。作製した結晶は Al 組成を下げることによりキャリア濃度は減少したが、平坦化技術を適用しているため電子移動度が高く、シート抵抗の上昇は最小限に抑えられた。この結晶は統合デバイス最終試作に適用され、S 帯における従来比出力 2 倍超の達成に大きく貢献した。

①－７　まとめ

平成 27 年度は、InAl(Ga)N/GaN-HEMT の性能を左右する Al(Ga)N スペーサ層の平坦化を実施した。平坦化の指標には算術平均粗さ Ra を用い、開発目標値である 0.25 nm 未満を達成した。

平成 28 年度は、平成 27 年度に開発したスペーサ層を適用した InAlN/GaN-HEMT の構造最適化を行った。最適化により性能目標として設定したシート抵抗 200 Ω/sq.未満を達成した。また、高耐圧化に有利な InAlGaN 電子供給層の基礎検討にも着手した。

平成 29 年度は、InAlGaN 電子供給層の高品質化と構造最適化を実施し、目標性能として設定したシート抵抗 200 Ω/sq.以下かつ表面平坦性 Ra 0.20 nm 未満を達成した。また、開発で獲得した知見を基に最適化した In 系結晶を作製して統合デバイスへ適用した。

参考文献

[1] C. W. Snyder, B. G. Orr, D. Kessler, and L. M. Sander, Phys. Rev. Lett., **66**, 3032 (1991)

[2] A. Yamada, T. Ishiguro, J. Kotani, S. Tomabechi, and N. Nakamura, Phys. Stat. Sol. (b), **254**, 1600496 (2017)

[3] A. Teke, S. Gökden, R. Tülek, J. H. Leach, Q. Fan, J. Xie, Ü. Özgür, H. Morkoç, S. B. Lisesivdin, and E. Özbay, New J. Phys., **11**, 063031 (2009)

[4] M. N. Gurusinghe, S. K. Davidsson, and T. G. AnderssoS, Phys. Rev. B, **72**, 1 (2005)

[5] C. E. Dreyer, A. Janotti, and C. G. Van de Walle, Appl. Phys. Lett., **102**, 142105 (2013)

１．１．２ ②バックバリア成長技術の開発

開発概要

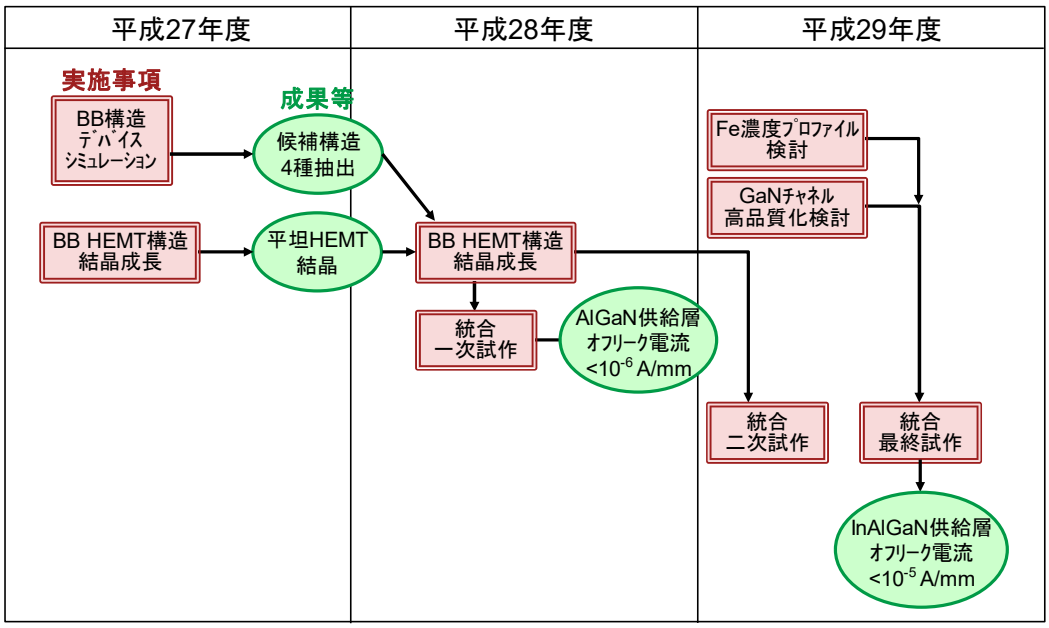
本項で報告する「②バックバリア成長技術の開発」は、高周波デバイスの高出力化を目的として、ソース-ドレイン間オフリーク電流の低減を行った。チャネル層中の電子が基板側へ拡散することを抑制するために、InGaN 層の分極電荷を利用した InGaN バックバリア(Back Barrier: BB)構造の開発と成長最適化を実施し、結晶構造の構成要素である「①InAlN, InAlGaN 系結晶成長技術」と融合した InGaN BB 構造 HEMT 結晶を統合デバイス最終試作へ適用した。

本開発の概要は次のとおりである（開発フローチャート図②-1)。

平成 27 年度は、BB 構造のデバイスシミュレーションおよび、4 種の BB 構造 HEMT 結晶を MOCVD 法により試作し、表面平坦性や結晶性の評価からデバイスへ適用するバックバリア構造を選定した。

平成 28 年度は、BB HEMT 結晶を試作し、統合デバイス一次試作（Ⅰ）においてオフリーク電流抑制効果が得られることを示し、目標値 1E-6 A/mm 以下（V_{ds}= 50 V）を達成した。

平成 29 年度においては、バッファ層上方の Fe 濃度プロファイルの制御性向上技術、および InGaN BB の上方に位置する GaN 層の品質改善を検討し、確立した最適構造成長技術を統合デバイス最終試作に適用した。統合デバイス（最終試作（Ⅰ））においてオフリーク電流の目標値 1E-5 A/mm 未満（V_{ds}= 50 V）を達成し、本研究の最終目標である出力２倍の達成に貢献した。



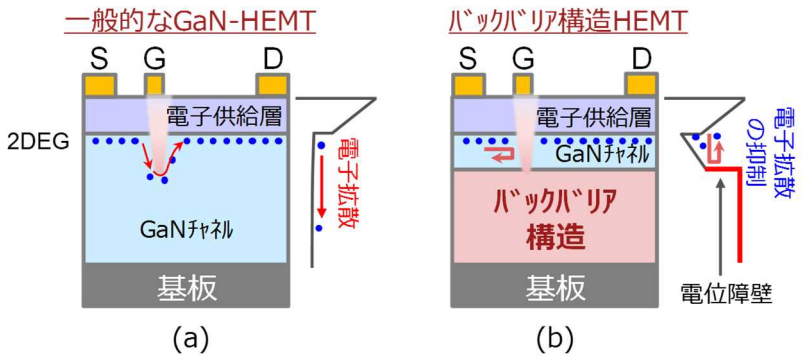
図②-1　本技術の開発フローチャート

②－１　本技術の開発意義

トランジスタの高周波動作と大電流動作を実現するためには、ゲート長の短縮が直接的なアプローチである。しかし、ゲート長が例えば数百 nm 程度の領域になると、ゲート電極に負バイアスを印加したとしても、図②-2(a)に示すようにゲート電極から離れた基板側の領域を迂回するリーク電流（オフリーク電流）が流れるようになる。

このオフリーク電流は、トランジスタの耐圧低下や動作効率の低下を引き起こし、本研究が目指すデバイスの高出力化を阻害するため、チャネル層基板側の電位を制御し、それを抑制する技術の確立が求められる。それを実現する一つの構造が図②-2(b)に示す InGaN BB 構造であり、模式的に示すように電子拡散を抑制する障壁層を有する。

ミリ波帯を含む超高周波デバイスにおいては、本技術の重要性はさらに高くなり、将来高周波デバイスの必須要素技術になると考えられる。



図②-2　(a)BB 非適用構造と(b)BB 適用構造におけるリーク電流の抑制

②－２　デバイスシミュレーションモデル

本研究におけるデバイスシミュレーションは、シノプシス社の Sentaurus Device Simulator を用いて行った。以下に半導体デバイスシミュレーションが取り扱う基本的な方程式とモデルについて簡単に説明する。

半導体デバイスシミュレーションは、デバイス断面を短冊状に分割し、全ての格子点におけるキャリア濃度、電位、電界、キャリア温度等の物理量を同時に自己無撞着に解くことで、デバイス内部の電子分布・電界強度分布などを明らかにしていく。デバイス動作を予測する上で最も基本となる方程式は、ポアソン方程式、電界の式、電子・ホールに対する連続方程式の 4 式になる。

［ポアソン方程式］

$$\frac{d\emptyset(x)}{dx^2} = -\frac{q}{\varepsilon_s \varepsilon_0}(N_D - n + p - N_A) \qquad (式②-1)$$

［電界の式］

$$E = \ -\frac{d\emptyset(x)}{dx} \qquad (式②-2)$$

［電流連続方程式］

$$\frac{dn}{dt} = \mu_e E\frac{dn}{dx} + D_e\frac{d^2n}{dx^2} - \frac{n-n_0}{\tau_e} + G \quad (電子) \qquad (式②-3)$$

$$\frac{dp}{dt} = \mu_h E\frac{dp}{dx} + D_h\frac{d^2p}{dx^2} - \frac{p-p_0}{\tau_e} + G \quad (ホール) \qquad (式②-4)$$

［エネルギーバランス方程式］

$$J_N = \mu_e\left(n\nabla E_c + kT\nabla n - nkT\nabla \ln\gamma_n + \lambda_n f_n kn\nabla T - 1.5nkT\nabla lnm_n^*\right) (電子) \qquad (式②-5)$$

$$J_p = \mu_h\left(p\nabla E_V + kT\nabla p - pkT\nabla \ln\gamma_p + \lambda_p f_p kp\nabla T - 1.5pkT\nabla lnm_p^*\right) (ホール) \qquad (式②-6)$$

［Shockley-Read-Hall(SRH)統計］

$$\tau_n = \frac{1}{C_n n_1} \qquad \left(n_1 = N_C exp\left(-\frac{E_c - E_t}{kT}\right)\right) \quad (電子) \qquad (式②-7)$$

$$\tau_p = \frac{1}{C_p p_1} \qquad \left(p_1 = N_V exp\left(-\frac{E_t - E_V}{kT}\right)\right) \quad (ホール) \qquad (式②-8)$$

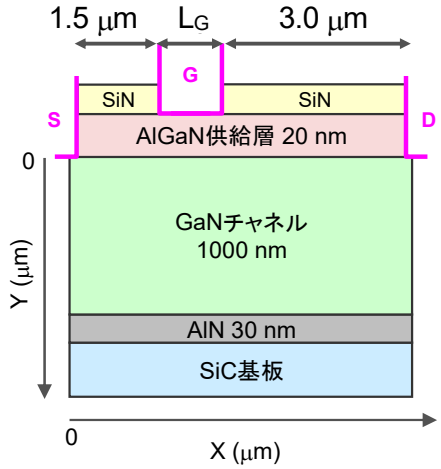
ここでφは電位、n は電子密度、p はホール密度、N_Dはドナー密度、N_Aはアクセプタ密度、ε_0およびε_sは真空中の誘電率および半導体の比誘電率、μ_e，μ_pは電子およびホールの移動度を、E は電界強度、D_e，D_hは電子およびホールの拡散定数、n_0，p_0は真性半導体におけるキャリア濃度、m_n^*，m_p^*は有効質量である。

また、SRH 統計においては、τ_n，τ_pは電子およびホールトラップの放出時定数を、C_n，C_pは電子およびホールの捕獲断面積を、N_C，N_Vは伝導帯および価電子帯の実行状態密度である。E_c，E_v，E_tはそれぞれ、伝導帯下端のエネルギー、価電子帯上端のエネルギー、トラップ準位のエネルギーである。

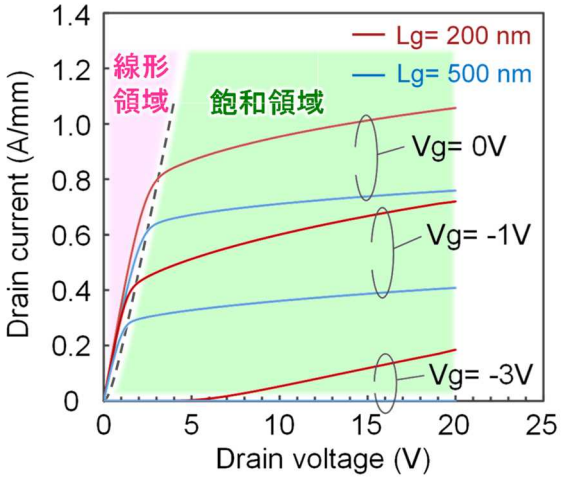
さらに、本研究の目標となる超高出力デバイスでは従来以上の高電圧を印加した動作環境が想定される。従って、シミュレーション精度の向上には高電界中において電子がホットエレクトロン化することを考慮する必要があり、上記の 4 方程式に加え、エネルギーバランス方程式を同時に解かなければならない。また、電子トラップにおける電子放出およびそれによる過渡応答特性を取り扱うためには、Shockley-Read-Hall(SRH)統計に基づき時定数を算出し、時間経過に伴うトラップの荷電状態変化も組み込む必要がある。なお、(式②-1)～(式②-6)の式は全て簡単化のため、一次元の場合の方程式を記述したが、実際にデバイスシミュレータが扱うのは、全て二次元の方程式になる。

短ゲート化によるオフリーク電流の発生

図②-3 に計算に用いた基本となる AlGaN/GaN-HEMT 構造を示す。電子供給層の Al 組成、膜厚はそれぞれ 20%、20 nm に固定した。図②-4 はゲート長(L_g)が 200 nm および 500 nm におけるドレイン電流-ドレイン電圧(I_d-V_{ds})特性の計算結果である。両デバイスの特性を比較すると、飽和領域の振る舞いが大きく異なる。L_g= 500 nm においても、図中に示す飽和領域においてドレイン電流がドレイン電圧の上昇に伴って増加する傾向が見られているが、その傾向は L_g= 200 nm とゲート長が短い、いわゆる短ゲートデバイスにおいて特に顕著になっている。さらに、ゲート電圧を閾値電圧以下の V_{gs}= -3 V における計算結果を比較すると、L_g= 500 nm のデバイスではトランジスタがオフ状態であるのに対し、L_g= 200 nm においてはドレイン電圧が 5 V を越えた辺りから電流が流れ始め、V_{ds}= 20 V に至っては 0.2 A/mm に迫る電流が流れている。



図②-3　シミュレーションに用いたAlGaN-HEMT構造



図②-4　I_d-V_{gs} 特性のゲート長依存性

このようにゲート電極に閾値電圧以下の電圧が印加された状態でソース-ドレイン間に流れる電流を、オフリーク電流と呼ぶ。

オフリーク電流の発生メカニズム

図②-5(a)および(b)は L_g= 200 nm と 500 nm のデバイスがそれぞれ V_{gs}= -3 V、V_{ds}= 20 V の条件下でオフ状態にあるときのポテンシャル分布と電流分布を比較している。なお、以降において述べるポテンシャルは、すべて電子に対するポテンシャルを意味している。

図②-5(a)に示すように、正バイアスが印加されているドレイン電極近傍の電子に対するポテンシャルは低く、さらにゲート-ドレイン電極間で大きな電圧降下はないため、デバイス中のポテンシャル分布はゲート電極端までドレイン電極とほぼ等電位となっている。その電位の伝播を遮るのがゲート電極の役割であり、図②-5(a)からも分かるように、ゲート電極の位置を境に電位が急激に持ち上がり、ソースーゲート間の領域ではソース電極とほぼ同電位にある。ポテンシャル分布のみで比較すると、L_g= 200 nm と 500 nm のデバイスに大差はないように見える。しかし、図②-5(b)に示す電流分布像を見ると両者の違いは歴然であり、L_g= 200 nm のデバイスにおいては、ゲート電極の下を迂回するように大きなリーク電流が流れているのが分かる。このリーク電流の存在により、図②-4 に示すように L_g= 200 nm のデバイスにおいては、V_{gs}= -3 V でもトランジスタが十分なオフ状態とならない。

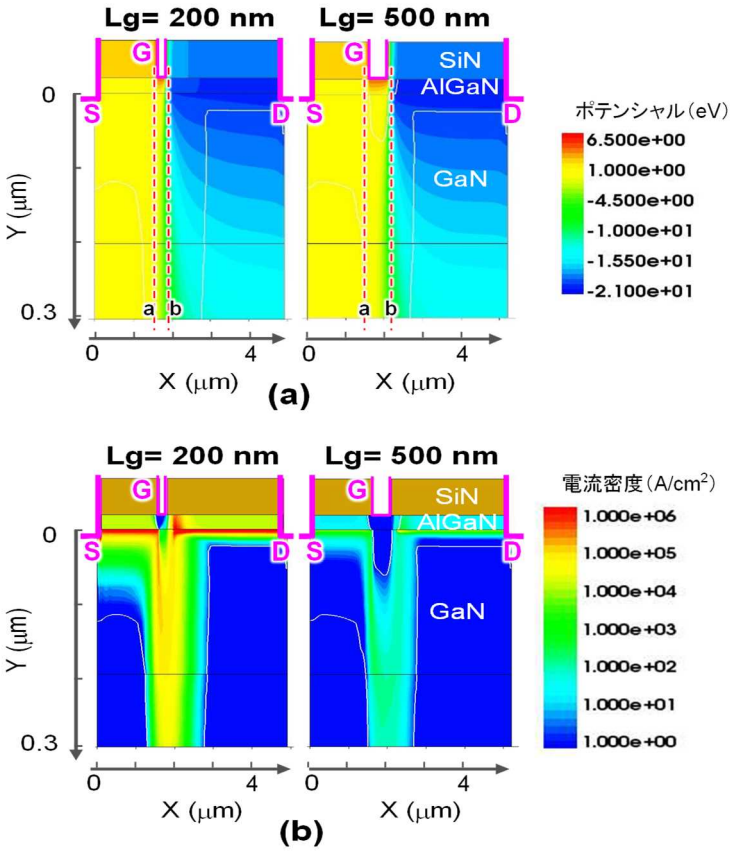
両者の差の本質は、ゲート電極よりもソース側の位置において、電子がデバイスの奥部（基板側）へ流れるかどうか、ということにある。L_g= 200 nm でのデバイスにおいて電子がゲート電極下へ迂回した理由を明らかにするため、図②-5 に示す破線の位置にて切り出した一次元ポテンシャル分布を図②-6 に示す。図②-6(a)に示すように、L_g= 200 nm のデバイスにおいて、2DEG の存在する AlGaN/GaN 界面から奥側に向かって、ポ

テンシャルが低下しているのが分かる。これはゲート長の短いデバイスにおいて、ドレインに印加している正電位がゲート電極の下を回りこみ、ソース電極側の電位分布にも影響を与えていることによる。

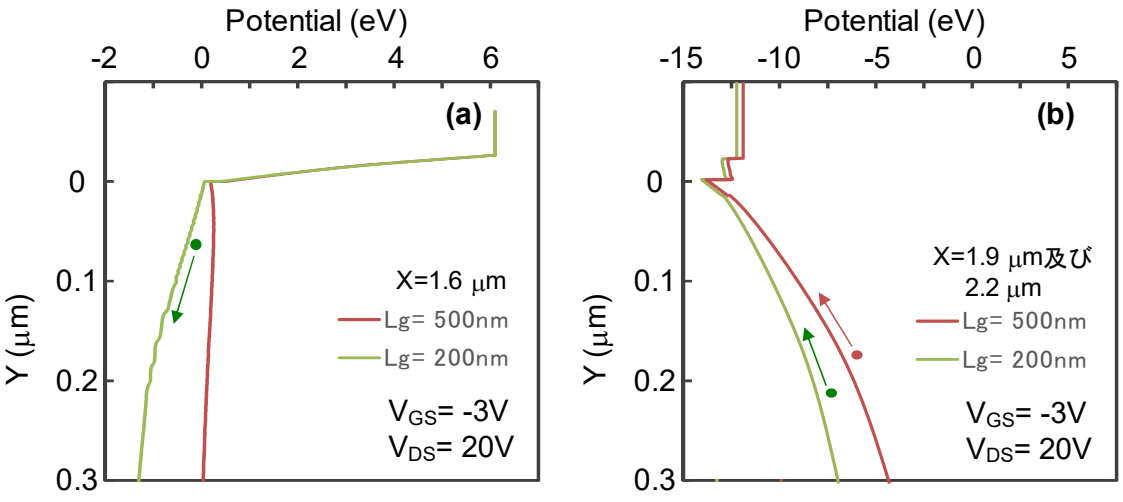
したがって、ソース電極からドレイン電極へ電子が流れる際に、電子に対するポテンシャルが相対的に高いゲート直下の表面付近を流れることはせず、図②-6(a)に示したポテンシャル分布に従って一度デバイスの奥側へ流れ、ゲート電極の下を迂回するようにドレイン電極側へ移動する（図中に電子移動方向を示す)。ゲート電極下を通過した後は、ドレイン電極に印加されている正バイアスのために表面側の電位が低くなっており、電子は図②-6(b)に示すように再度 AlGaN/GaN 界面の 2DEG 付近に落ち込み、それからドレイン電極に向かって流れる。したがって、図②-6(b)に示すような電子輸送経路が形成され、大きなオフリーク電流が流れることになる。

以上のように、ドレイン電圧を印加することによりソース電極側の電位プロファイルが変調され、ソースからドレインへ向かう電流輸送経路が形成されるか否かによってデバイスのオフリーク電流の大小が決まる。以上のように、オフリーク電流の多寡はデバイスのゲート長によって特に大きく左右されるほか、電子供給層膜厚、チャネル層中の電子トラップ濃度、バッファ構造等、複数の要因が絡み合って決まる。

なお、ソース電極側からの電子の回り込みを抑制するため、ゲート電極に極端に大きな負電圧を印加し、ゲート電極付近の電位を持ち上げることも考えられる。しかし、表面から離れた領域の電位制御性は低く、効果的な方法とは言えない。さらに、ゲート-ドレイン間電位差が不用意に大きくなり、ゲートリーク電流の増加や、印加できる最大ドレイン電圧が小さくなるなど、高出力化を阻害することになる。



図②-5　オフバイアス印加時の(a)ポテンシャル分布および(b)電流密度分布



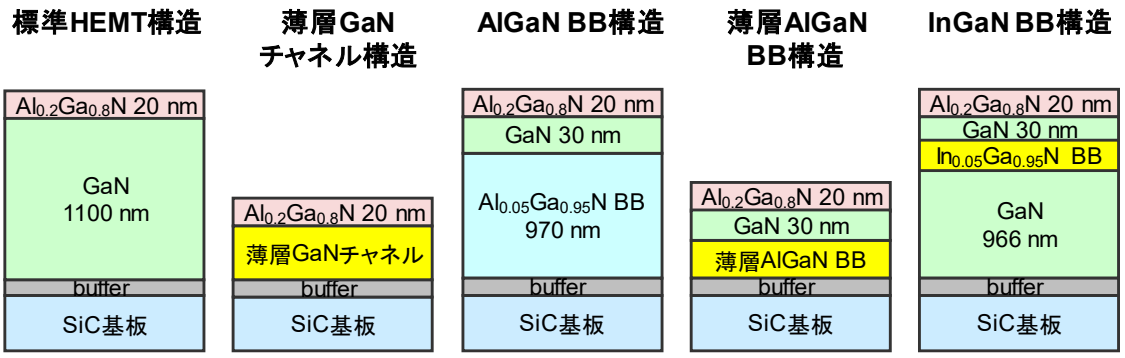
図②-6　(a)ソース側ゲート電極端及び、(b)ドレイン側ゲート
電極端における一次元ポテンシャル分布

オフリーク電流を抑制する構造

前述したように、オフリーク電流の有無は、ドレイン電圧を印加することによってソースからドレインへ向かう電子輸送経路が形成されるか否かによって決まる。したがって、オフリーク電流の低減には、その輸送経路の形成を抑制することが最適なアプローチとなる。

オフリーク電流を抑制する構造として、ここでは以下に示す 4 種類の構造を検討した。

各構造の利点と、実際の結晶成長における技術的課題を図②-7 にまとめる。



構造	薄層GaN チャネル構造	AlGaN BB構造	薄層AlGaN BB構造	InGaN BB構造
オフリーク電流抑制の原理	リークチャネル幅の減少	分極効果	分極効果+リークチャネル幅の減少	分極効果
利点	全層高温成長可能、構造が単純	全層高温成長可能	全層高温成長可能	高品質GaNバッファが利用可能
実際の結晶成長における技術的課題	表面平坦性悪化	BB中の欠陥・不純物濃度の増加、表面平坦性悪化	表面平坦性悪化	InGaN層成長後の成長温度制限、GaNチャネル品質の低下

図②-7　オフリーク電流を低減するための構造

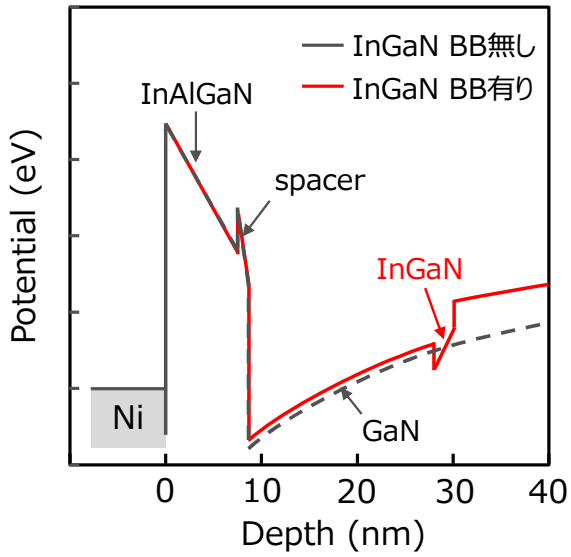
シンプルなアプローチの一つとして、GaN チャネル層の薄層化が挙げられる。前述したように、オフリーク電流はゲート電極の下の GaN チャネル層内を迂回して流れるため、チャネル層を薄くしてリーク電流の低減を図る。GaN チャネル層/バッファ(AlGaN 層)界面には、負の分極電荷が存在するため、GaN チャネル層奥部の電位は持ち上がった状態となっている。したがって、GaN チャネル層膜厚を薄くすれば、GaN 中のリークチャネルを狭窄することが出来る。この構造の利点は、後述する AlGaN BB 構造、InGaN BB 構造のように、結晶中の不純物・欠陥密度が高くなりやすい Al, In 系の結晶層を有しないこと、構造が単純であること、が挙げられる。しかし、実際の結晶成長においては、GaN 層の薄層化により表面平坦性および結晶性の悪化が顕著になる。

窒化物半導体の特徴の一つである分極電界を利用する方法としては、AlGaN BB 構造

が挙げられる。AlGaN 層の自発分極が大きいことにより、GaN/AlGaN BB 界面には負の分極電荷が発生し、GaN チャネル層奥部の電位を持ち上げるために電子がデバイス奥部へ拡散することが抑制される。ただし、AlGaN 結晶の成長においては、結晶構成元素に化学的に活性な Al を含み、結晶中の不純物濃度の低減が GaN 結晶に対して難しい。例えば AlGaN BB 層中の炭素不純物は、電子トラップとして働き、電流コラプス現象の原因となることが懸念される。また、Al 原子の表面マイグレーション長が短いことに起因して、高い平坦性を有する AlGaN BB 表面の実現が難しい。GaN 層は高い平坦性を実現しやすいため、表面平坦性の改善を目的として AlGaN BB 層上に厚い GaN 層を形成することもできる。しかし、後述するように GaN 層内部でオフリーク電流経路が形成されるため、安易に GaN 層を厚くすることは出来ない。このため、バックバリア上の GaN チャネル層を薄く保ちつつ、平坦化することが求められる。

さらに、AlGaN BB 構造と薄層化を組み合わせた構造として、薄層 AlGaN BB 構造が挙げられる。AlGaN BB 層の目的は、GaN チャネル層との界面に負の分極電荷を発生させることであり、結晶性および平坦性が確保できれば厚膜化の必要は無い。したがって、できるだけリークチャネル幅を薄くする目的で、AlGaN BB 層および GaN チャネル層を薄くすればさらなるリーク電流低減が図れる可能性がある。

最後に InGaN BB 構造について説明する。本構造も分極効果を利用して電子閉じ込めを改善する点は AlGaN BB 構造の発想と同様である。GaN 層に挟まれる形の InGaN BB 層を形成すると、InGaN BB 層表面側、基板側の界面にはそれぞれ正、負の分極電荷が発生し、電子を表面側に閉じ込める強い分極電界が発生する。図②-8 に InGaN BB 構造のバンドプロファイルの模式図を示す。InGaN BB 層に発生した内部電界により、InGaN BB 層の下に位置する GaN 層のポテンシャルが持ち上がり、電子が InGaN BB 層の下の GaN 層へ拡散することを抑制できる。本構造の利点は、比較的厚い AlGaN 層を必要とする AlGaN BB 構造に対し、In 含有層は数 nm 以下で効果を発現することにある。AlGaN 層が欠陥・不純物濃度が高くなりやすいことを考慮すると、電流コラプス現象の抑制という観点からも有利な特長となる。しかし、In 系材料は飽和蒸気圧が高く熱的に不安定であることから、高品質な InGaN 層の実現が難しい。さらに、InGaN 層の直上に成長する GaN チャネル層についても、GaN 層形成時に InGaN 層の脱離が生じるため、直接高品質な GaN チャネル層を成長させることが困難である。また、InGaN 層のバンドギャップは GaN 層よりも小さく、電子が溜まる量子井戸構造が形成され、それによるリークパスが発生する可能性にも注意する必要があるといった設計上の難しさも有する。



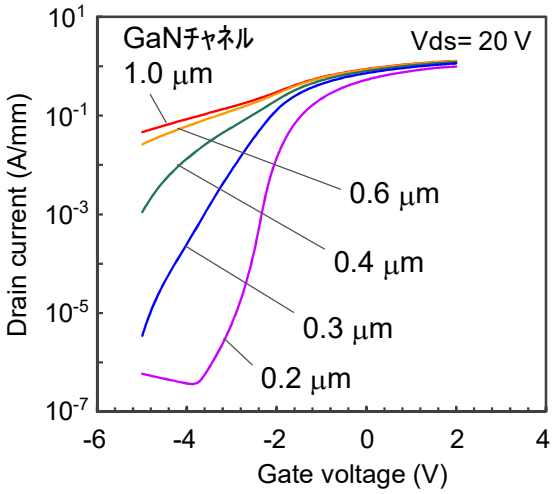
図②-8　InGaN BB 構造のバンドプロファイル

各提案構造のシミュレーション検討

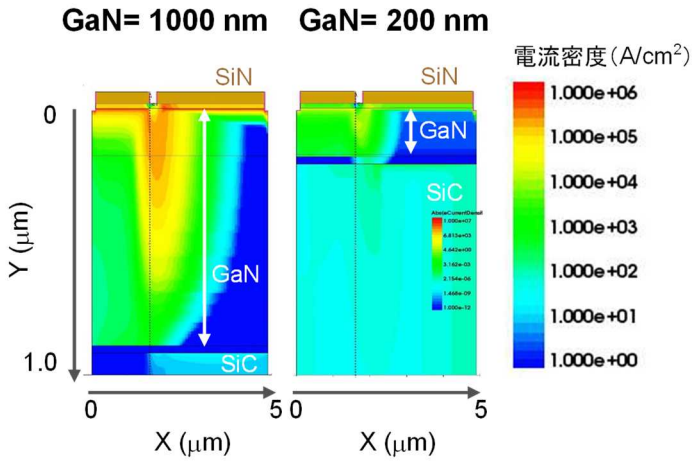
以下のシミュレーション構造においては、全てゲート長を 0.25 μm とした。

薄層 GaN チャネル構造

始めに、薄層 GaN チャネル構造におけるオフリーク低減効果を検証した。図②-9 に I_d-V_{gs} 特性の GaN チャネル層膜厚依存性を示す。I_d-V_{gs} 特性は GaN チャネル層厚に強く依存し、厚みが増加するほどオフリーク電流も大きくなる。このオフリーク電流は②-2 項で説明したように、ドレイン側に印加された正バイアスがソース側領域の電位を引き下げ、ゲート電極下を迂回する電子輸送経路が形成されることによる。図②-10 に GaN チャネル層膜厚が 1 μm および 200 nm のデバイスが V_{gs}= -3 V、V_{ds}= 20 V の条件下でオフ状態にあるときの電流分布像を示す。GaN チャネル層膜厚を薄くすることでゲート電極下を回りこむ電流が抑制されていることが分かる。しかし、GaN チャネル層薄層化によるオフリーク電流抑制効果は緩慢であり、200 nm まで薄層化しても-3 V 付近においてゲート制御性の低下が見られる。



図②-9　I_d-V_{gs} 特性の GaN チャネル層厚依存性



図②-10　オフ状態(V_{gs}= -3 V、V_{ds}= 20 V)における
電流密度分布の GaN チャネル層厚依存性

AlGaN BB 構造

次に AlGaN BB 構造を有するデバイスの検討を行った。シミュレーションに用いた AlGaN BB 構造は図②-7 に示すものであり、GaN チャネル層および AlGaN BB 層の総膜厚を 1 μm に固定することで、GaN チャネル層膜厚に対するバックバリア効果を検証した。なお、高 Al 組成 AlGaN 層の平坦成長が難しいこと、Al 組成が低くても分極効果によるポテンシャル制御が期待できることから、AlGaN BB 層の組成は 5%一定とした。

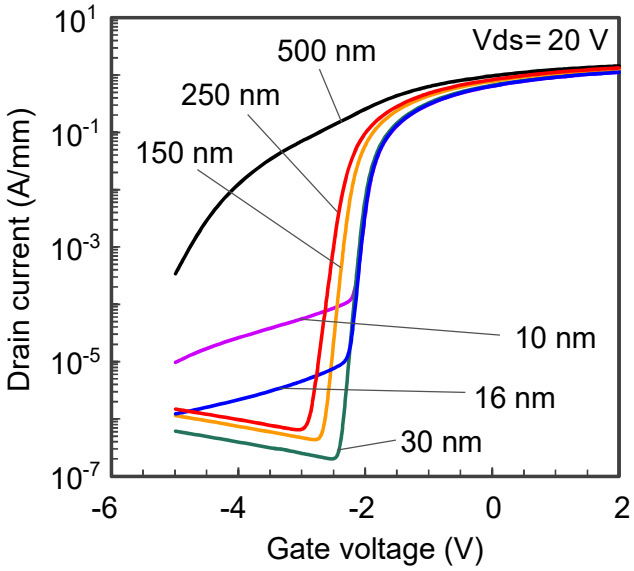
図②-11 に AlGaN BB 構造 HEMT の I_d-V_{gs} 特性の GaN チャネル層膜厚依存性を示す。図②-11 に示すように、GaN チャネル層膜厚が 20～250 nm 程度の範囲において、オフリーク電流が特に小さく、高いバックバリア効果が得られることがわかった。ここで、V_{gs}= -3 V 以下の領域におけるリーク電流は、これまで議論してきたようなソース電極側からド

レイン電極側へ電子が流れることによるオフリーク電流ではなく、トンネル機構によってゲート電極から注入された電子による電流である。この場合、ドレイン電流の下限を決めるのはゲート電極からのトンネル電子数であり、その数はゲート電極周辺の電界強度に依存する。次に、低いオフリーク特性を実現するための最適なGaN膜厚が存在する理由を説明する。図②-11に示すようにGaNチャネル層が500 nmと厚い場合、リーク電流が顕著に増加している。これはGaNチャネル層内部にリークパスが形成されるためであり、本シミュレーションで検討した結果より、GaNチャネル層膜厚は250 nm以下であることが望ましいことが分かった。

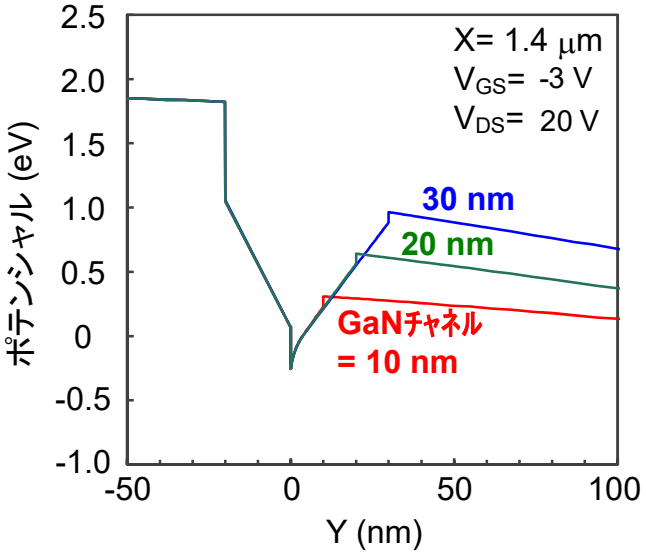
一方、GaNチャネル層の薄層化を図っていくと、図②-11に示すように、GaN層が16 nmになると、一転してリーク電流が増加することが明らかになった。この電流輸送機構を理解するために、GaNチャネル層が8 nmと30 nmのデバイスにおいて、X= 1.4 μmの位置で切り出した縦方向の一次元ポテンシャルプロファイルを比較した。ゲートおよびドレインへの印加バイアスはそれぞれ-3 V, 20 Vである。図②-12に示すように、GaNチャネル層が極端に薄くなることで、AlGaN BB層によるGaNチャネル層の電位上昇効果が十分に得られていないことが分かる。以上のようにGaNチャネル層膜厚が20 nm以下となると、AlGaN/GaN界面の電子がデバイス奥部へ拡散しやすい状態となっており、AlGaN BB構造における最適なGaN膜厚は20～250 nm程度であることが本シミュレーションによって明らかになった。

薄層AlGaN BB構造

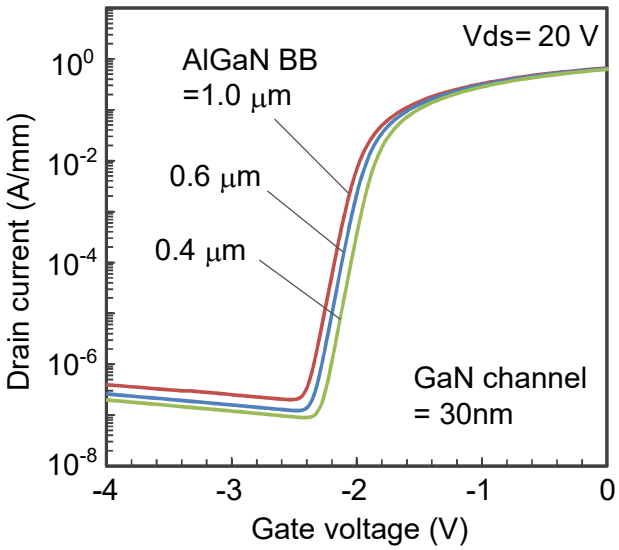
さらなるオフリーク低減を期待し、AlGaN BB層の薄層化を行い、リークチャネル幅の低減による効果を検証した。図②-13にI_d-V_{gs}特性のAlGaN BB膜厚依存性を示すように、AlGaN BB膜厚を1 μmから0.4 μmまで減少させることでオフリーク電流には若干の減少が見られた。しかし、オフリーク電流がデバイス奥部のポテンシャル分布に敏感であり、実際に図②-9及び図②-11に示すように数桁以上の変化が見られることを考えると、AlGaN BB薄層化のオフリーク電流抑制効果は小さい。AlGaN BB構造においては、前述したように分極電荷による電子の閉じ込め効果が効果的に働き、AlGaN層内への電子注入自体が抑制されているため、AlGaN層を薄くした際の効果は小さいものと理解できる。



図②-11　AlGaN BB 構造 HEMT の I_d-V_{gs} 特性と
GaN チャネル層膜厚依存性



図②-12　ゲート電極端近傍(X=1.4 μm)における
深さ方向の一次元ポテンシャル分布



図②-13　オフリーク特性の AlGaN BB 層厚依存性

InGaN BB 構造

次に InGaN BB 構造を有するデバイス構造のオフリーク低減を検討した。シミュレーションに用いた InGaN BB 構造は図②-7 に示したものであり、GaN チャネル層、InGaN BB および GaN バッファ層の総膜厚を 1 μm に固定して、GaN チャネル層膜厚に対するバックバリア効果を検証した。In 系結晶の MOCVD 成長においては、高 In 組成 InGaN 層の成長は成長温度を高品質 GaN 層の成長条件に対して、数百度以上と大幅に低減する必要があるほか[1, 2]、膜厚が厚くなると InGaN 層の相分離が始まる[3]、といった結晶成長上の課題があることを考え、シミュレーションにおいても InGaN BB 層の組成、膜厚はそれぞれ 5%、4 nm の現実的な構造設計とした。

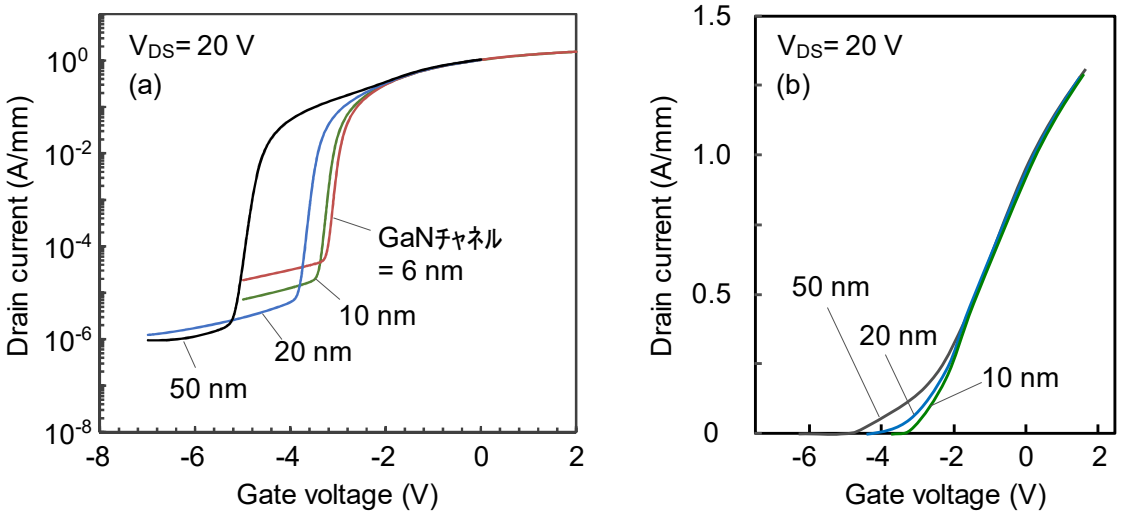
図②-14 に InGaN BB 構造を有する HEMT の I_d-V_{gs} 特性における GaN チャネル層膜厚の依存性を示す。図②-14(a)に示すように、BB 構造を適用することによりオフリーク電流は 10^{-5}～10^{-6} A/mm まで低減しており、InGaN BB 導入の効果が確認できた。GaN チャネル層膜厚の依存性を見ると、膜厚が薄くなるに従い、図②-14(b)に示すように 0.3 A/mm 以下の領域におけるゲート制御性が大幅に改善していくことが分かる。

得られた I_d-V_{gs} 特性の振る舞いを明らかにするために、図②-15(a)に GaN チャネル層膜厚が 10 nm および 50 nm のデバイスにおいて計算した電流分布像を示す。デバイスに印加したバイアスは、V_{gs}= -5 V, V_{ds}= 20 V である。図②-15(a)に示すように、GaN チャネル層が 50 nm の場合には、チャネル層内にリーク電流経路が形成されている。X= 1.6 μm の位置において一次元プロファイルを書き出したものを図②-15(b)に示す。GaN チャネル層が厚い場合には、電子が AlGaN/GaN 界面から GaN/InGaN BB 界面の広い領域に渡って高濃度に存在している。さらに図②-15(b)に示すように、50 nm の位置に鋭いリーク電流のピークが現れ、これは InGaN BB 層が量子井戸構造となることに起因している。

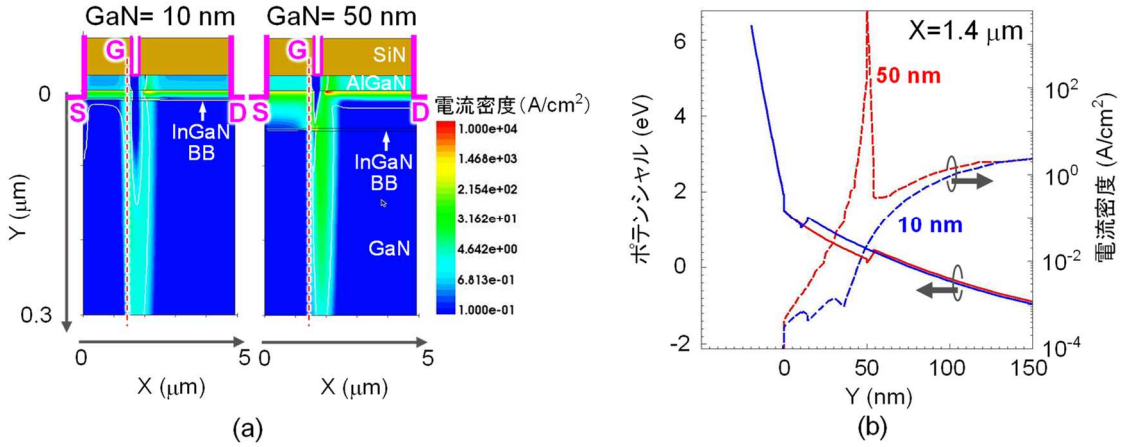
以上のリーク電流解析と図②-14 に示す I_d-V_{gs} 特性から、GaN チャネル層膜厚は 50 nm 未満であることが望ましい。

一方、図②-14(a)に示すように、GaN チャネル層膜厚が薄くなると、10^{-4}～10^{-6} A/mm の領域において、オフリーク電流が逆に増加する傾向があることも分かった。図②-16(a)は GaN チャネル層膜厚 6 nm および 20 nm のデバイスの V_{gs}= -5 V, V_{ds}= 20 V におけるリーク電流分布である。さらに、図②-16(b)に X= 1.4 μm の位置において書き出したポテンシャルおよび電子濃度の一次元プロファイルを示す。図②-16(b)に示す電流密度分布から分かるように、GaN チャネル層層が 6 nm まで薄くなると、2DEG と InGaN 層を流れる電流の区別が出来なくなっている。高密度の電子が InGaN BB 層に到達することで、より多くの電子がバックバリア層の裏側にまで拡散している。それでも InGaN BB 層内部には電子を表面側に閉じ込める方向の内部電界が発生しており、バックバリア層裏側に回りこむ電子数が抑制されているためにリーク電流は 10^{-6}～10^{-5} A/mm のオーダーであるが、チャネル層が極端に薄いと 2DEG と InGaN BB 層が接するようになり、リーク電流は増加を始めることが分かった。

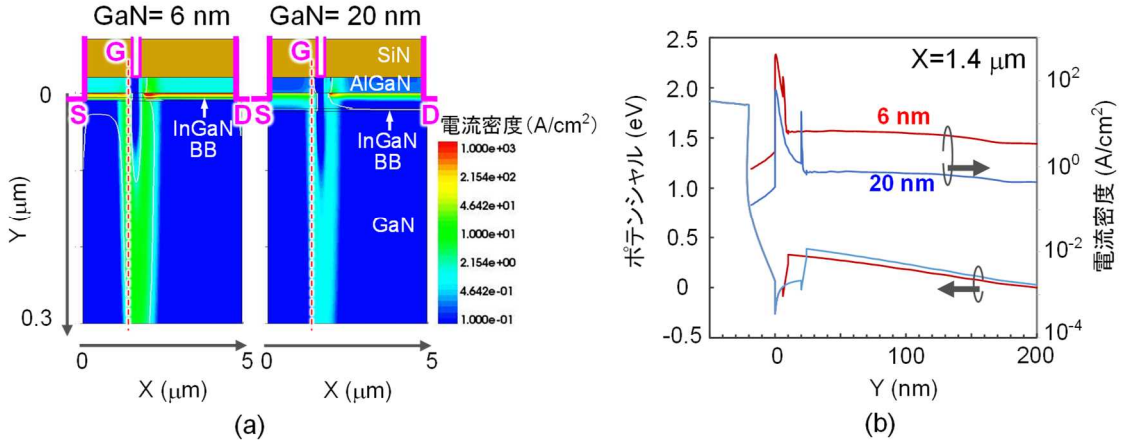
以上から、InGaN BB 構造においては、10～50 nm 未満の GaN チャネル層膜厚が最適値となることがわかった。



図②-14　InGaN BB 構造 HEMT における I_d-V_{gs} 特性の GaN チャネル膜厚依存性
(a)対数表示　(b)線形表示



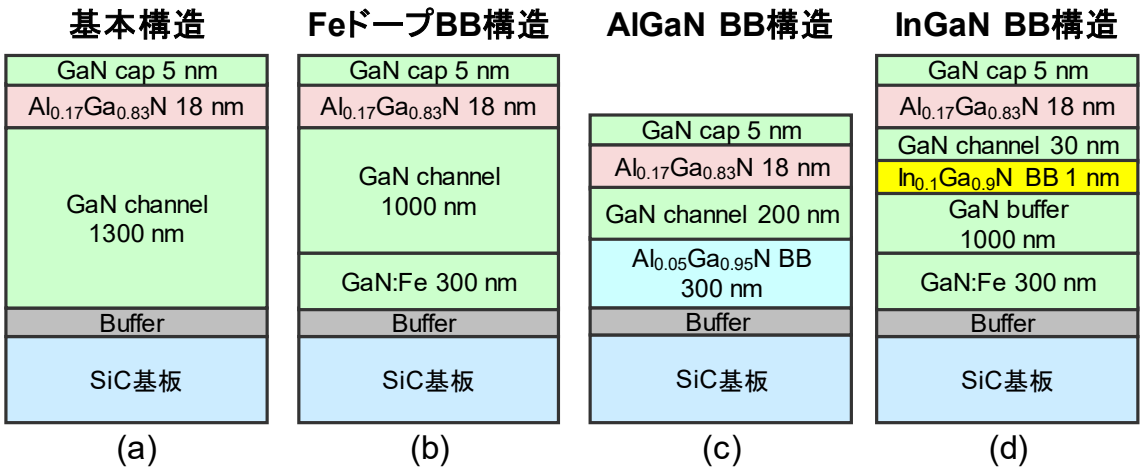
図②-15 (a) InGaN BB 構造 HEMT のオフリーク電流密度分布と
(b) X= 1.4 μm の位置における一次元電位および電流密度
プロファイル(GaN チャネル層膜厚 10 nm および 50 nm)



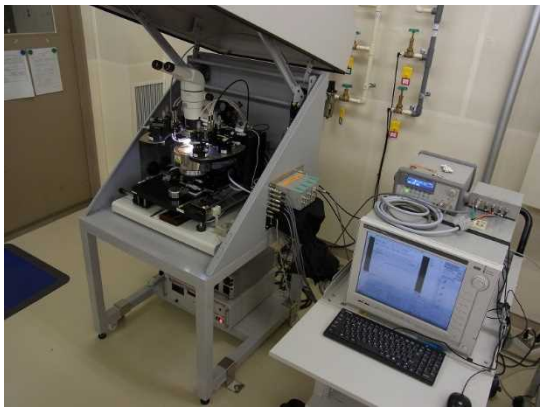
図②-16 (a) InGaN BB 構造 HEMT のオフリーク電流密度分布と
(b) X= 1.4 μm の位置における一次元電位および電流密度
プロファイル(GaN チャネル層膜厚 6 nm および 20 nm)

②－３　バックバリア構造適用 HEMT の試作と評価

平成 27 年度に試作した Fe ドープ BB、AlGaN BB、InGaN BB 構造をベースとした結晶構造において、トランジスタ試作(統合デバイス一次試作（Ⅰ）)とその電気特性評価を行った。デバイス試作を行った結晶構造を図②-17 に示す。図②-17(a)は BB 構造によるオフリーク低減効果検証のため、BB 非適用構造とした。ここで、バッファ構造、電子供給層およびキャップ層については、GaN チャネル層および GaN キャップ層の成長温度は 1010℃程度、電子供給層については 1040℃程度とし、全ての試料間で同一条件にて成長した。電気特性評価系の写真を図②-18 に示す。



図②-17　(a)BB 非適用の基本 HEMT 構造、(b)Fe ドープ BB 構造、
(c)AlGaN BB 構造、(d)InGaN BB 構造



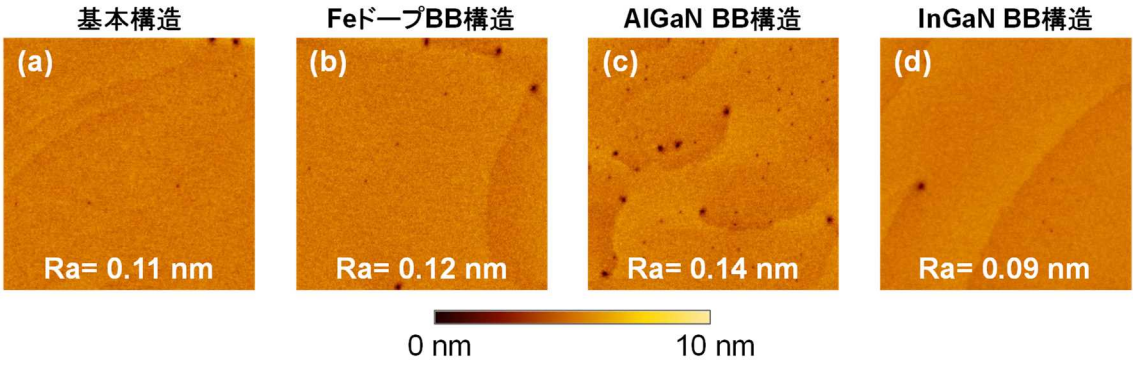
図②-18 電気特性評価システム

表面平坦性の評価

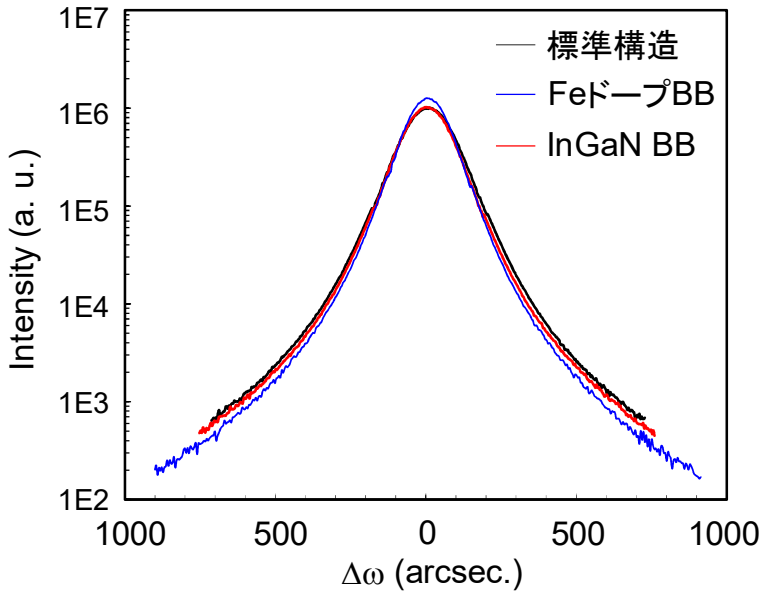
図②-19(a)-(d)に成長した HEMT 構造の AFM 像を示す。図②-19(a)に示すように、SiC 基板上に成長した BB 非適用 HEMT 構造の平坦性は非常に高く、表面に観察される微小なピットの数も少ない。表面ピットは貫通転位と一対一に対応することがこれまでの研究から分かっており、本研究にて作製した AlGaN/GaN-HEMT 構造の結晶性の高さを裏付けるものといえる[4]。同様に、図②-19(b), (d)においても高い平坦性と、低いピット密度が確認された。また、各試料の結晶性は図①-5 に示す X 線回折装置を用いて行った。図②-20 に示す X 線ロッキングカーブより見積もられる GaN(0002)回折ピークの半値幅は、基本構造、Fe ドープ BB 構造、InGaN BB 構造において、それぞれ 186 arcsec., 155 arcsec.,170 arcsec.といずれも良好で、X 線回折からも高い GaN 結晶品質が確

認できた。

一方、図②-19(c)に示す AlGaN BB 構造①においては、表面平坦性が著しく悪化していることは無いものの、ピット密度が増加していることが分かる。これは図②-19(c)に示すように、AlGaN BB 構造においては、GaN 結晶層の膜厚が 200 nm と薄く、GaN チャネル層と AlGaN BB 層の総膜厚も他構造に比して薄いため、縦方向に延びる転位が十分に消滅していないためと理解できる。



図②-19　(a)BB 非適用の基本 HEMT 構造、(b)Fe ドープ BB 構造、
(c)AlGaN BB 構造①、(d)InGaN BB 構造の AFM 像



図②-20　BB 非適用の AlGaN/GaN-HEMT 構造、Fe ドープ BB 構造、
AlGaN BB 構造、InGaN BB 構造の GaN(0002)回折 X 線ロッキングカーブ

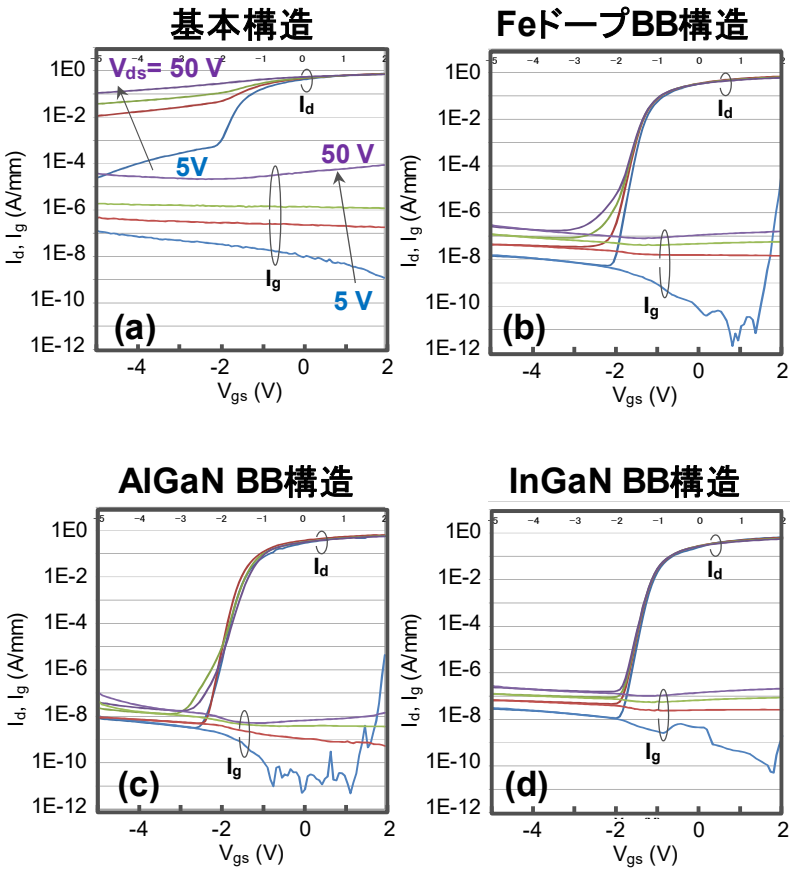
トランジスタ DC 特性の評価

次に試作した AlGaN/GaN-HEMT の I_d-V_{gs} 特性を評価し、トランジスタオフ状態におけるオフリーク電流について比較した。図②-21(a)-(d)に測定した I_d-V_{gs} 特性を示す。ド

レイン電圧は5 Vから50 Vの範囲で、15 V毎に測定を行った。測定はオフリーク特性の変化をより明瞭に観察するため、全てゲート長0.12 μmの短ゲートデバイスにおいて行った。統合デバイス一次試作（Ⅰ）の概要については、「⑨要素技術統合向けインテグレーション」を参照されたい。

図②-21(a)に示すように、BB非適用構造においては、V_{ds}= 5 V時においても、大きなソース-ドレイン間リーク電流が観察され、それはV_{ds}の増加に伴って顕著に増加する傾向が見られた。オフリーク電流は極めて大きく、V_{ds}= 50 V 時においては、オン状態とオフ状態の電流比が 1 桁程度まで縮小している。一方、Fe ドープバックバリア構造では、ゲート制御性が著しく改善されていることが分かる。さらに、V_{ds}= 50 V 時においても目標とした1E-6 A/mmを下回る低いオフリーク電流が実現された。ただ、V_{ds}= 5 V時のI_d-V_{gs}特性の形状と、V_{ds}= 50 V時のものを比較すると、閾値電圧付近において大きく開きがあり、高ドレインバイアス印加時はゲート制御性の悪化が見え始めていることを示している。同様にAlGaN BB構造についても、BB非適用構造と比較すると、ゲートの制御性は大きく改善し、目標値1E-6 A/mm以下を達成している。しかし、本構造においては閾値電圧がV_{ds}に依存して変化する様子が見えており、結晶中のトラップ準位が関係している可能性を示唆している。なお、この点は後述するパルスIV特性の結果を基に再度議論する。最後に、InGaN BB構造においては、V_{ds}= 5～50 Vのどの電圧においても、理想的なI_d-V_{gs}特性が得られた。特に、閾値電圧近傍において、V_{ds}= 5 VとV_{ds}= 50 V時のI_d-V_{gs}特性の開きが小さく、Fe ドープバックバリア構造に対しても良好なゲート制御性が実現している。

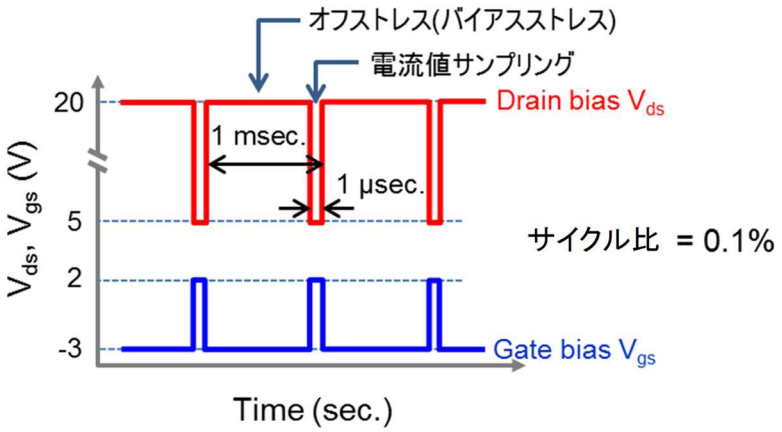
以上のように、いずれのBB構造においても、ゲート制御性が著しく改善することが分かった。特にInGaN BB構造においては、V_{ds}= 50 V時においても良好なオフ特性を保っており、高いBB効果が確認できた。さらに、AlGaN BB構造で見られたような閾値電圧のふらつきも見られなかったことから、トラップが関連するようなデバイス動作の不安定性も小さく、良好なトランジスタ動作が確認できた。



図②-21　(a)BB 非適用の基本 AlGaN/GaN-HEMT 構造、(b)Fe ドープ BB 構造、(c)AlGaN BB 構造、(d)InGaN BB 構造の I_d-V_{gs} 特性

パルス IV 特性の評価

トランジスタの電流安定性を評価するために、パルス IV 測定を行った。パルス IV 測定においては、設定した保持バイアス状態から、測定するゲート電圧およびドレイン電圧へ印加電圧をパルス状に変化させ、その瞬間の電流値をドレイン電流として測定する。このときの電圧パルスの与え方を図②-22 に示す。これを繰り返し、I_d-V_{ds} 特性を記録する。保持バイアスに電圧を保持する時間は 1 msec. とし、ドレイン電流を測定するときのパルス幅は 1 μ sec. とした。

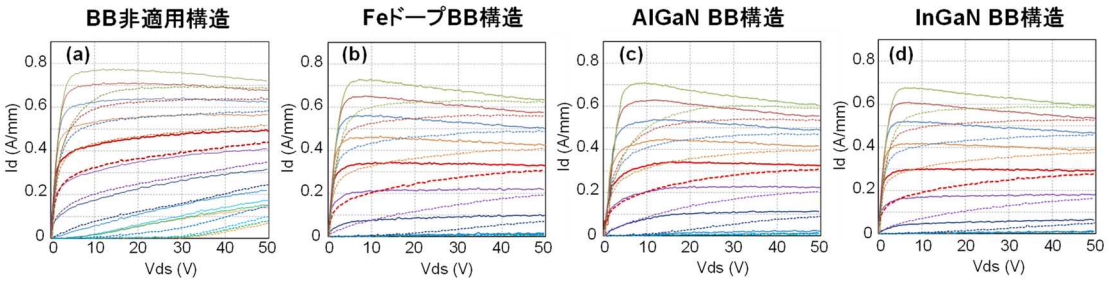


図②-22　パルス IV 評価におけるストレス印加タイミング

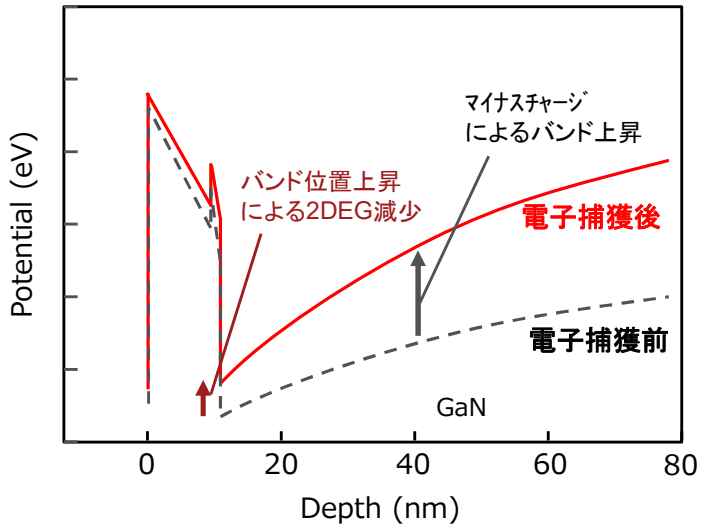
図②-23(a)に各 AlGaN/GaN-HEMT 構造の測定結果を示す。実線は保持電圧を(V_{ds}, V_{gs})=(0,0 V)とした測定結果、破線は保持ストレス電圧を(50,-3 V)とした場合の測定結果である。

図②-23(a)に示すように、保持ストレス印加後の電流は保持電圧が(0, 0 V)の測定に比べて小さい。これはデバイスにオフストレスが印加された際に、電子トラップに電子が捕獲され、デバイスが負にチャージアップしたために電流が減少するためである。つまり、デバイス中の電子トラップ量が多いほど、実線と破線の開きが大きくなる。電子トラップによる電流コラプス現象の発生について、エネルギーバンド図を用いて図②-24 に説明する。デバイス奥部のポテンシャルが持ち上がり、それに引きずられる形で 2DEG も減少し、結果的にドレイン電流が減少することになる。

BB 非適用構造、Fe ドープ BB 構造、AlGaN BB 構造、InGaN BB 構造において得られた V_{ds}= 5 V におけるドレイン電流低下率はそれぞれ、28.7%、24.1%、43.5%、24.1%であった。特に AlGaN BB 構造において顕著なドレイン電流の低下が見られ、BB 非適用構造に対してデバイス中の電子トラップ密度が増加していることが推察される。この電流安定性悪化の要因については、AlGaN BB 層中の電子トラップが影響の一つと考えられるが、AFM 像でも見られたピットの増加、つまり GaN チャネル層中の貫通転位密度の増加に起因している可能性もある。Fe ドープ BB 構造および InGaN BB 構造については、BB 非適用構造を凌駕する良好な電流安定性を示している。これは、オフリーク電流の低減により、バッファ中へ拡散する電子数が減少した効果と理解できる。以上のように、Fe ドープ BB 構造および InGaN BB 構造においては、DC 特性に加えてパルス IV 特性でも良好な特性を確認できた。



図②-23　(a)BB 非適用の基本 AlGaN/GaN-HEMT 構造、(b)Fe ドープ BB 構造、(c)AlGaN BB 構造、(d)InGaN BB 構造のパルス IV 特性

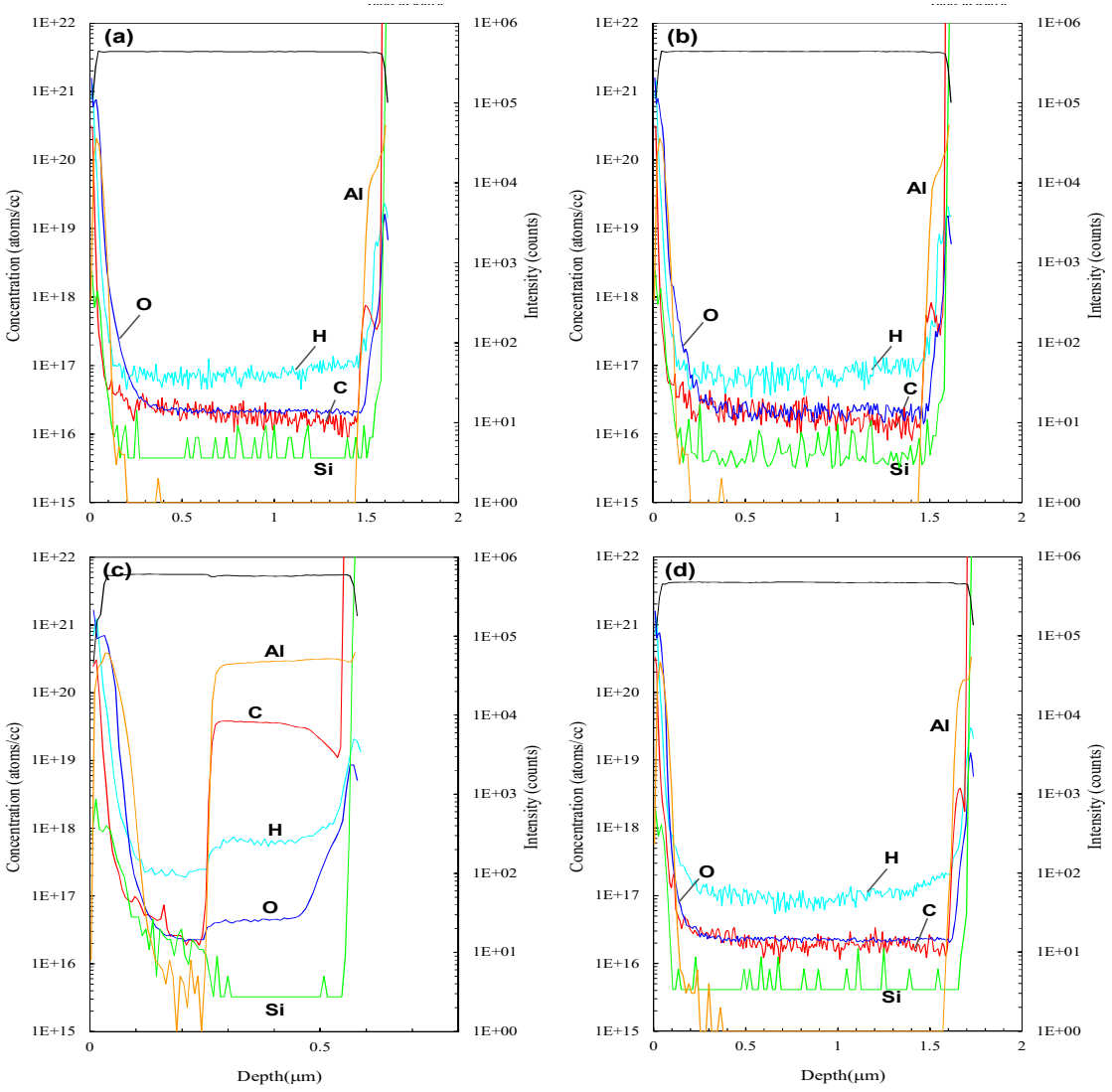


図②-24　電子捕獲によるバンド位置の上昇と 2DEG 濃度の減少

各 AlGaN/GaN-HEMT 構造の SIMS 分析結果

前項にて議論したように、AlGaN BB 構造にて特に顕著なパルス IV 特性の悪化が見られた。その原因を明らかにするため、不純物濃度プロファイルをそれぞれの構造において取得した。図②-25 に各試料の C, O, H, Si 濃度プロファイルを示す。図②-25(a)に示すように、標準構造、Fe バックバリア構造、InGaN BB 構造においては、いずれも C 濃度は 2×10^{16} cm^{-3} と低い値となっている。一方、AlGaN BB 層中の C 濃度は、これに比べて突出して高く、4×10^{19} cm^{-3} であることが分かった。H についてはいずれの試料においても測定バックグランド以下であることを確認した。

ドレイン電流低下率が AlGaN BB 構造において顕著に増加した原因については、GaN チャネル層中の貫通転位欠陥の可能性も否定できないが、膜中の不純物については、特に C 不純物に関連している可能性が高いことが分かった。



図②-25　(a)BB 非適用の基本 AlGaN/GaN-HEMT 構造、(b)Fe ドープ BB 構造、(c)AlGaN BB 構造、(d)InGaN BB 構造の SIMS 分析結果

②－４　バックバリア構造の成長最適化

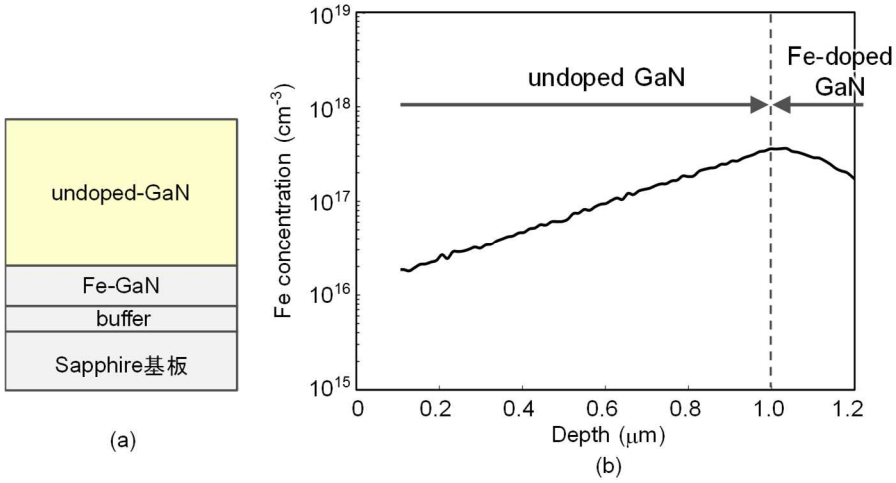
これまでのシミュレーション検討および統合デバイス一次試作（Ⅰ）の結果から、InGaN BB構造が最も良好な特性を示すことがわかった。そこで平成29年度においては、InGaN BB構造の成長条件の最適化としてGaNバッファ中のFe濃度プロファイルおよびGaNチャネル層の品質改善を検討し、その結果を統合デバイス最終試作へ適用した。

Fe濃度プロファイルの制御

InGaN BB構造におけるリーク電流低減の本質は、「②-2 デバイスシミュレーションモデル」で議論したように分極電界を利用してGaNバッファ中の電位を持ち上げることにある。一方で、電位障壁を形成するInGaN BB層を有する構造においても、依然としてその下に位置するGaN層全体の絶縁性を高めることは、更なるリーク電流の低減に求められる。この目的で、GaN中に深いアクセプタ準位を形成するFeが用いられる[5]。しかし、実際のMOCVD成長においてFeの濃度プロファイルを制御することが難しい[6-9]。Fe濃度プロファイルを制御することが可能になれば、デバイス設計の自由度が広がり、更なるオフリーク電流抑制に繋がることが期待できる。本項では、Fe濃度プロファイルの制御について検討した。

図②-26(a)に示すように、FeドープGaNバッファ層、アンドープGaNチャネル層を異なる成長条件および成長シーケンスにて成長し、各試料のFe濃度プロファイルを二次イオン質量分析法(Secondary Ion Mass Spectrometry：SIMS)により比較・検討した。SIMS分析はPHI ADEPT1010にて行い、低濃度のFe観察を可能とするため、一次イオン種はCs^+、加速電圧5 kVにて行った。なお、本SIMS分析については外注分析を利用したが、検討試料数が多くなるため分析費用が高額となる。そこで実験計画を調整することで試料作製を同時期に計画的に行い、多試料同時分析とすることで、外注分析費用を可能な限り抑制した。SIMS分析結果においては、試料表面の汚染や凹凸の影響により最表面の付近のデータ信憑性が低下するため、表面から100 nm以上奥側の領域のデータにて試料間のFe濃度プロファイルを比較した。

図②-26(b)は、FeドープGaNバッファ層と同じ成長条件にてGaNチャネル層を連続的に成長した際のFe濃度プロファイルである。図②-26(b)に示すように、リアクタへFeを供給していないにも関わらず、アンドープGaNチャネル層にも高濃度のFeが存在しており、複数の機関から報告されているようにFeが上方へ拡散することを示している[6-9]。



図②-26　(a)アンドープGaN/FeドープGaN構造と(b)Fe濃度プロファイル

これまでの実験から、例えば800～900℃といったFeドープ層の成長温度(1010℃程度)よりも低い温度においてGaN層をその直上に成長することで、上方へのFe拡散が抑制されることが分かっている[6]。しかし、一般にGaNチャネル層の成長温度を低下させると、GaN中へ炭素などの不純物の取り込みが増加し、②-2で議論した電流コラプス現象が顕著に発生することが懸念される。

Feの上方拡散抑制がFeドープ層とGaNチャネル層の成長温度差に起因するものであれば、Feドープ層の成長温度を1010℃以上に設定し、1010℃まで降温した後にGaNチャネル層を成長することで、低温化による不純物の増加を引き起こすことなく、Feの上方拡散が抑制できることが期待される。このため、Feドープ層の成長温度を従来の1010℃から1060℃に増加させて成長を行い、GaNチャネル層は1010℃にて成長を行った。しかし、図②-27(a)に示すように、Feドープ層の成長温度を変更してもGaNチャネル層中のFe濃度プロファイルに変化は無く、上方へのFe拡散抑制効果は見られなかった。

これまでの知見からアンドープGaN層成長時のFe取り込み量は、成長再表面におけるFe原子の脱離率と、膜中への取り込み率に依存する[6]。ここでは、Feドープ層の成長温度を高く設定し、アンドープGaN層成長温度との間に差分を設けたものの、アンドープGaN層従来条件は同じであり、成長再表面におけるFe原子の脱離率、取り込み率に変化はなかったものと推察される。また、図②-27(a)において1.0～1.2 μmに位置するFeドープ層のFe濃度プロファイルが異なるが、これはFeドープ層の成長温度が高いことに起因する。高温かつ水素雰囲気に曝される成長表面においては、GaNのエッチングが成長と同時に起こる。エッチングが早いレートで進行することで、実効的なGaN成長レートが低下したために、表面に存在するFeがより高い濃度で濃縮されたものと理解できる。

次に、サーファクタントを利用したFe取り込み抑制効果について検証した。サーファクタントとは結晶成長過程においてリアクタ内へ同時に供給されるが、結晶中へ取り込まれることのない材料を指す。例えばGaN 結晶成長においては、TMInといった結晶構成材料以外の原料ガスをリアクタ内へ同時に供給することで表面モフォロジ向上やピット密度の低減が報告されている(Inサーファクタント効果)[10, 11]。これはIn-NよりもGa-Nの結合エネルギが大きいため、GaNの最適成長条件において供給したIn 原子が成長膜中へは取り込まれないものの、In原料が表面におけるプリカーサのマイグレーションを促進することを利用したものである。Feドープ層成長後のGaNチャネル層成長表面の原子マイグレーション状態に着目すれば、サーファクタントの利用により成長最表面におけるFe取り込みが低減されることが期待できると考えた。

1010℃程度のGaN成長温度においては、In原子は膜中に取り込まれないことが分かっているため、GaNチャネル層の成長時にリアクタ内にTMInを同時供給し、Fe濃度プロファイルへの影響を調査した。しかし、図②-27(b)に示すように、Fe濃度プロファイルはTMInを供給せずに通常の条件で成長した場合と変化が無く、Feの上方拡散を抑制する効果は確認できなかった。Inサーファクタントは表面のマイグレーション長を変化させるものと考えられるが、結局In原子は表面から全て脱離し、残されたGaおよびFe原子の成長表面における脱離率、GaN層への取り込み率に変化を与えなかったものと考えられる。

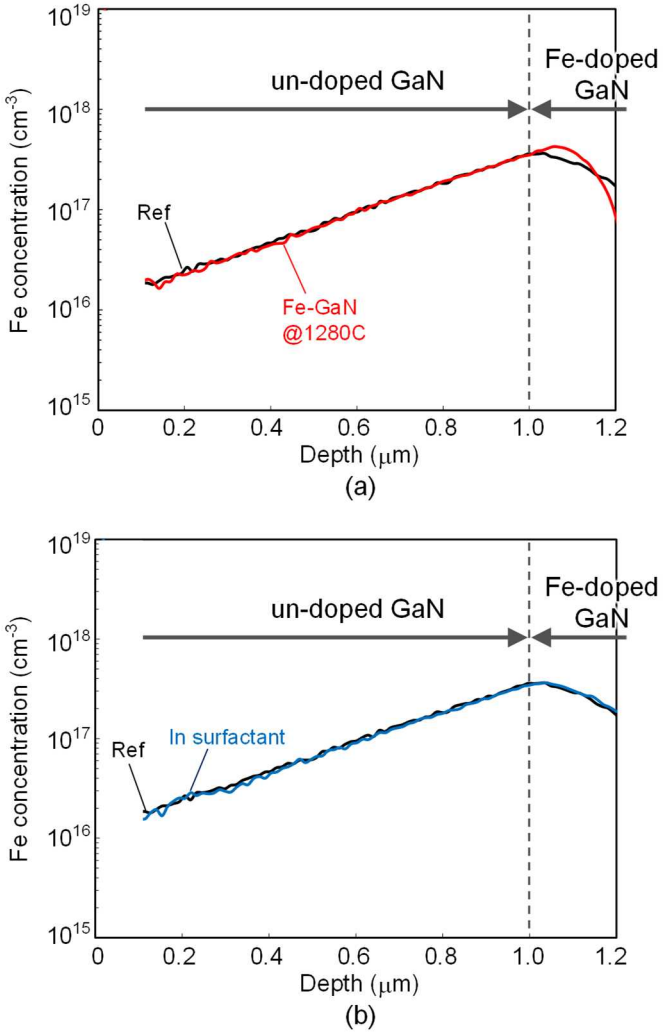
一方、FeドープGaN層を含む結晶構造に対して、1000℃以上の高温で熱処理を行った場合においてもFe濃度プロファイルが変化することはない[6]。つまりFeの上方拡散は成長中にのみ生じることから、成長層の最表面付近に存在するFe原子が上方拡散のソースである。従って、最表面付近に存在するFeを除去することがFeの上方拡散抑制に向けた有効なアプローチになると考えられる。

成長層最表面に存在するFeを除去するには、FeドープGaN層を成長後に一旦GaN成長温度以上に基板表面温度を上昇させ、Fe原子の脱離を強制的に促進させる手法が考えられる。しかし、水素雰囲気中において成長温度以上の高温に表面を曝すと、以下の反応によりGaN結晶の熱分解が著しく進行し、表面荒れやGaドロップレットが形成され結晶品質を損なう恐れがある。

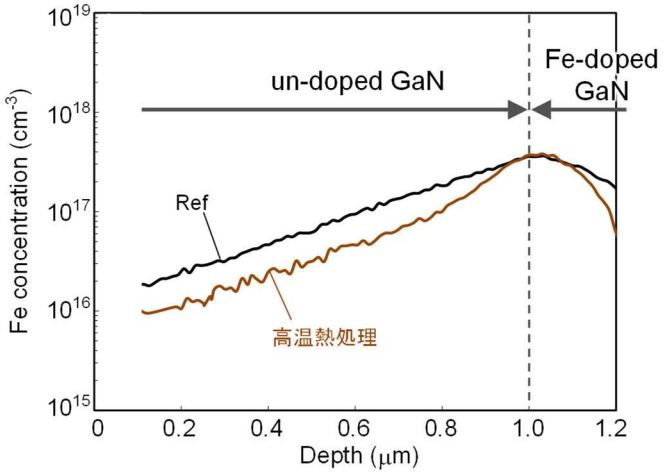
$GaN + 3/2H_2 \rightarrow Ga + NH_3$ (式②-9)

そこで、本実験においてはFeドープGaN層の成長後、MOCVD装置のキャリアガスを全て窒素に切り替え、窒素雰囲気下で表面温度1070℃にて10分間成長を停止した。これにより、(式②-9) に示すGaN熱分解が抑制され、水素雰囲気中では表面荒れのために実現できなかった1070℃という高温にて、成長中断を行うことが可能となる。

図②-28に得られた結晶のFe濃度プロファイルを示す。図②-28に示すように、Feドープバッファ層成長後にFe濃度がより急峻に減少することが確認できた。200 nm程度のGaNチャネル層を成長した時点で比較すると、Feドープ層の成長後に高温熱処理を行うことでFe濃度は凡そ半分程度に減少しており、Feの上方拡散に対して一定の効果が得られた。しかし、その後のFe濃度プロファイルの傾きに変化はなく、大きな濃度プロファイル差を得ることは出来なかった。これは図②-27(a)に示すように、GaNチャネル層の成長温度が同一であれば、温度に応じてFeが一定の割合で上方へ拡散するためと考えられる。また、高温熱処理を行わない試料と、行った試料のGaN(0002)回折ピークの半値幅は、それぞれ351 arcsec., 340 arcsec.であり、高温熱処理によってGaN成長中断界面に起因した結晶品質の劣化がないことも分かった。



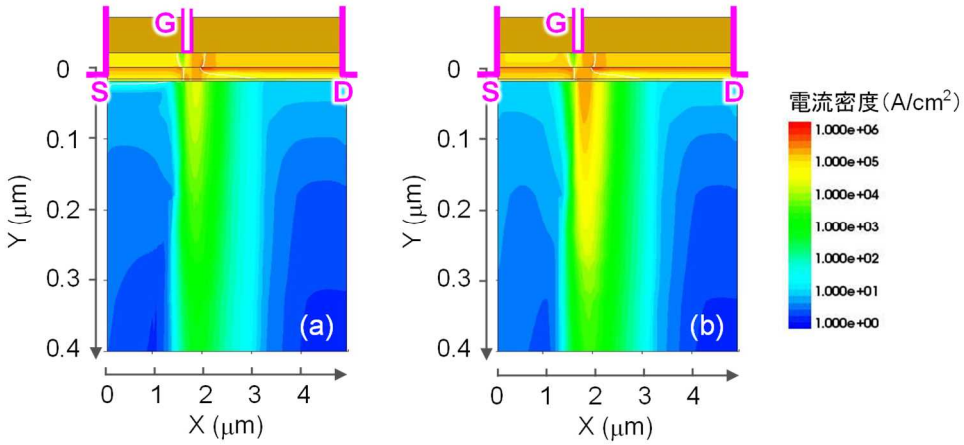
図②-27　(a)高温Feドープ GaN成長および(b) Inサーファクタントを利用したGaN成長におけるFe濃度プロファイル



図②-28　Feドープ GaN成長後に窒素雰囲気下で高温熱処理を施した試料のFe濃度プロファイル

図②-28に示す2種類のFe濃度プロファイルを「②-2 デバイスシミュレーションモデル」で議論したデバイスシミュレーションに取り込み、オフリーク特性の計算を行った。濃度プロファイルの簡略化のため、高温熱処理を適用した場合のGaNチャネル層中のFe濃度は、熱処理を行わないものの1/2として設定した。

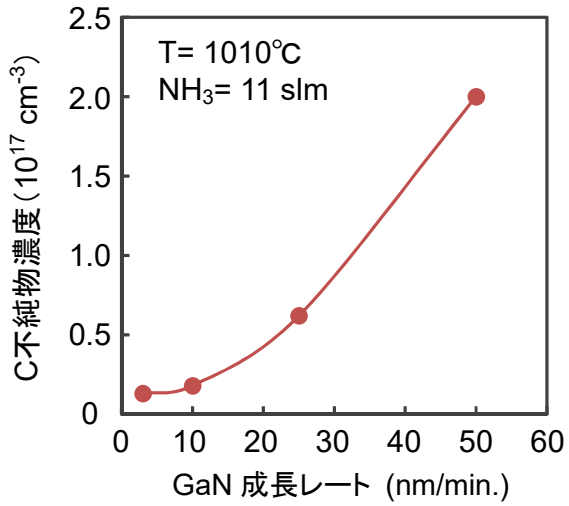
その結果、図②-29に示すように、高温熱処理を実施した構造においては、GaN層全体のFe濃度が低下しているため、デバイス基板側のバンド位置が下がりやすくなり、ソース-ドレイン間のオフリーク電流が増加することが示唆された。



図②-29　　Feドープ AlGaN/GaN-HEMT構造のオフリーク電流密度分布計算結果
(a) 高温熱処理なし(ref)および(b)高温熱処理あり

最後に、Feドーププロファイルと同時に、アンドープGaN層の不純物濃度についても検討を行った。「②-3 バックバリア構造適用HEMTの試作と評価」で議論したように、BB構造においてもバッファ層中の炭素不純物が電流コラプスの要因となるため、Feドーププロファイルと同時に、炭素不純物の濃度を低減することも必要である。

炭素不純物の濃度を低下させるためには、MOCVD成長においてTMG供給量を下げること、つまり成長レートを下げることが効果的である。そこで図②-30に示すように、成長レートを変化させて、結晶中の炭素不純物濃度をSIMS分析において確認し、低い不純物濃度と10 nm/min.の成長レートが達成できる条件を採用した。

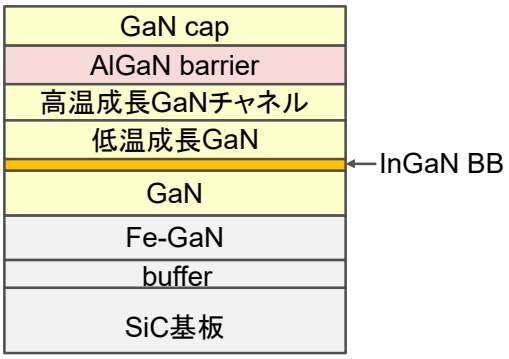


図②-30　アンドープGaN層の成長レートと炭素不純物濃度の関係

以上の結果を総合的に判断し、本研究においてはGaNチャネル層の成長温度は1010℃、Feドープ層とGaNチャネル層の界面は連続成長とし、不純物の取り込みを抑制するため10 nm/min.の成長条件を採用することとした。

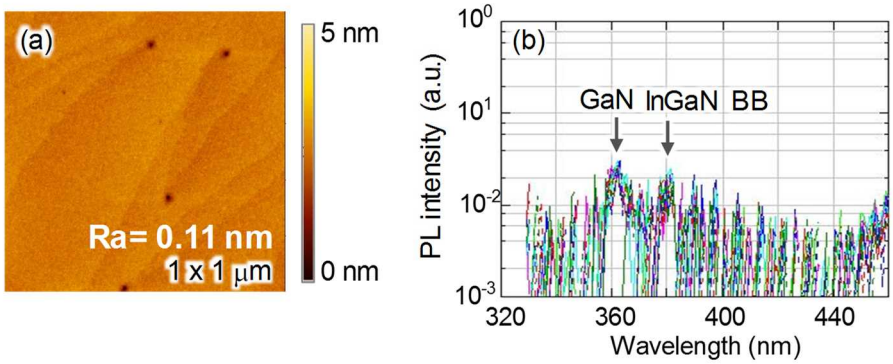
GaNチャネル品質の改善

図②-31に本研究において成長したInGaN BB層およびGaNチャネル層の構造を示す。高品質GaNチャネル層の成長に適した条件は、約1010℃程度の高温、水素雰囲気下での成長であるが、InGaN BB層は表面の安定性がGaN結晶に比べて低く、InGaN BB層成長直後に高品質GaNチャネル成長条件へ移行することが出来ない。このため、InGaN BB層の成長後は、低温成長GaN層によりInGaN BB層の表面を保護する必要があり、図②-31に示すようにInGaN BBの成長条件を引継ぎ連続して低温成長GaN層を形成し、その後成長条件を水素雰囲気、基板温度を1010℃程度まで上昇させ、高温成長GaN層を形成した。



図②-31　試作したInGaN BB構造

はじめに、低温成長GaN層および高温成長GaN層の設計膜厚をそれぞれ5 nmおよび25 nmとした構造のAFM像およびPL発光を図②-32に示すが、AFM像からも明らかなように、高い平坦性を有するInGaN BB構造HEMTが得られた。図②-32(b)には、GaNチャネル層とInGaN BB層のバンド端発光のほか、GaN結晶の欠陥・不純物関連発光として知られるイエロールミネッセンス(YL)が観察される。しかし、GaNチャネル層およびInGaN BB層からの発光は非常に弱い。さらに、InGaN BB層の発光波長は380 nm付近と、設計In組成10%から期待される400 nmに対して大きく短波長側に位置する。低温成長GaN層は高温および水素雰囲気において脱離しやすいInGaN BB層を保護する目的で形成するが、5 nmと非常に薄い条件としたため、低温GaN層の成長後においても一部InGaN表面が露出しているか、条件切り替え時に低温GaN層が脱離したことによりInGaN表面が露出し、In原子の脱離やInGaN層の薄層化が進行したと考えられる。

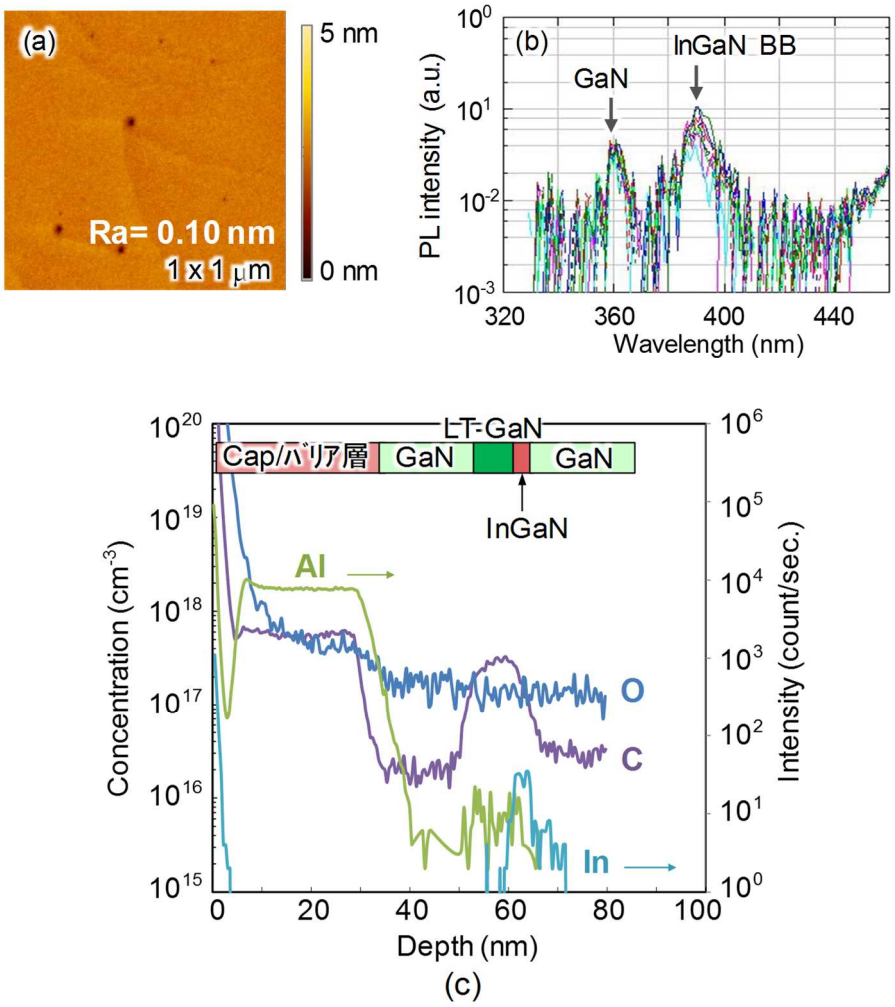


図②-32　低温成長GaN層を5 nmに薄層化したときのGaNチャネル/InGaN BB構造の(a)AFM像と(b)PLスペクトル

次に図②-33(a)および(b)に低温成長GaN層および高温成長GaN層の設計膜厚を10 nmおよび20 nmとした構造のAFM像およびPL発光を示す。AFM像においては、図②-32(a)と同様に高い平坦性を有することが確認できた。さらに、図②-32(b)の発光特性に比べると、GaN層およびInGaN BB層に起因した明瞭な発光が観察された。膜厚1 nm程度の非常

に薄いInGaN BB層の発光が明瞭に観察されており、高い平坦性を持ったInGaN BB層が形成されていると推察される。発光波長も395 nmと、低温GaN層5 nmの構造に対して長波長化しており、Inの脱離またはInGaN層の脱離が抑制された結果と考えられる。

図②-33(c)に本構造におけるSIMS分析結果を示す。図②-33(c)に示すように、GaNチャネル層のC濃度は2E16 cm^{-3}と低いことが確認できた。さらに、InGaN BB層に起因したInピークが明瞭に観察されており、平坦性の高い積層構造が形成されていることがSIMS分析結果からも推察される。



図②-33　低温成長GaN層 10 nmを有するGaNチャネル/InGaN BB構造の
(a)AFM像、(b)PLスペクトルおよび(c)SIMS分析結果

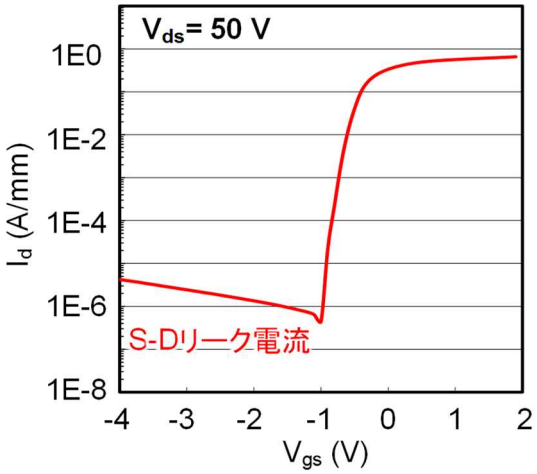
以上の検討結果を総合的に判断し、本研究では図②-33(b)に示す明瞭なGaNチャネル層およびInGaN BB層からの発光が観察される成長条件および成長シーケンスが最適と判断し、統合デバイス最終試作に適用した。

②－５　統合デバイス（最終試作（Ⅰ））におけるオフリーク特性の評価

平成29年度に実施した以上の検討結果を踏まえ、Fe濃度プロファイルおよびGaNチャネル品質に関してそれぞれ最適と判断したInGaN BB構造適用HEMT構造を成長し、統合デバイス最終試作に適用した。

統合デバイス（最終試作（Ⅰ））においては、ソースードレイン間のオフリーク電流が1E-5 A/mm以下であることを目標とした。図②-34にドレイン電圧V_{ds}= 50 V印加時のドレイン電流－ゲート電圧特性を示す。図②-34に示すように、ソースードレイン間リーク電流は、1E-5 A/mm未満であることを確認した。

本研究において開発したInGaN BB構造は、特にオフリーク電流の増加が懸念される短ゲートデバイスにおいて重要であり、ミリ波帯を含む超高周波デバイスにおいて必須な要素技術である。



図②-34　統合デバイス（最終試作（Ⅰ））における
ソース―ドレイン間オフリーク電流（V_{ds}= 50 V）

②－６　まとめ

平成 27 年度においては、デバイスシミュレーションを実施し、短ゲートデバイスにおいてオフリーク電流が発生するメカニズムを詳細に解析した。その上で、リーク電流を低減する施策を組み込んだ 4 種類の構造を提案し、シミュレーション上においてその効果検証を進めた。また、シミュレーション検討を行った 4 種の構造を MOCVD 法により試作し、結晶評価を行った。

平成 28 年度においては、平成 27 年度に設計したバックバリア構造を用いてトランジスタを試作し、オフリーク電流抑制効果の検証を行った。I_d-V_{gs} 特性については、いずれの構造においても BB 非適用構造に対してゲート制御性の著しい改善が確認され、平

成 28 年度の目標値としたオフリーク電流 1E-6 A/mm 以下を達成した。特に、InGaN BB 構造においては、閾値電圧近傍において V_{ds}= 5 V と V_{ds}= 50 V 時の I_d-V_{gs} 特性の開きが小さく、良好なゲート制御性が得られた。また、パルス IV 特性においては、AlGaN BB 構造において顕著な劣化が見られた。一方、Fe ドープ BB 構造、InGaN BB 構造については、BB 非適用構造を凌駕する良好な電流安定性が観察された。

平成 29 年度は、統合デバイス一次試作（Ⅰ）において最も良好な結果を示していた InGaN BB 構造の最適化を行った。種々の GaN 成長条件、成長シーケンスとアンドープ GaN 層中に拡散した Fe 濃度プロファイルについて評価し、デバイスシミュレーションの結果を踏まえて最適な条件を選定した。また、GaN チャネル層の成長においては、InGaN BB 層の表面保護と高品質 GaN チャネル層の成長を行うため、低温および高温 GaN 層を積層する構造を選定した。統合デバイス（最終試作（Ⅰ））では、最適化した Fe 濃度プロファイル及び GaN チャネル層を適用し、V_{ds}= 50 V にてソース-ドレイン間のオフリーク電流 1E-5 A/mm 未満を達成した。

参考文献

[1] S. Nakamura *et.al.*, Appl. Phys. Lett. **62**, 2390 (1993)

[2] S. Surender *et. al.*, Journal of Crystal Growth **468** (2017) 249.

[3] A. Yamamoto *et.al.*, Phys. Status Solidi C **7** 1309 (2010)

[4] J. Kotani *et. al*., Phys. Status Solidi(c) **10**, 808 (2013)

[5] S. Heikman *et.al.*, Appl. Phys. Lett. **81**, 439 (2002)

[6] T. Ishiguro *et.al.*, Jpn. Jour. Appl. Phys. **52**, 08JB17 (2013)

[7] T. Aggerstam, M. Sjo¨din, and S. Lourdudoss: Phys. Status Solidi C **3** 2373 (2006)

[8] A. Y. Polyakov, N. B. Smirnov, A. V. Govorkov, T. G. Yugova, A. V. Markov, A. M. Dabiran, A. M. Wowchak, B. Cui, J. Xie, A. V. Osinsky, P. P. Chow, and S. J. Pearton: Appl. Phys. Lett. **92,** 042110 (2008)

[9] S. Heikman, S. Keller, T. Mates, S. P. DenBaars, and U. K. Mishra: Appl. Phys. Lett. **81**, 439 (2002)

[10] T. S. Kim *et.al.*, Journal of the Korean Physical Society, **53**, 1939 (2008)

[11] C. Kruse *et.al.*, Appl. Phys. Lett. **79**, 3425 (2001)

１．１．３ ③コンタクト抵抗低減技術の開発

開発概要

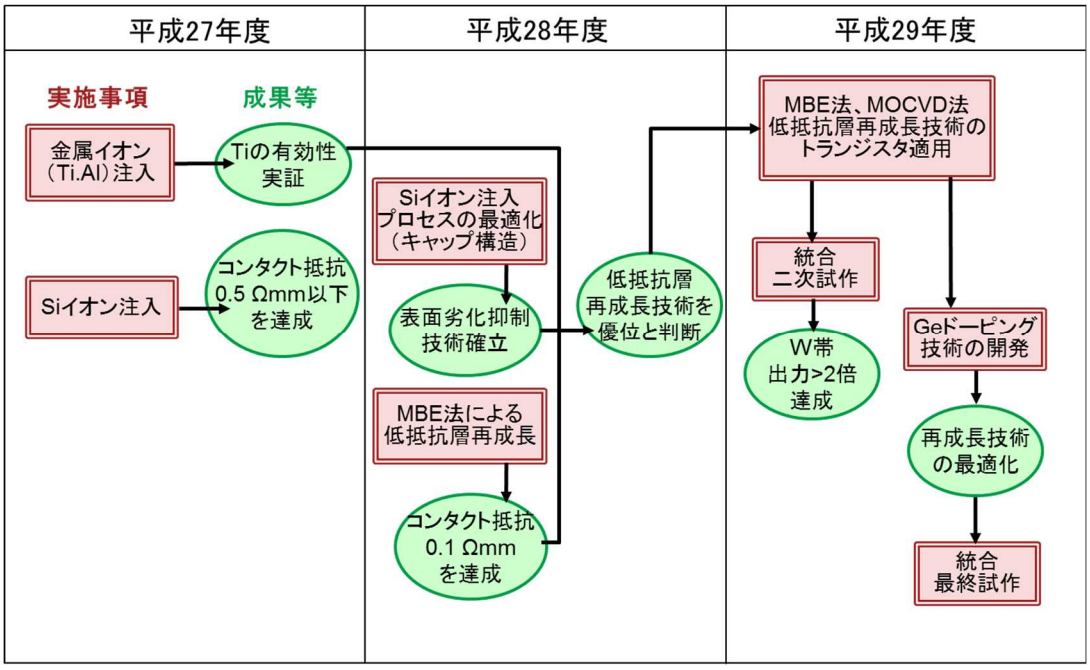
本項で報告する「③コンタクト抵抗低減技術の開発」は、InAlGaN/GaN-HEMT の高いオーミックコンタクト抵抗を低減する技術確立を目的とした。この課題を解決するために、“イオン注入によるコンタクト抵抗低減技術の開発”および、“低抵抗再成長層によるコンタクト抵抗低減技術開発”を実施した。開発した低抵抗再成長層によるコンタクト抵抗低減技術は、「⑨要素技術統合向けインテクレーション」にて適用された。

本研究の概要は次のとおりである（開発フローチャート図③-1）。

平成 27 年度は、金属元素や Si 注入によるオーミックコンタクト抵抗低減を目指し、高ドーズ量注入プロセス開発を行った。Si 注入により、目標の 0.5 Ωmm を下回る低コンタクト抵抗を実現した。

平成 28 年度は、MBE 法を用いた低温低抵抗層再成長技術によるコンタクト抵抗低減を実施した。イオン注入法とのベンチマークにおいて、低温低抵抗再成長層オーミック技術の優位性を示した。

平成 29 年度は、MBE 法による再成長技術を統合デバイス二次試作に適用し、W 帯増幅器における従来比出力 2 倍の達成に貢献した。またプロセス安定性を有する MOCVD 法による再成長オーミック技術を確立し、目標値となる 0.5 Ωmm を大幅に低減する 0.1 Ωmm 台を実現した。本技術は最適化を実施し、統合デバイス最終試作に適用した。

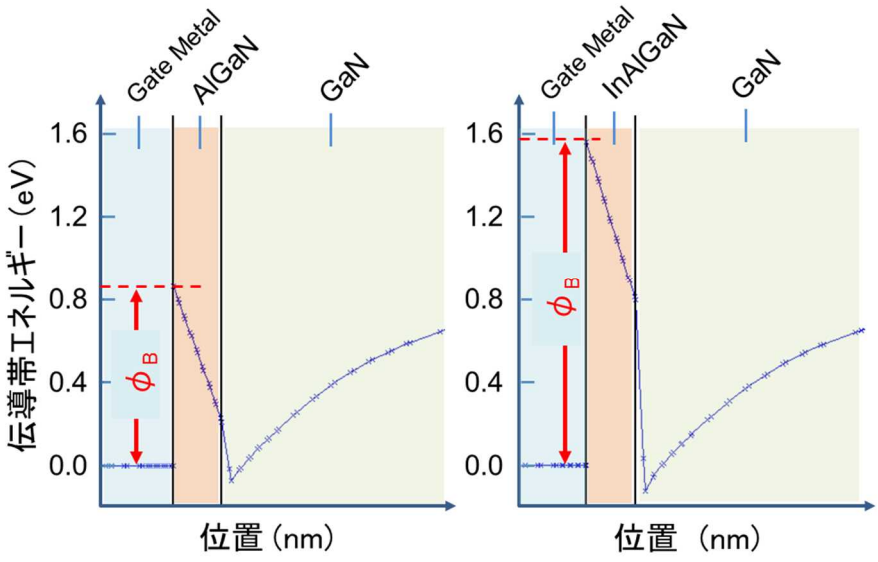


図③-1　本技術の開発フローチャート

③－１　本技術の開発意義

一般的に、InAlGaN/GaN-HEMT などの In 系窒化物半導体上、または高 Al 組成窒化物半導体上では、良好なオーミック接合を形成しにくい。高出力・高周波デバイスではオーミックコンタクト抵抗がデバイス性能を左右することから、多くの研究機関において、デバイス特性を改善するための様々な改善手法が試みられてきたが[1-2]、InAlGaN/GaN-HEMT に対してオーミック特性改善技術の検討は少ない。電極金属構成元素が半導体側に広範に拡散する GaAs 等のオーミック接合と異なり、窒化物半導体上のオーミック接合では電極金属構成元素が半導体側にあまり拡散しないと報告されている[3]。そのため、一部にショットキー界面の性質を残した界面が残留していると考えられ、我々はこの性質により、ショットキーバリアの高い In 系窒化物半導体はオーミックコンタクト抵抗の低減が困難であると解釈している。

図③-２にミリ波デバイス帯向けの AlGaN と Ni、および InAlGaN と Ni のショットキー接合の伝導帯バンド図を示す。図示するように、AlGaN と Ni 界面における障壁高さは 0.83 eV、InAlGaN と Ni 界面における障壁高さは 1.58 eV となり、電気伝導に対しては大きな障壁となることが知られている。



図③-2　AlGaN および InAlGaN に対するショットキー接合

③－２　イオン注入によるコンタクト抵抗低減技術

結晶工学的に In 系窒化物半導体は、高 Al 組成電子供給層の影響によりオーミックコンタクト抵抗が増大する傾向にある。これまでの InAlGaN/GaN-HEMT 試作結果に基づくコンタクト抵抗は 0.8 Ωmm 程度、InAlN/GaN-HEMT のコンタクト抵抗は 0.5 Ωmm 程度であり、同様のプロセスで試作した AlGaN/GaN-HEMT のコンタクト抵抗（0.3 Ωmm 程度）を大きく上回っている。本実験では、高いコンタクト抵抗を低減するために、以下に示

す 2 種類のイオン注入手法によりコンタクト抵抗の低減を試みた。

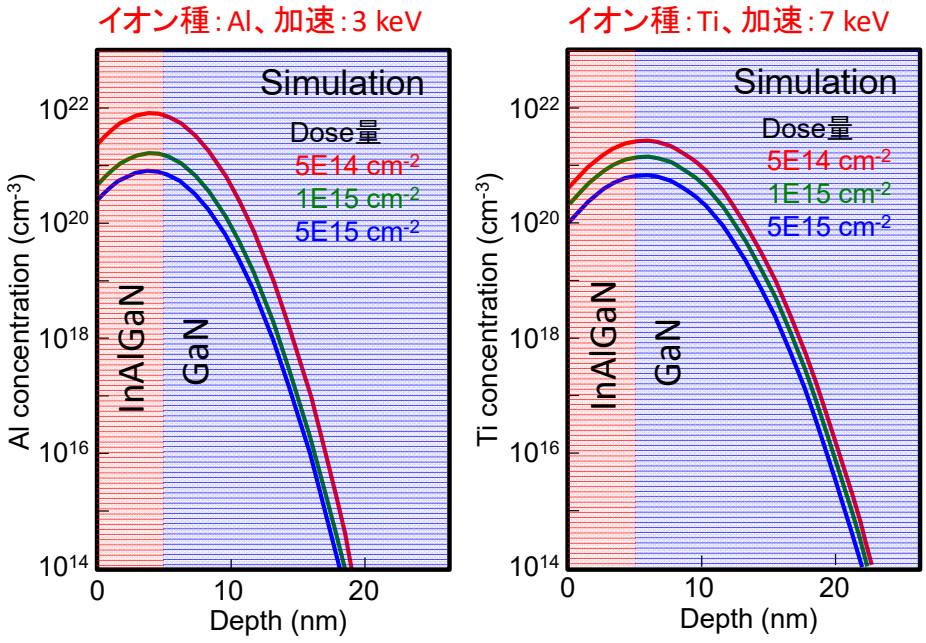
1)電極を形成する金属元素(Al,Ti)イオンを、オーミック電極の形成領域に注入し、疑似的にオーミック電極金属拡散領域を形成する。
2)Si イオンのオーミック電極形成領域への注入およびその活性化により低コンタクト抵抗領域を形成する。なお、Si イオン注入は電子供給層領域に限定する。

③－２－１　電極金属元素イオン注入

化合物半導体のオーミック電極形成工程では、熱アロイによりオーミック電極金属を結晶内に拡散させオーミック接合を形成する。しかし、前述のとおり GaN 系半導体では電極金属構成元素が半導体層に拡散しない性質を有する。そこで本実験では、電極形成金属元素(Al,Ti)イオンをオーミック電極形成領域に注入し、オーミック電極金属拡散領域の金属元素濃度を増大させることにより、コンタクト抵抗の低減を試みた。

注入プロファイル

前述したように、本手法では電極形成金属元素(Al,Ti)イオンをオーミック電極形成領域に注入し、付加的にオーミック電極拡散領域を形成する。図③-3 に LSS（Lindhard-Scharff-Schiott）理論に基づく注入プロファイルを示す。



Al 注入プロファイル　　Ti 注入プロファイル

図③-3　金属イオン注入プロファイル

Al 注入に関しては、3 keV の低加速注入が可能である。そのため、図示するように注入ピークを InAlGaN/GaN ヘテロ界面近傍に設定した。これは、イオン注入によって結晶欠陥を誘起する場合があり、結果としてデバイス性能や信頼性を損なう可能性があるためである。従って今回の実験ではチャネル層への積極的な注入は実施しなかった。

一方、Ti 注入では、安定したビームの射出電圧下限が 7 keV となる。そのため、注入ピークがチャネル側に移動するが、装置性能上実現可能な最低加速であることから、今回はこのプロファイルで実験を進めた。

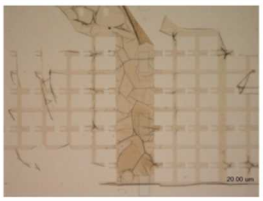
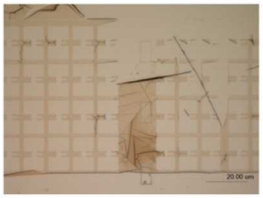
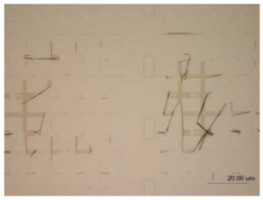
プロセス工程

一般的に、イオン注入時には、半導体表面を被覆する絶縁膜マスクを用いる場合がある。今回の実験では、絶縁膜構成元素のノックオンおよび高濃度注入に起因する絶縁膜変質を避けるために、マスクなしでイオン注入を実施した。

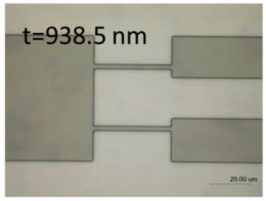
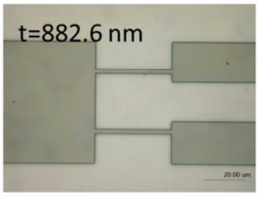
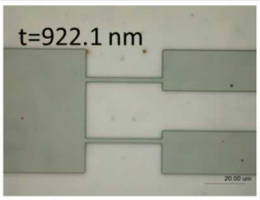
最初に、注入領域以外をレジストマスクで被覆し、非注入領域へのイオンの打ち込みを防ぐ。このレジストマスク形成工程には、紫外線を用いた露光装置で感光性フォトレジストをパターニングして形成する。図③-4 に、レジストマスク形成に用いた紫外線(i 線)露光装置を示す。ところが、フォトレジストは、約 130～150℃程度で熱変性し固化する性質を有する。イオン注入では、レジストマスクを含む半導体表面へのイオン照射により表面温度が上昇し、レジストを固化させる場合がある。また、レジストに対する Al や Ti の注入は、レジストの溶解性を低下させる可能性がある。特に今回の実験では、非常に高いドーズ量を用いるため、レジストの熱変性を防止する目的で、低ドーズ(イオン源電流量小：低電流モード)で、時間をかけてイオン注入処理することにより表面温度状況を回避した。

図③-4 紫外線(i 線)露光装置

剥離実験では、注入後のレジスト剥離を N-methyl-2-pyrrolidone(略称:NMP 一般名称:ピロリドン)で実施した。アッシング等オーミック形成面に影響を与える処理はしていない。図③-5(a)に Al 注入品のレジスト剥離処理比較を示す。Al 注入品に関しては、ピロリドンへの浸漬による膨潤剥離のみでは十分にレジストを剥離することが出来なかった。そのため、ピロリドンに浸漬した状態で超音波印加を実施した。測定に影響しないレベルまで剥離は出来たがデバイス作製上は課題が残る。また、図③-5(b)に Ti 注入品のレジスト剥離処理比較を示す。シート上の残渣物が残った状態での大気中での乾燥は、残渣の原因となるため、Ti 注入品の処理時には、ピロリドン浸漬とピロリドン浸漬+超音波印加の 2 処理を連続して実施した。その後、金属イオン注入領域上にオーミック電極金属を形成し、活性化アニールとオーミック電極アロイを兼ねる熱処理を実施した。

	Al注入後	NMP浸漬(75 ℃,10 min) x2	NMP(75 ℃,5 min)+超音波(2 min) +NMP(75 ℃,3 min) x2
D=5x10^{14} cm^{-2}	データなし		
D=1x10^{15} cm^{-2}	データなし		
D=2x10^{15} cm^{-2}	データなし		

図③-5(a)　Al 注入品のレジスト剥離処理比較

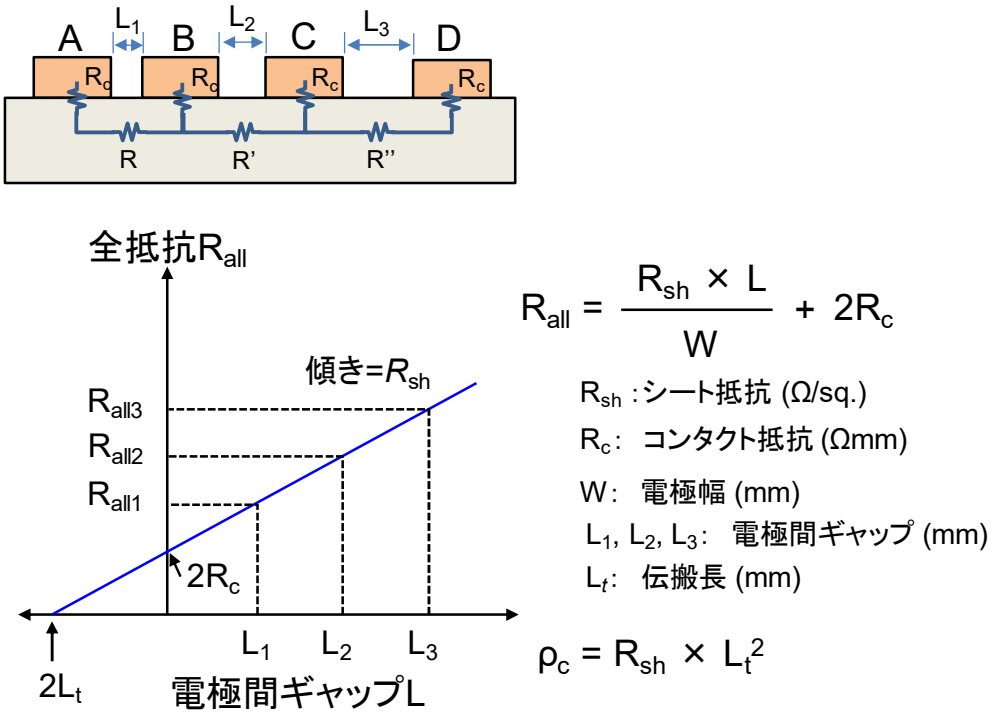
	Ti注入後	NMP浸漬(75 ℃,10 min) x2	NMP(75 ℃,5 min)+超音波(2 min) +NMP(75 ℃,3 min) x2
D=5x10^{14} cm^{-2}		⇒連続⇒	
D=1x10^{15} cm^{-2}		⇒連続⇒	
D=2x10^{15} cm^{-2}		⇒連続⇒	

図③-5(b)　Ti 注入品のレジスト剥離処理比較

図③-5　Al,Ti 注入後のピロリドンを用いたレジスト剥離の観察結果

コンタクト抵抗測定方法

コンタクト抵抗は、最も一般的な手法である Transmission Line Model(TLM：伝送線路モデル)法を用いて求めた。図③-6 に測定方法を示す。コンタクト抵抗を測定するために、半導体上に電極間ギャップが異なる 3 組の電極を形成した試料を作製する。測定は四端子法により、電極 A-B 間に一定電流を流し電圧降下から抵抗 R_{all} を測定する。同様に電極 B-C 間、電極 C-D 間の測定を行う。これらの測定結果から、コンタクト抵抗、シート抵抗およびコンタクト抵抗率が得られる。



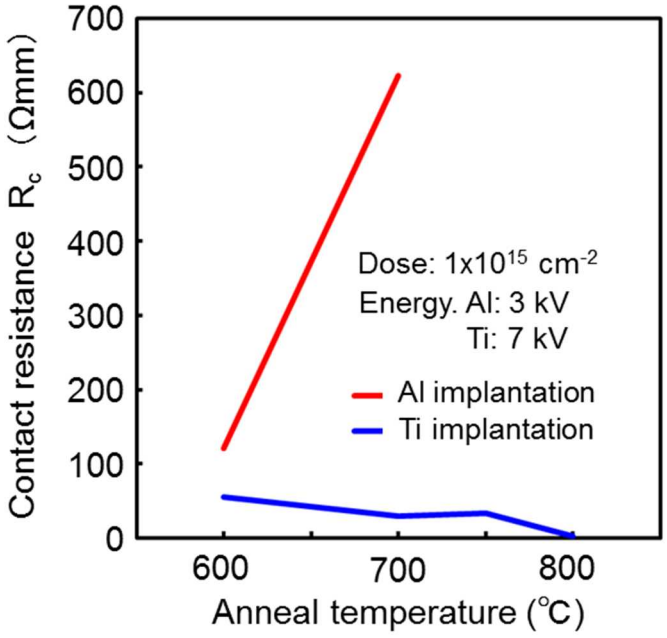
図③-6 TLM 法について

コンタクト抵抗測定結果

金属元素の注入について、得られた結果を解析・検証し、金属元素注入の技術的優位性について考察した。図③-7 に、Al および Ti 注入品のコンタクト抵抗のアニール温度依存性を示す。Al 注入に関しては、600℃アニールで R_c>100 Ωmm であった。追加の熱処理による改善効果を試みたが、アニール温度上昇に伴いコンタクト抵抗 R_c は上昇し、700℃アニールでは 600 Ωmm 超となりドレイン電流が得られない程度までコンタクト抵抗が増大した。一方、Ti 注入では、800℃のアニールで R_c=2.498 Ωmm が得られた。800℃のアニール温度は、通常の電極金属層構造が劣化する温度に近く、これ以上のアニール温度上昇は困難であった。

この Al 注入品と Ti 注入品のアニール温度に対する挙動の差の原因について定性的な

検討を行った。窒化物半導体上の Al は、GaN から N を引き抜き半導体側にドナーとして作用する窒素空孔を作ることが知られており、この作用は、Ti の場合も同様に発現すると考えられる。一方、オーミック電極形成時のアニール処理では、ppm オーダの残留酸素により Al および Ti にコンタクト抵抗低減の妨げとなる酸化膜の形成反応が進行する可能性がある。ここで、ギブスの自由エネルギーは、Al_2O_3:-377.9 kcal/mol、TiO_2:-211.0 kcal/mol であり、Al の方が酸化物を形成しやすい化学的性質を有している[4-6]。従ってこの差異が、Al 注入でコンタクト抵抗の低減が困難な一因であると推察している。本研究では、設備上の制約で酸素のない環境でのアニール実験を行うことができなかった。



図③-7　コンタクト抵抗のアニール温度依存性

ここまでの検討から、Al 注入に関してはコンタクト抵抗低減の観点からは効果なしと判断した。一方、Ti については、Al と比較して酸化の影響を受け難く、AlTi 混晶形成がコンタクト抵抗の低減に寄与したものと思われる。

以上より、金属元素注入によるコンタクト抵抗低減技術の開発では、Ti を用いたイオン注入・活性化プロセスが、コンタクト抵抗低減効果に一定の効果を有することがわかった。ただし、図③-3 に示すように Ti 元素が GaN チャネル層に侵入する課題が残る。

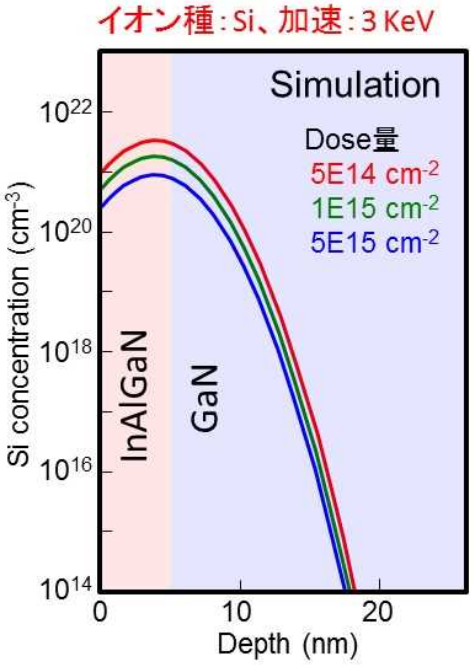
改善案について検討を重ねたが、Ti 注入時の加速電圧のさらなる低加速化は困難であり、チャネル領域では注入による欠陥導入等の悪影響が顕在化すると予想している。これらの注入技術的課題のため、現段階では、後述するドーパント(Si)注入や低抵抗層再成長法との性能比較において、メリットは低いと結論づけた。

③－２－２　Si イオン注入

本手法では、Si イオンをオーミック電極形成領域の電子供給層に注入し、コンタクト抵抗の低減を試行した。

注入プロファイル

図③-8 に、金属イオンと同様のシミュレーションによる注入プロファイルを示す。GaN と比較して成長温度の低い InAlGaN 中では、GaN 中より低温で Si が活性化する可能性がある。ただし、この仮説が正しい場合でも、GaN 中での Si 活性化は期待できず、かえって欠陥導入の要因となる。そのため、本実験では、Si 注入領域を電子供給層内部に限定するために、加速電圧を 3 KeV まで低下させて注入処理を実施した。また、この手法でも、活性化アニールを用い Si を活性化させる。ただし、InAlGaN の成長温度(750 ℃～850 ℃)を大幅に上回る温度での活性化アニールは、電子供給層の劣化原因となる。また、電極金属劣化の観点から、アニール温度上限は、第 1 次注入実験品(通常型電極構造)では 800℃、第 2 次注入実験品(高耐熱電極構造)では 850℃以下とした。



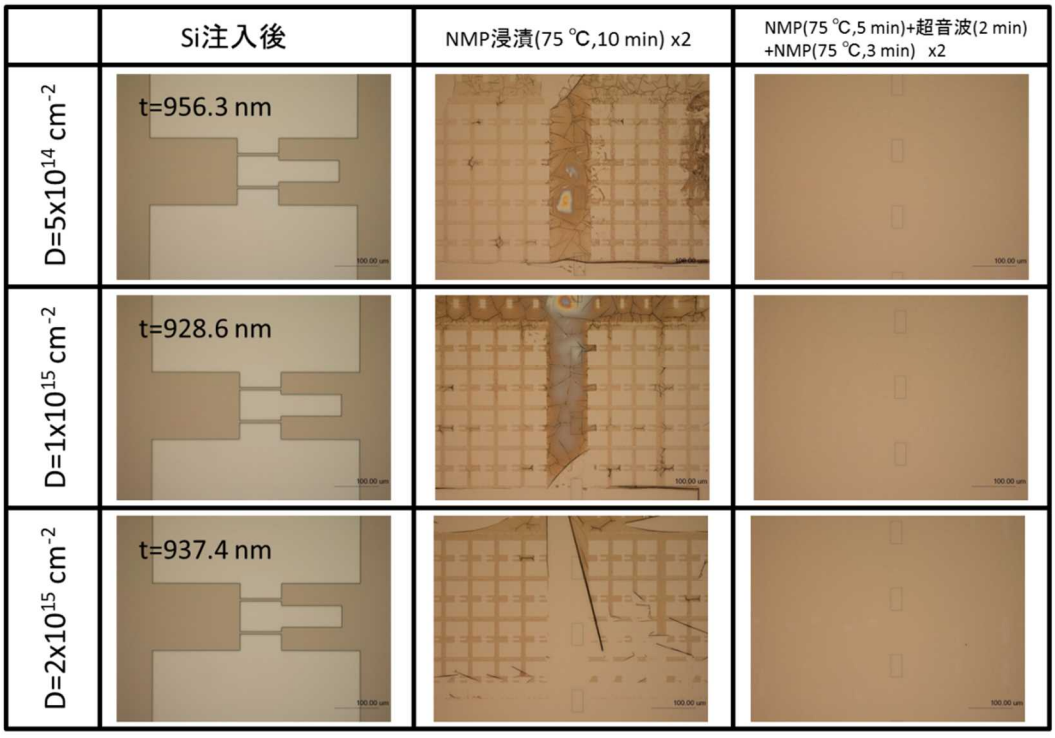
図③-8　Si イオン注入プロファイル

プロセス工程

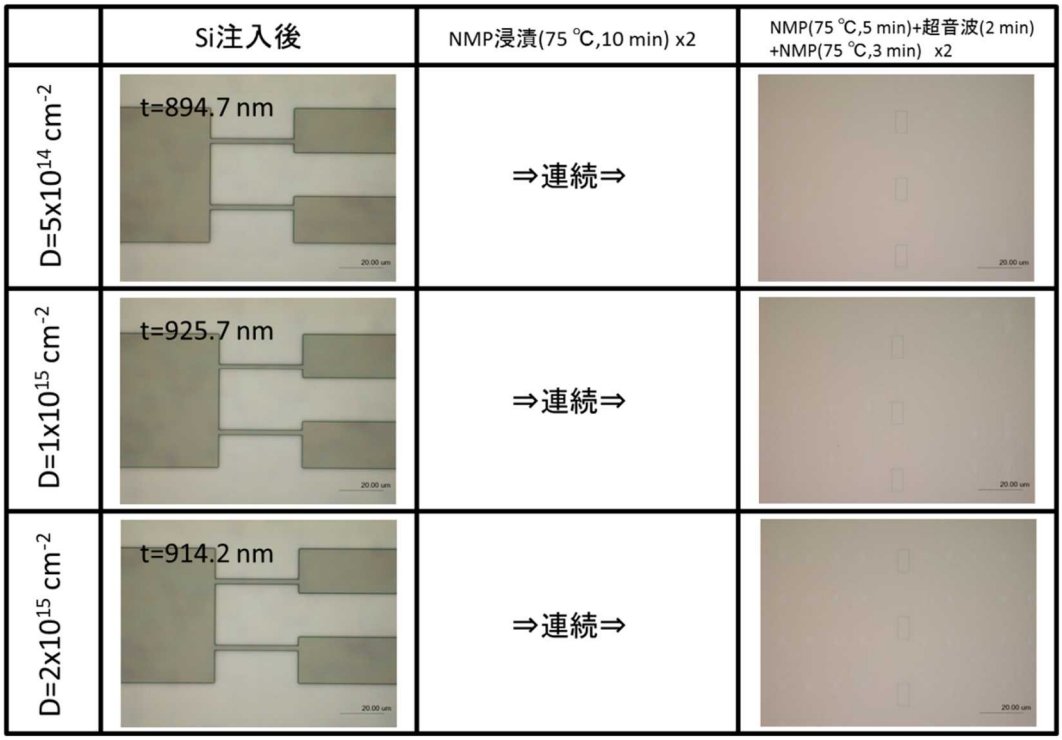
Si イオン注入も、マスクなしで実施した。金属イオン注入と同様に、注入領域以外をレジストマスクで被覆し、非注入領域へのイオンの打ち込みを防ぐ。このレジストマスク形成工程には、紫外線を用いた露光装置で感光性フォトレジストをパターニングして形成する。次に、レジストの熱変性を防止する目的で、低ドーズ(イオン源電流量小：

低電流モード)で、時間をかけてイオン注入処理を実施した。その後、Si イオン注入領域上にオーミック電極金属を形成し、活性化アニールとオーミック電極アロイ兼ねる熱処理を実施した。

剥離工程では、Si イオン注入後のレジスト剥離をピロリドンで実施した。アッシング等オーミック形成面に影響を与える処理はしていない。図③-9(a)に Si 注入第 1 次注入実験品のレジスト剥離写真を示す。Si 注入第 1 次注入実験品に関しては、ピロリドンへの浸漬による膨潤剥離のみでは十分にレジストを剥離することが出来なかった。そのため、ピロリドンに浸漬した状態で超音波印加を実施した。Al 注入と異なり剥離後の光学顕微鏡検査では残渣の無い表面が確認できた。また、図③-9(b)に Si 注入第 2 次注入実験品のレジスト剥離写真を示す。Si 注入第 2 次注入実験品に関しては、ピロリドン浸漬とピロリドン浸漬+超音波印加を連続して実施した。本来であれば、シート上の残渣物が残った状態での大気中での乾燥は残渣残留の原因となるため、Si 注入第 2 次注入実験品の処理時には、2 処理を連続して実施した。同様に、光学顕微鏡レベルで残渣の無い表面が確認出来た。この剥離工程後、オーミック電極金属形成を行った。



図③-9(a)　Si 注入第 1 次注入実験品のレジスト剥離処理比較



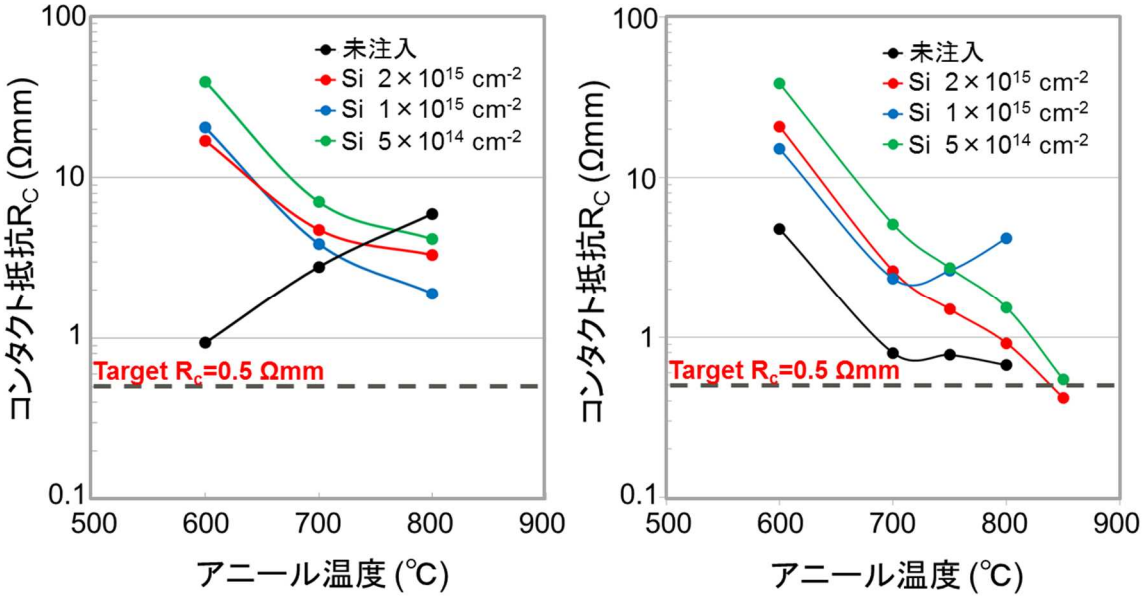
図③-9(b)　Si 注入第 2 次注入実験品のレジスト剥離処理比較

図③-9　Si 注入後のピロリドンを用いたレジスト剥離の観察結果

コンタクト抵抗測定結果

レジスト剥離後、Si 注入第 1 次注入実験品に対しては、一般的な Ti/Al からなるオーミック電極を形成してコンタクト抵抗を評価した。コンタクト抵抗評価は、図③-6 に示した手法を用いた。また、Si 注入第 2 次注入実験品については、第 1 次試作の課題を踏まえて、高耐熱オーミック電極からなるオーミック電極を形成し、同様に TLM によりコンタクト抵抗を評価した。

Si 注入第 1 次注入実験品の TLM 測定結果を図③-10(a)に示す。アニール温度の上昇に伴ってコンタクト抵抗の改善が見られる。また、800 ℃のアロイにおいては、未注入品 800℃時点のコンタクト抵抗よりも低いコンタクト抵抗が得られた。経験上、Ti/Al 電極はアロイ温度の上昇に伴って劣化が進む。Al の酸化等が影響していると考えている。Si 注入第 2 次注入実験品では、高耐熱オーミック電極を用いて、アロイ温度の上昇によるコンタクト劣化要因を排除し、Si 注入によるコンタクト抵抗低減効果を見極めた。評価結果を図③-10(b)に示す。850℃アロイにおいて目標を達成するコンタクト抵抗率が得られた。



(a) コンタクト抵抗のアニール温度依存（第 1 次注入実験品、通常電極）

(b) コンタクト抵抗のアニール温度依存（第 2 次注入実験品、高耐熱電極）

図③-10　Si イオン注入によるコンタクト抵抗低減効果

③－２－３　改善試作

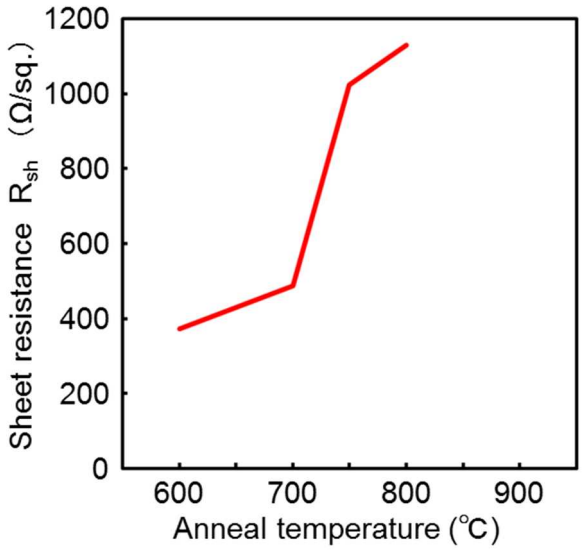
プロセス工程

平成 27 年度実験結果より、Si ドーズ量：2×10^{15} cm^{-3}、活性化アニール温度：850 ℃において、0.5 Ωmm 以下の低いコンタクト抵抗が観測された。一方、この活性化アニール温度は結晶成長温度に近く、デバイス表面の劣化または電子供給層/チャネル層界面特性を構造的に劣化される恐れがある。一方、Si の活性化アニールは、残留酸素濃度 10 ppm 程度のアニール炉で実施する。そのため、表面酸化および変質が避けられず、結晶性能劣化の一つの原因となる(図③-11 参照)。

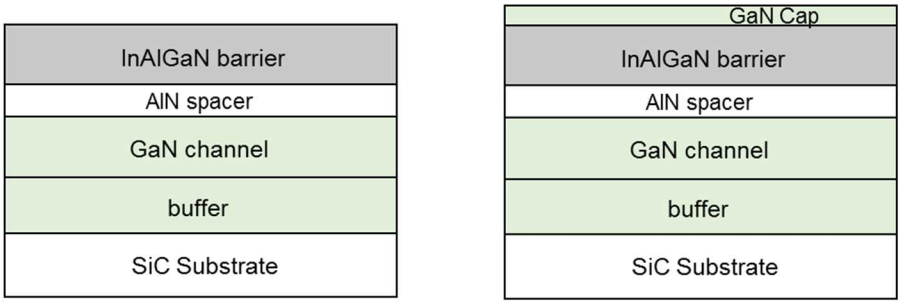
この問題を回避するために、本実験では酸化されやすい In および Al を外部環境から保護するために、図③-12 に示す GaN キャップを採用したエピ構造を用い、表面酸化・変質の課題に対応した。さらに、イオン(Si)活性化の際には表面を原子層堆積(Atomic Layer Deposition：ALD)法による Al_2O_3 薄層膜で覆い、表面酸化の進行を抑制した。

実際の工程は、金属イオン注入および Si イオン注入品と同様に、マスクなしで実施した。Si イオン注入領域以外をレジストマスクで被覆し、非注入領域へのイオンの打ち込みを防ぐ。このレジストマスク形成工程では、紫外線などを用いた露光装置で感光性フォトレジストをパターニングして形成する。次に、レジストの熱変性を防止する目的で、低ドーズ(イオン源電流量小：低電流モード)で、時間をかけてイオン注入処理を

実施した。その後、Si イオン注入領域上にオーミック電極金属を形成し、活性化アニールとオーミック電極アロイを兼ねる熱処理を実施した。



図③-11　高温アニール時の表面劣化に伴うシート抵抗の上昇



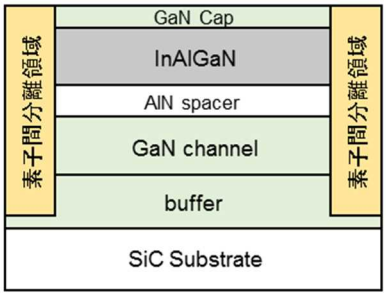
(a) GaN キャップなし構造
（平成 27 年度検討）

(b) GaN キャップあり構造
（平成 28 年度検討）

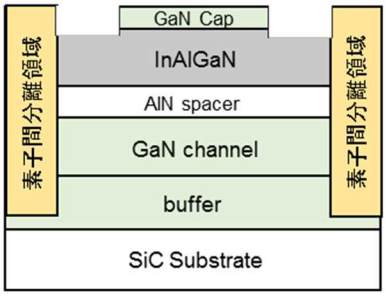
図③-12　実験に用いた HEMT 構造エピ断面図

図③-13 に、Si 注入・活性化工程の詳細説明図を示す。図③-13-1 に示すように、GaN キャップを採用した InAlGaN/GaN-HEMT 構造を、SiC 基板上に MOCVD 法により成長する。この半導体基板に対し、Ar イオン等を用いて素子間分離領域を形成する。次に、図③-13-2 に示すように、ドライエッチングにより GaN キャップおよび電子供給層の一部を除去した。続いて、図③-13-3 に示すように、オーミック電極形成領域直下の半導体層

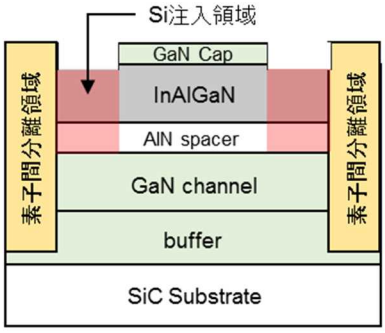
へ Si イオンを注入する。Si イオンの注入は、加速電圧 3 keV、Si ドーズ量 2×10^{15} cm^{-2} で実施した。この注入条件では、Si イオンピークは電子供給層内にあり、チャネルへのイオン拡散(打ち込み)は最小限に抑制される。次に、図③-13-4 に示すように、Si イオン注入領域直上にオーミック電極を配置する。平成 28 年度の実験では、より高温の活性化アニールに耐えられるように高耐熱構造オーミック電極構造を採用した。次に、表面酸化の影響をさらに抑制する目的で、図③-13-5 に示すように ALD 法による Al_2O_3 膜を形成した。その後、N_2 雰囲気中 600℃～850℃の範囲でオーミックアロイを兼ねた活性化アニールを行った。



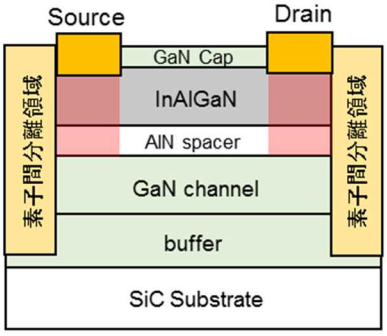
図③-13-1



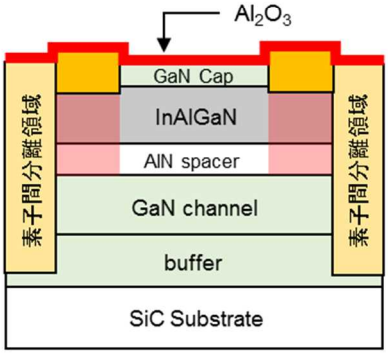
図③-13-2



図③-13-3



図③-13-4

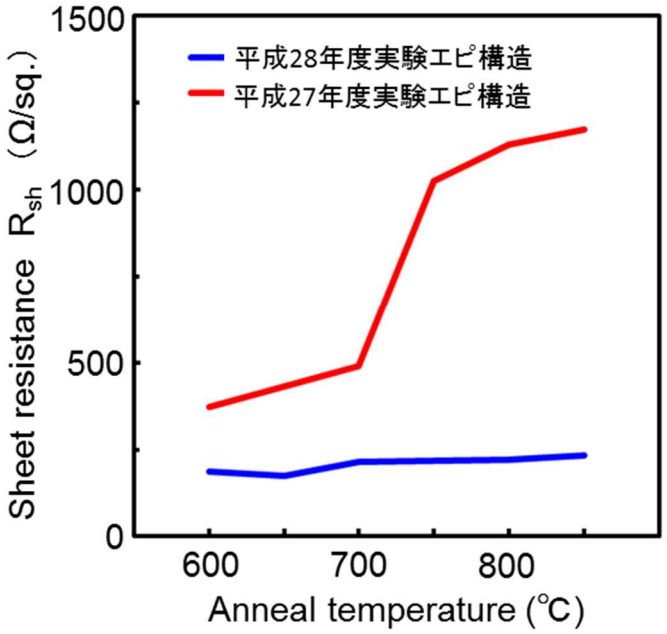


図③-13-5

図③-13 GaN キャップあり構造における Si 注入・活性化工程説明図

コンタクト抵抗測定結果

図③-14 にエピ結晶シート抵抗 R_{sh} の活性化アニール温度依存性を示す。今回の測定では、表面酸化および変性の抑制効果を検証するために、シート抵抗 R_{sh} の変動に着目した評価を行った。評価は、TLM 法を用いて実施した。



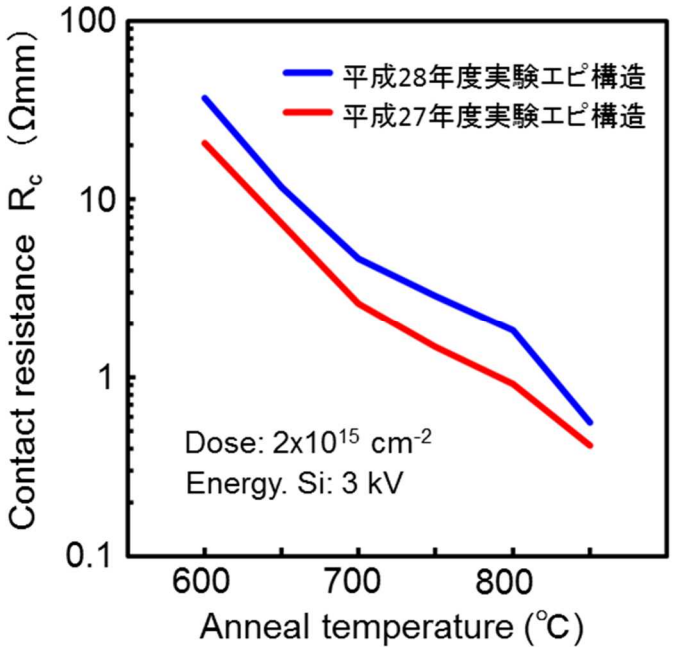
図③-14　エピ結晶シート抵抗 R_{sh} の活性化アニール温度依存性

実験の結果、In 系窒化物半導体上に形成された GaN キャップおよび GaN キャップ上に形成された Al_2O_3 パッシベーション膜により、シート抵抗の上昇が抑制されていることがわかった。これは、In 系窒化物半導体(InAlGaN)の表面変性が抑制されたことを示唆しており、In 酸化物および Al 酸化物の生成が抑制されたと想定される。一方、850 ℃までのアニール温度範囲で、シート抵抗 R_{sh} の上昇が抑制されていることから、In 系窒化物半導体を用いた電子供給層自体のピエゾ分極・自発分極量に変化を及ぼす変性は起きていないと推測される。本実験で採用した GaN キャップ付き In 系窒化物半導体 HEMT 構造は、高温の活性化アニールを実施する上で有用な構造である。ただし、GaN キャップと Al_2O_3 のシート抵抗 R_{sh} の安定性へ対する寄与については分離が出来ない。一方、一般的に In 系窒化物半導体は GaN と比較して成膜温度が低い。そのため、In 系窒化物半導体上に成膜される GaN キャップは品質的にやや劣る場合がある。したがって、本構造を用いた活性化アニールを実施する場合は、この点に注意して適用する必要がある。また、Al_2O_3 単独での十分な活性化アニール効果を得られる技術開発も効果的と考えられる。

また、今回の実験で得られたコンタクト抵抗を図③-15 に示す。平成 27 年度取得デー

タも併せて示す。コンタクト抵抗における活性化アニール依存性は両年度とも同様の傾向を示した。平成 28 年度の評価結果は若干コンタクト抵抗が増加しているが、これは GaN キャップをドライエッチングで除去する際に、27 年度実験時よりも電子供給層を約 1 nm 厚く残したことが原因であると考えている。

結論として、Si イオン注入および In 系半導体表面を保護する GaN キャップや Al_2O_3 保護などの改善プロセスにより、シート抵抗の増大抑制と 0.5 Ωmm 以下のオーミックコンタクト抵抗低減を達成することができた。



図③-15　コンタクト抵抗 R_c の活性化アニール温度依存性

③－２－４　イオン注入によるコンタクト抵抗低減技術の有効性評価

以上の実験結果を踏まえ、金属イオン注入法および Si イオン注入法によるコンタクト抵抗低減効果について有効性を判断する。

Al 注入に関してはコンタクト抵抗低減の観点から効果なしと判断した。Al 注入は、プロセス中に酸化アルミニウムの生成が懸念され、コンタクト抵抗低減の阻害要因になると考えている。一方で Ti 注入については、一定の低減効果が確認された。この効果の一因としては、Ti による GaN からの N 引き抜きに伴うドナー準位が形成され、伝導帯の押し下げに寄与したためと考えている。ただし、図③-3 に示すように Ti 元素が GaN チャネル層に侵入する課題が残る。現時点では、Ti 注入時の加速電圧の更なる低加速化は困難であるが、将来的に注入装置の性能が改善され、低加速注入が可能になった場合は本実験の成果を上回るコンタクト抵抗低減効果が得られる可能性は十分にある。

また、プロセス工程上の課題としては、レジストマスクの熱変性や注入イオンによる溶解性低下を避けるために、低加速・低ドーズで実施される金属イオン注入では、長時間の処理が必要となり、コスト上の課題となる。

一方、Si イオン注入によるコンタクト抵抗低減手法では、目標の 0.5 Ωmm のコンタクト抵抗を実現することができた。さらに、In を含有する半導体表面を保護する目的で、GaN キャップを配置することや、Al_2O_3 等の表面保護膜を配置する手法が結晶の劣化（主に表面）を抑制するために非常に有効であることを示した。これらの実験結果から、プロセス工程のコストを加味しても、Si イオン注入法は、In 系窒化物半導体(InAlGaN/GaN-HEMT)に対して、一定の有効性を持っていると判断した。

③－３　低抵抗再成長層によるコンタクト抵抗低減技術

本項では、オーミックコンタクト抵抗を低減する手法として、高濃度ドナー型不純物がドーピングされた GaN 再成長層の適用技術を検討した。In 系窒化物半導体に選択再成長を実施する場合の課題、デバイス試作工程、オーミック特性およびトランジスタ特性について述べる。

③－３－１　オーミック形成領域リセスエッチング技術

低抵抗再成長層によるコンタクト抵抗低減技術は、1)オーミック形成領域の電子供給層を選択的にドライエッチングにより除去し、2)その後、高濃度ドナー型不純物がドーピングされた低抵抗 GaN 層を再成長する、という２つのプロセスを踏む。そこで、はじめに 1) のプロセスとなる半導体表面のドライエッチングにおける低ダメージ化技術の確立が必要となる。

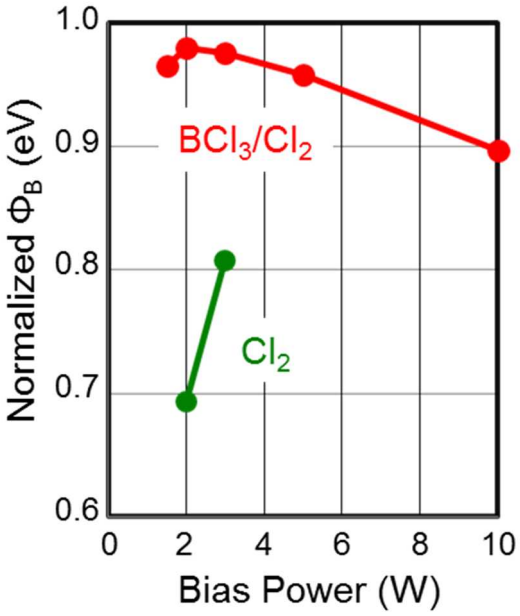
従来の AlGaN/GaN-HEMT 作製プロセスでは、Cl_2 ガスを用いて AlGaN 電子供給層のドライエッチングを行う。しかし、エッチング後の表面平坦性は著しく悪化し、ドライエッチングによるプロセスダメージが入っていることが推察される。一般的に、Cl_2 のみを用いたドライエッチングでは、半導体表面の酸化膜除去作用が低く、酸化部分のエッチングレートが異なるため平坦なエッチングが困難となる。また、半導体表面がプラズマ損傷によるダメージを受けやすい特性を持ち、窒素空孔などの欠陥が発生する[7]。さらに、表面荒れによる表面積の増大は、酸素などの吸着を促進する。前述の窒素空孔も表面の酸化を助長する要素になりうると考える。この酸素吸着は、電子供給層の Al と結合した場合 AlO を形成し、コンタクト抵抗の増大要因となる。そのため、低ダメージかつ平坦な表面形成は、コンタクト抵抗低減のため効果的であると考える。このような従来の Cl_2 のみによるドライエッチングで形成したオーミック電極のコンタクト抵抗の一例は、0.455 Ωmm(3 インチ面内平均)であった。

そこで我々は、これらプラズマダメージおよび平坦性を改善するために、Cl_2 と BCl_3 の混合ガスを用いたドライエッチング技術を開発した。エッチング装置を用いて、ドライエッチングダメージを間接的に評価するためのショットキー障壁高さのバイアスパワー依存性を調査した。実験結果を図③-16 に示す。なお、ショットキー障壁高さは、GaN 単層膜上にニッケル（Ni）ショットキー電極を形成したダイオード構造で調べた。ここで、バイアスパワーとは、ICP(Inductively Coupled Plasma)エッチング装置において、プラズマ化したエッチングガスを基板上に導入するパワーである。このバイアスパワーの大きさが、エッチング速度やプラズマダメージに影響を与える。また、図③-17 に、エッチング表面の AFM 像を示す。

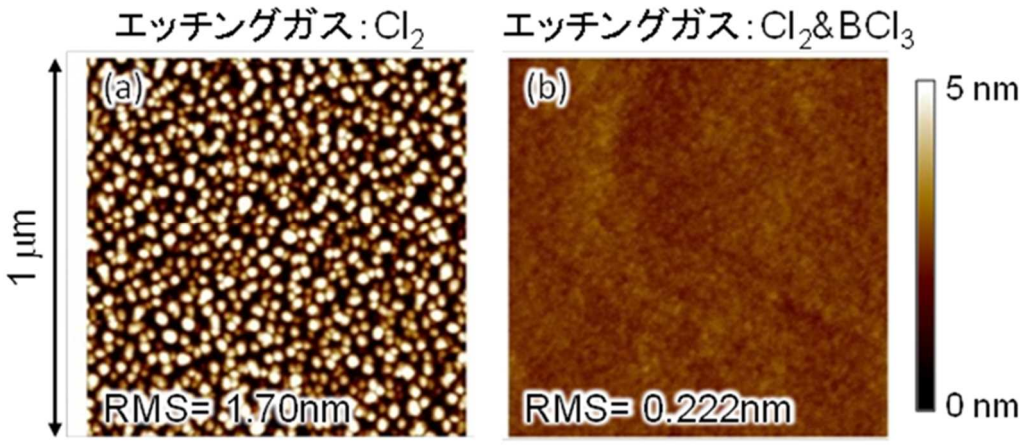
これらの実験結果から、Cl_2ガスにBCl_3を添加することにより、ドライエッチングダメージが低減し、エッチング後の表面平坦性は大きく改善することがわかった。これはBCl_3のBが酸化部分を除去する効果があり、結果として均一なエッチングが進行したためと考えている。

このときのコンタクト抵抗の一例は、0.349 Ωmm(3 インチ面内平均)であり、ドライエッチング表面の低ダメージ化および平坦化がコンタクト抵抗の低減に寄与したと考えている。

以上の結果から、低抵抗層再成長によるコンタクト抵抗低減効果を享受するために本技術を用いることで、再成長層形成前のドライエッチングダメージが小さく表面が平坦に形成できることが実証された。本手法の開発により、低抵抗層（低温）再成長技術に適用可能な低ダメージドライエッチング技術開発の目標を達成した。



図③-16　ショットキー障壁高さのバイアスパワー依存性



図③-17　Cl_2ガスおよびCl_2+BCl_3混合ガスを用いた
ドライエッチング後のAlGaN表面の原子間力顕微鏡(AFM)像

③－３－２　In 系 GaN への低抵抗層再成長技術適用上の課題

In 系窒化物半導体は一般に低温で成長され、かつ表層部に化学的に不安定な In 酸化物や、その酸化が電気抵抗に大きな影響を与える Al を多く含む。そのため、In 系窒化物半導体へ低抵抗層再成長技術を適用する場合、AlGaN よりも低い温度耐性や In、Al 酸化物の影響等、評価・解決しなくてはならない課題が多い。以下に考えうる課題を列挙する（図③-18 参照）。

例えば MOCVD 法を用いた場合、In 系窒化物半導体は AlGaN と比較して数百度程度低温で成長する。そのため、電子供給層やチャネル層を成長温度以上の高温に曝した場合、InAlGaN 電子供給層内、特に表面の In が脱離する。この脱離によって、In ドロップレットやヒロックなどの成長欠陥が表面に形成される可能性がある。さらに、電子供給層表層部とプロセス用マスクや絶縁膜間で反応が進行する場合も想定される。

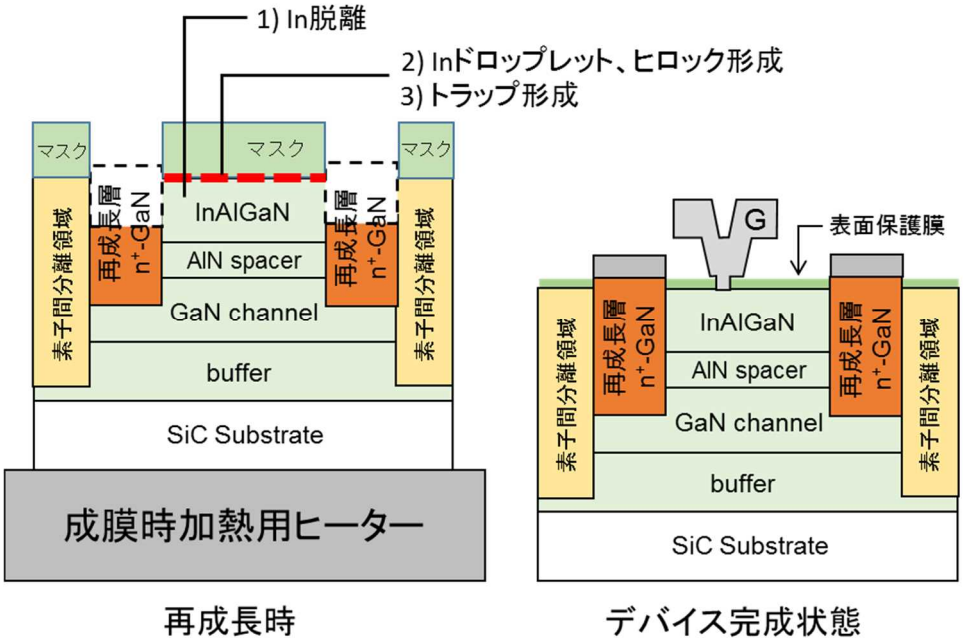
これらの事象は、キャリア密度の低下すなわちドレイン電流の低下や表面トラップの増大として顕在化する恐れがある。

＜高温下処理で想定される障害事例＞

1) 電子供給層（特に表面）からの In 脱離

2) 電子供給層表層部での In ドロップレットおよびヒロックの形成

3) 電子供給層表層部とマスク絶縁膜反応によるトラップ形成



図③-18　In 系窒化物半導体への低抵抗層再成長技術適用上の課題

また、電子供給層表層部においては、In の酸化等による材質劣化が進む恐れもある。In 酸化物は、化学的に不安定であり生成を回避すべき酸化物である[8]。酸化物が再分解する過程においてダングリングボンド等が生成され、結果としてトラップ型欠陥が発生し電流コラプス等の原因となる。これらの課題は、従来の AlGaN/GaN-HEMT では、顕在化しづらくかつ影響が軽微であるが、In 系窒化物半導体(高 Al 組成 In 系窒化物半導体)に対しては、影響が大きいと認識している。我々はこれらの課題に対し、工業的生産にも対応する解決方法に道筋をつけるために、製造安定性も含めた検討試作を行った。

低抵抗再成長層の形成には分子線エピタキシー（Molecular Beam Epitaxy：MBE）法および MOCVD 法の 2 通りの成長技術を比較した。それぞれのデバイス作製工程と評価結果を以下に述べる。

③－３－３　MBE 法による低抵抗層再成長デバイス作製工程

MBE 法を用いた低抵抗層再成長デバイス作製工程について説明する。

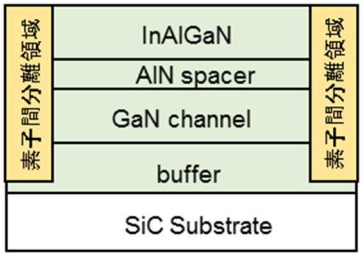
図③-19 にデバイス作製工程を示す。まず、図③-19-1 に示すように、MOCVD 法により InAlGaN/GaN-HEMT 構造を SiC 基板上に成膜した半導体基板に対し、Ar イオン等を用いて不活性領域（素子間分離領域）を画定する。次に、図③-19-2 に示すように、半導体基板上に SiN 膜を堆積させる。次に、図③-19-3 に示すように、ドライエッチングにより低抵抗再成長層成膜領域を開口した SiN 膜マスクを形成する。次に、図③-19-4 に示すように、低ダメージドライエッチングにより GaN チャネルまでのリセスを形成する。

今回の試作では構造依存性を評価するために半導体基板表面からおおよそ 10 nm～40 nm の範囲内でリセス深さ、即ち低抵抗再成長層厚さを変化させた。なお、リセス深さの範囲は次項の「④高電流構造シミュレーション」においてデバイスシミュレーションの結果より決定した。図③-19-5 に示すように、MBE 法を用いてリセス領域内に、Si を $1\times10^{19}\,cm^{-3}$ 以上ドーピングした GaN 層を成長する。次に、図③-19-6 に示すように、エッチング液を用いて SiN 膜上に形成された多結晶 GaN をリフトオフ除去する。このリフトオフ工程では、多結晶 GaN の下部の SiN 膜をフッ酸溶液を用いて溶解し、上部の多結晶 GaN を半導体表面から除去する。

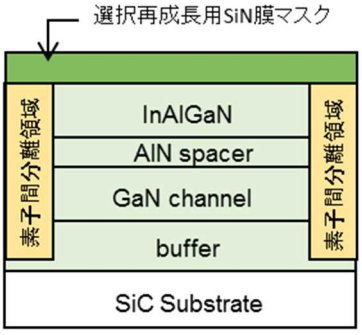
次に、図③-19-7 に示すように、再成長領域の直上へ Ti/Al 等からなる電極を配置し、N_2 雰囲気中で合金化処理しオーミック電極を形成する。最後に、図③-19-8 に示すようにトランジスタ特性を評価するために、高周波向け T 型ゲート電極を形成した。

図③-20 に低抵抗層再成長後表面の走査型電子顕微鏡(Scanning Electron Microscope: SEM)像を示す。低抵抗層再成長時に、SiN マスク上に成膜された GaN は多結晶化する。GaN は、酸に対して十分な薬剤耐性を持つため、リフトオフプロセスの障害となっている。一方、図中の再成長領域内(リセス部)は、マクロには平坦面が形成されている。ただし、ウエハの中心と周辺で、表面モフォロジやクラックの度合いに違い

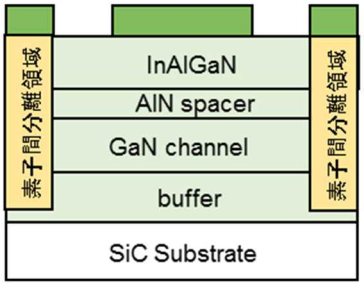
が認められる。この差異は、結晶品質の違いを示している可能性があり、デバイス信頼性に対する影響に関して継続的に検証していく必要がある。また、SEM 像からは再成長部端部に結晶の盛り上がりが認められる。図③-21 に、AFM による段差プロファイル測定結果を示す。この図より、再成長領域端部では 10 nm 程度の側壁が形成されていることがわかった。この端部側壁は、SiN マスク側壁隣接部での成膜速度変動を示唆していると考えられる。



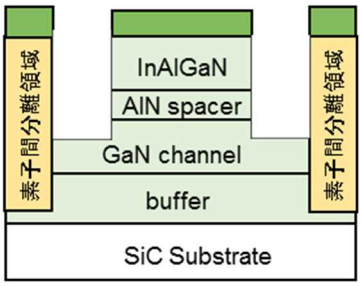
図③-19-1



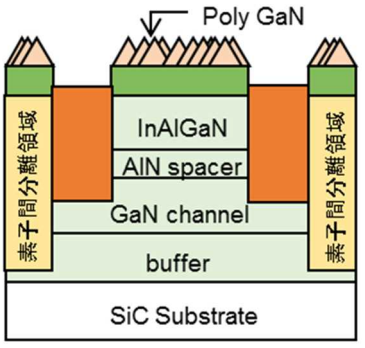
図③-19-2



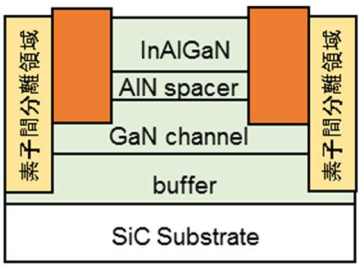
図③-19-3



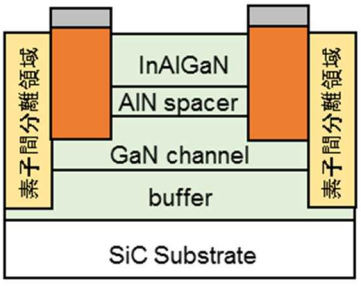
図③-19-4



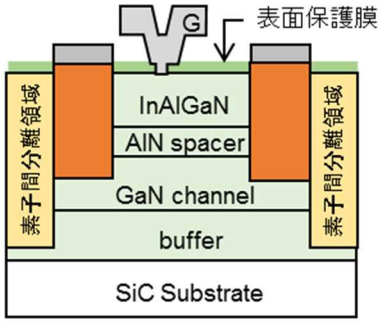
図③-19-5



図③-19-6

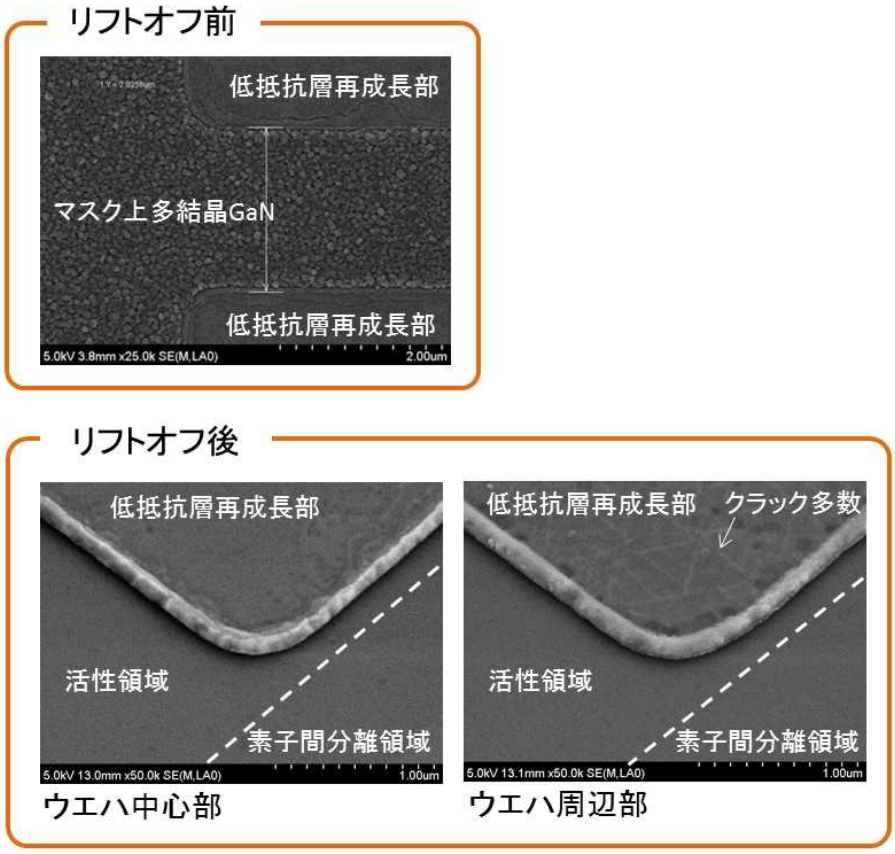


図③-19-7

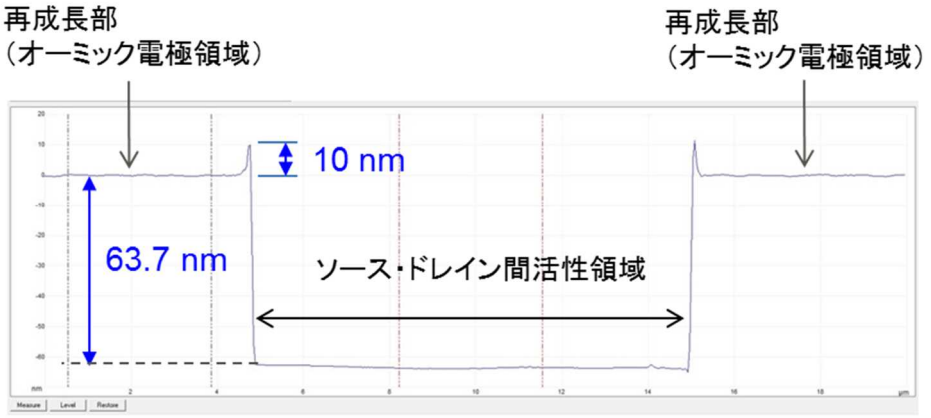


図③-19-8

図③-19　MBE 法を用いた低抵抗層再成長オーミックデバイス作製工程



図③-20　低抵抗層再成長後表面の SEM 像



図③-21　AFM で取得した低抵抗層再成長デバイスのデプスプロファイル

③－３－４　MBE 法による低抵抗層再成長デバイス電気特性評価

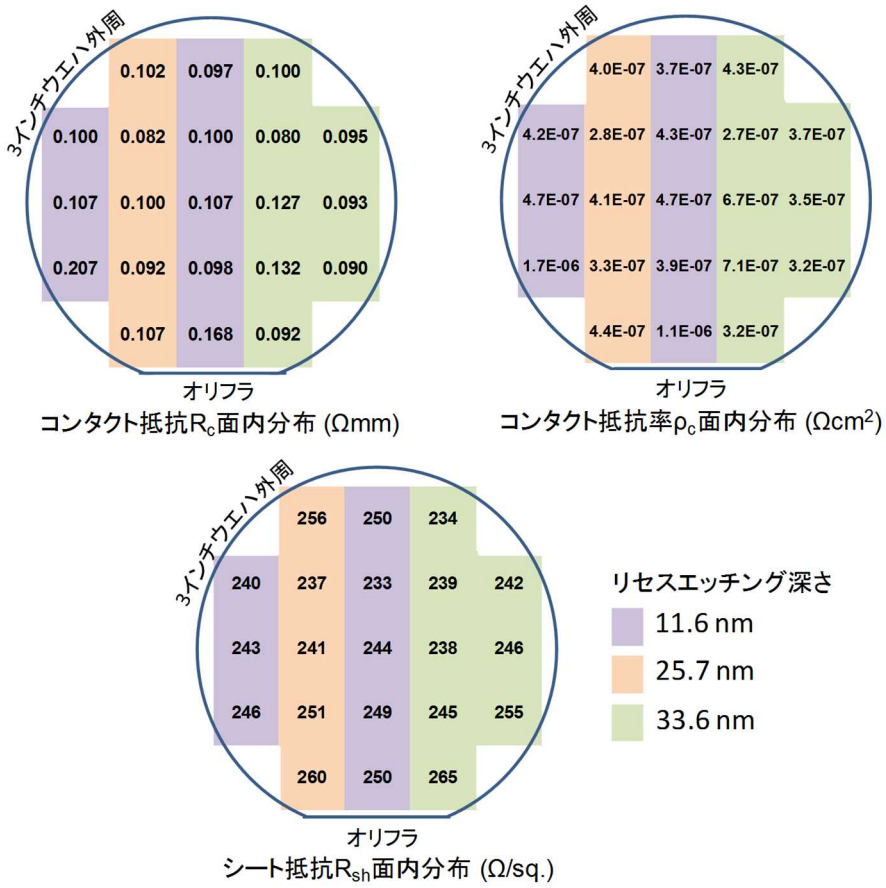
オーミックコンタクト特性

図③-22 と 23 には、InAlGaN/GaN-HEMT に MBE 法による低抵抗層再成長オーミックを適用した場合のコンタクト抵抗、コンタクト抵抗率およびシート抵抗の 3 インチウエハ面内分布と再成長深さの依存性をそれぞれ示す。これらの評価は TLM 法で行った。なお、リセスエッチング深さは、図示するように InAlGaN 電子供給層表面から 11.6 nm、25.7 nm、33.6 nm の 3 水準である。

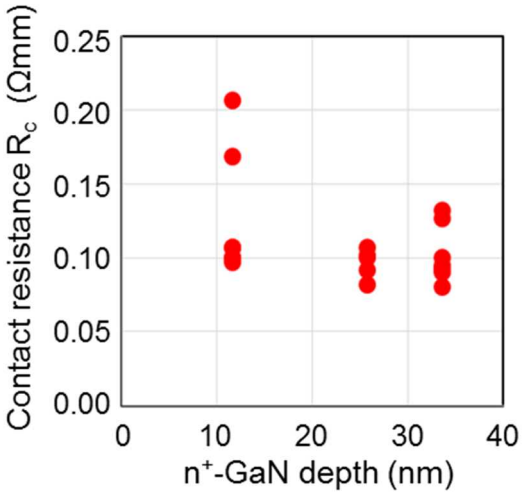
実験結果から、概ねリセス深さによらず、低いコンタクト抵抗 R_c および抵抗率 ρ_c が得られていることがわかる。また、InAlGaN/GaN-HEMT の成長温度近傍(750 ℃)で実施される低抵抗層再成長工程後の結晶へのダメージについては、再成長前後でのシート抵抗 R_{sh} がほぼ変化していないことから、影響は小さいと判断した(再成長前は 230～240 Ω/sq.)。

これらの結果が示すとおり、MBE 法を用いた低抵抗層再成長技術により、開発目標としたオーミックコンタクト抵抗 0.5 Ωmm を大幅に下回る低コンタクト抵抗を実現した。

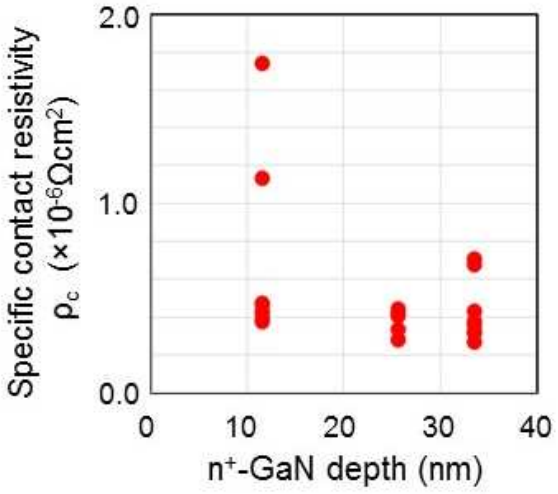
また、本技術は統合デバイス二次試作に適用され、W 帯 MMIC 増幅器における従来比出力 2 倍の達成に貢献した。



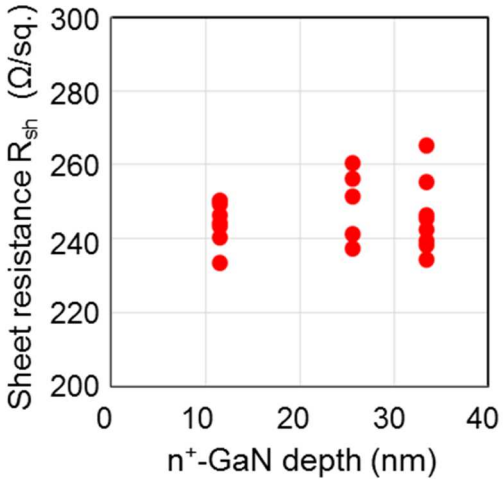
図③-22　MBE 法による低抵抗層再成長オーミック品の R_c，ρ_c，R_{sh} 面内分布



コンタクト抵抗 R_c 分布



コンタクト抵抗率 ρ_c 分布



シート抵抗 R_{sh} 分布

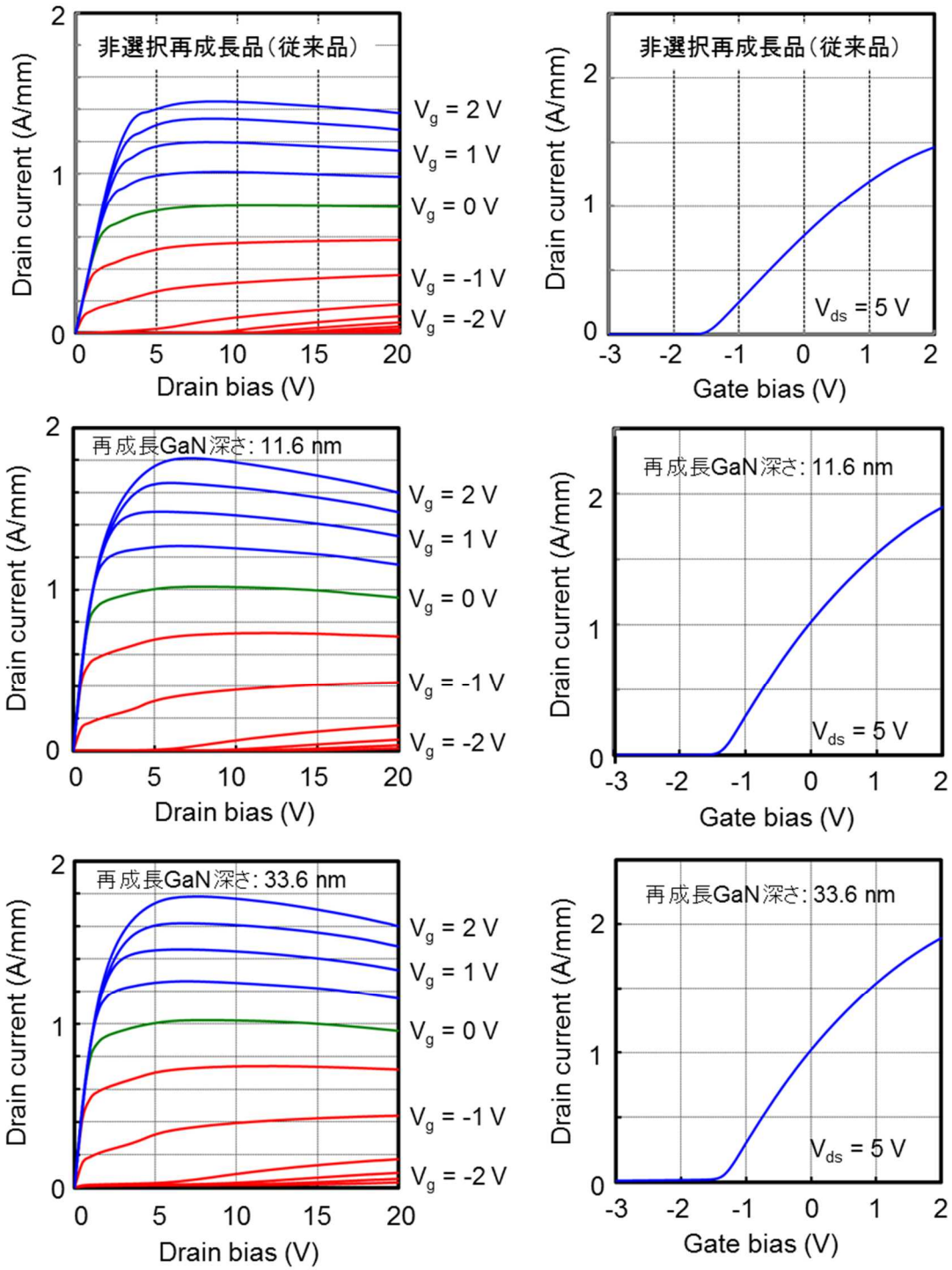
図③-23　MBE 法による低抵抗層再成長オーミック品の R_c，ρ_c，R_{sh} 分布

トランジスタの DC 特性

オーミックコンタクト抵抗の低減はデバイスの出力性能を大幅に改善する。そこで、作製したデバイスの電気特性を測定し、低抵抗層再成長オーミックの効果を DC 特性の観点から評価した。

図③-24 に、再成長層厚が 11.6 nm および 33.6 nm の試作デバイスにおける DC 特性を比較している。測定は、半導体パラメータアナライザを用いて行った。図から明らかなように、得られた DC 特性は再成長層深さに依存せず、最大ドレイン電流は 1.8 A/mm 以上に達することが分かる。これは、低抵抗再成長層が非適用である InAlGaN/GaN-HEMT デバイス(1.4 A/mm)と比較して約 30%の電流密度向上であり、低抵抗層再成長技術が増

幅器の高出力化に直接的に貢献することを示している。

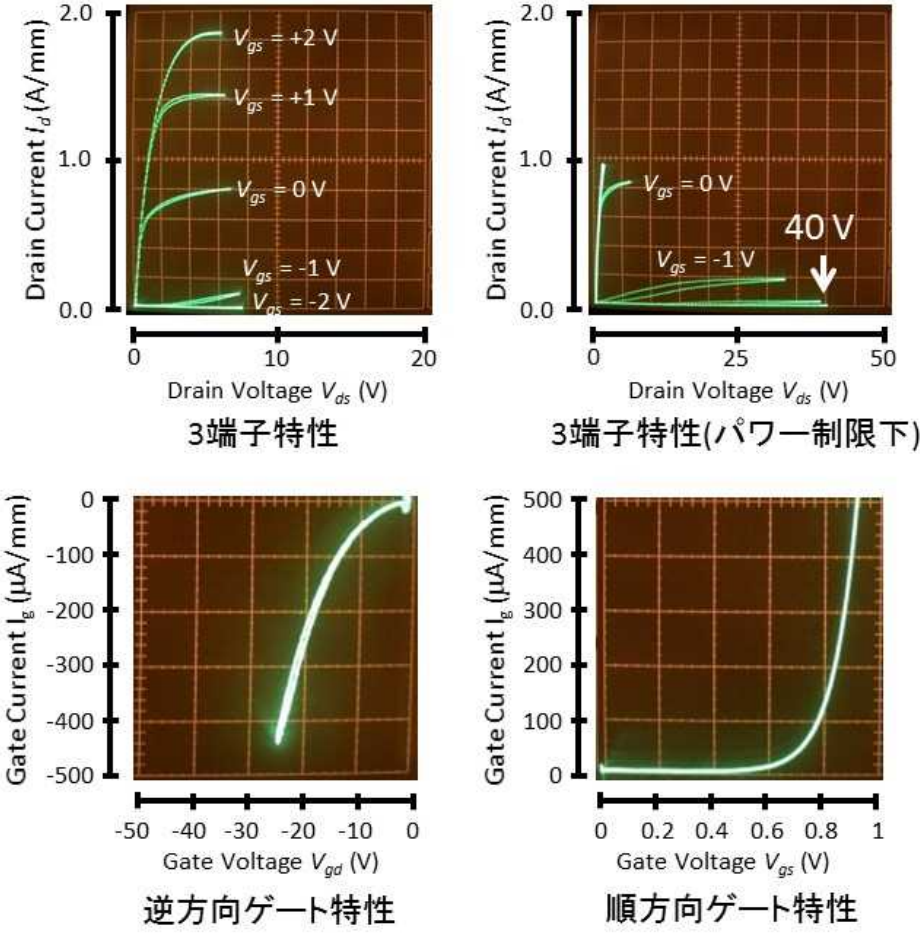


図③-24　試作した低抵抗再成長層技術適用デバイスの DC 特性
（GaN 再成長深さ依存性）

なお、最大ドレイン電流は、ゲート電圧(V_{gs})2 V の ON 状態で観測される最大のドレイン電流を示す。なお、ドレイン電圧(V_{ds})>5 V で観測される負性微分抵抗は、発熱による移動度低下が原因となっている。そのため、当該最大ドレイン電流も発熱の影響を受け低めに計測されていると考えている。

図③-25 には、カーブトレーサを用いた測定結果を示す。半導体パラメータアナライザが、1 回の電圧スイープで電流-電圧特性を描くのに対して、カーブトレーサでは、1 秒間に 100 回の電圧スイープを繰り返して電流-電圧特性を描く。この測定手法では、低周波に追従するトラップ応答が観察できる。測定結果から、低抵抗再成長層プロセスを施したデバイスも、良好な 3 端子特性やゲートリーク特性が得られること、トラップに起因する大きな過渡応答は見られなかったことを確認した。

また、パワーに制限をかけている条件下ではあるが、オン耐圧の低下がないことも確認した。高いオン耐圧や小さなゲートリーク電流は、増幅器動作電圧の高電圧化を実現し、最大ドレイン電流と同様に増幅器の高出力化へ寄与する。



図③-25　試作した低抵抗層再成長技術適用デバイスの耐圧およびゲート特性
(GaN 再成長深さ: 25.7 nm)

パルス特性(電流コラプス評価)

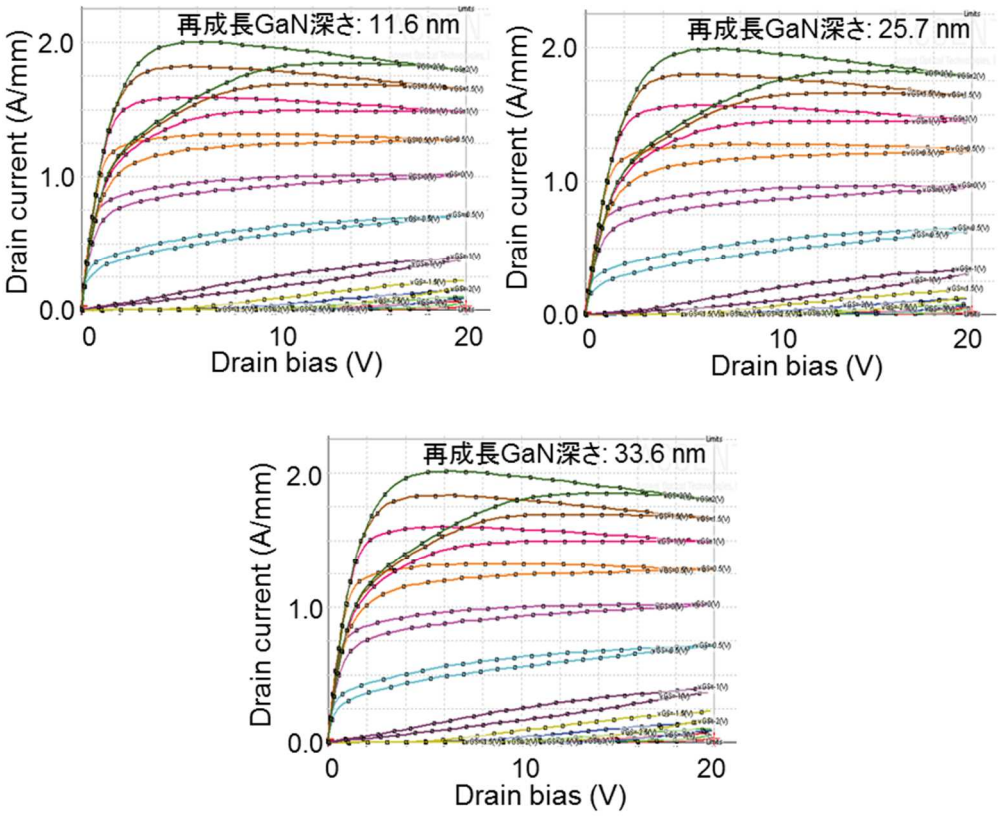
GaN-HEMT 等の窒化物半導体は、結晶内部や結晶表面のトラップによる電流低下現象即ち電流コラプス現象により、出力特性が劣化する。これまで結晶技術や、半導体表面パッシベーション技術の改善により、電流コラプスの小さいデバイス開発が進められてきた。ところが先行研究では、低抵抗層再成長デバイスではマスクとなる酸化ケイ素（SiO_2）と窒化物半導体表面の反応により、大きな電流コラプスが発生することが報告されている[9]。これは、SiO_2 膜の酸素と窒化物半導体表面の反応により、トラップが発生し電流コラプスが増大すると解釈されている。また、このトラップ生成反応は、低抵抗層再成長時の成長温度が原因である。

本実験の低抵抗層再成長では、In 系窒化物半導体上に SiN 膜を低抵抗層再成長マスクとして形成し GaN 層を成長する。この SiN 膜は窒化物半導体、具体的には InAlGaN 上に直接形成されている。また、GaN 低抵抗層再成長は、成膜温度 750 ℃程度で実施される。即ち、再成長 GaN 成膜中、SiN マスク/InAlGaN 界面は、750 ℃の温度に曝される。InAlGaN は 750-850 ℃程度の温度で成長される一方、SiN 膜は概ね 300 ℃以下で成膜される。この場合、界面に元素拡散等の反応が発生する可能性がある。元素の相互拡散はダングリングボンドなどを含む結合欠陥を生じ、結果的にトラップを形成して電流コラプスの原因となり得る。

今回の実験では、この相互拡散を極力抑制するために、SiN 膜は水素含有量が少ないストイキオメトリ比率の膜を用いた（Si-H および N-H 濃度：≒1.6×10^{22} cm^{-3}、Si/N≒3/4)。ストイキオメトリ比率は、633 nm 光に対する屈折率が 2.0±0.05 になるように調整され、プラズマ CVD で成膜した。成膜時の窒素原料としては、膜質を脆弱にする水素結合基を低減するために窒素ガスを用いた。ただし、前述したようにプラズマ CVD 法による SiN 膜堆積であるため、成膜温度は 200℃-300℃の範囲で実施した。そのため、低抵抗層再成長時の温度下で界面反応を起こす可能性を否定できない。

そこで電流コラプスの影響を評価するために、パルス IV 特性評価を実施した。(パルス IV 法は、「②バックバリア成長技術の開発」を参照)

図③-26 にパルス IV 特性の GaN 再成長深さ依存性を示す。GaN 再成長深さに依存せずオフストレスの印加により最大ドレイン電流は約 25%低下した(V_{ds}= 5 V)。GaN 再成長を用いない同一デバイスでの平均的なドレイン電流低下は 10～15%程度であり、GaN 再成長により 10%程度ドレイン電流の低下が増大した。定性的な解釈となるが、Knee 電圧付近の ON 状態(V_{gs}> 1 V)で特に顕著な電流コラプスが生じていることから、半導体表面のトラップの影響が増大したと推定している。これは、低抵抗層再成長時の SiN/InAlGaN 界面の加熱が、トラップ形成に影響した可能性を示しており、再成長技術の今後の課題である。



図③-26　パルス IV 特性の GaN 再成長深さ依存性

③－３－５　MBE 法による低抵抗層再成長技術の課題

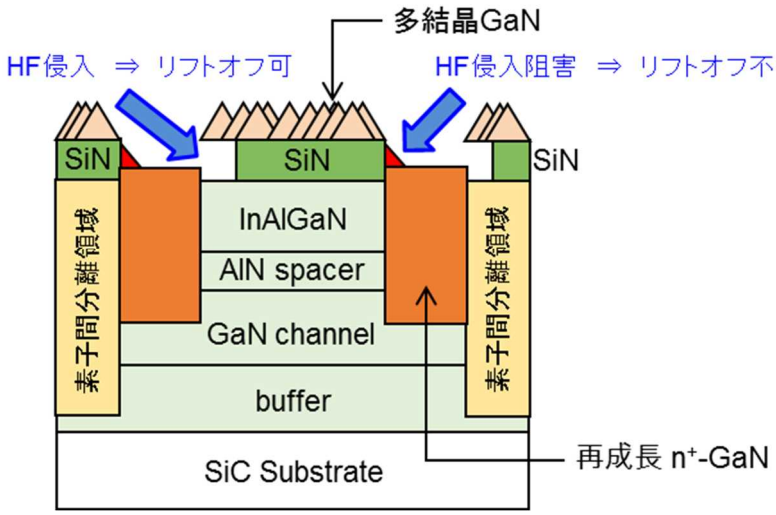
「③-3-3 MBE 法による低抵抗層再成長デバイス作製工程」で述べたように、MBE 法を用いた低抵抗層再成長では、マスク SiN 上に成膜された多結晶 GaN をリフトオフ法により除去する必要がある。このリフトオフ性はデバイス作製プロセスの安定性を左右することから、本開発ではリフトオフ再現性について調査を実施した。また、MBE 法による低抵抗層は 0.1 Ωmm 程度の低いコンタクト抵抗を実現出来たが、MBE 法は真空中で成長するため成長環境による膜品質への影響が大きい。そこでコンタクト抵抗の再現性についても観察を行った。

リフトオフの再現性

図③-27 に、MBE 法を用いた低抵抗層再成長層リフトオフ時の、オーミック電極形成領域に成膜された単結晶 GaN とマスク SiN 上に形成された多結晶 GaN 間の間隙部概略図を示す。マスク用 SiN 上面(多結晶 GaN 層下面)と再成長低抵抗 GaN 上面との空隙は設計上 40 nm とした。マスク SiN の厚みについては、詳細な実験を実施してないが、マスク SiN が薄すぎると多結晶 GaN 層下面と再成長 GaN 上面が接続され、フッ酸エッチング液の浸透経路が塞がり、リフトオフ不良となる。一方、マスク SiN が厚過ぎるとエッチン

グ液の浸透経路は十分に確保できるが、多結晶 GaN が側壁へ成膜されるリスクがある。

現設計でのリフトオフ容易性および再現性について実験した結果、部分的に多結晶 GaN に起因したリフトオフ不良が生じ、リフトオフ時間も 10 分から 1 時間弱まで変動することがわかった。



図③-27 MBE 法を用いた低抵抗再成長層リフトオフ時断面概要図

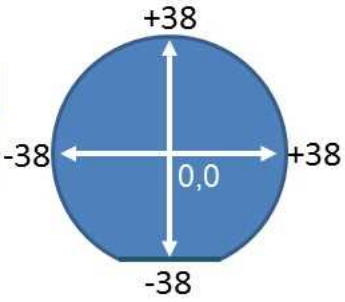
コンタクト抵抗値の再現性

続いて、コンタクト抵抗の再現性について調査した。MBE 法を用いた低抵抗層再成長は、真空中で分子ビームを照射して行われる。半導体表面の酸化膜除去は、MBE 装置に試料を投入する前に酸洗浄等で実施されるが、投入するまでの間は再度大気に暴露されるため、再成長表面が酸化やコンタミ付着等の影響を受ける可能性がある。図③-28 に異なる低抵抗層再成長基板のコンタクト抵抗における面内分布を示す。#1 基板のコンタクト抵抗は高い均一性を示したが、#2 基板では最大 3 倍の抵抗変動が観察された。

以上のように、MBE 法を用いた低抵抗層再成長はコンタクト抵抗低減に極めて有効であるが、プロセス安定性および性能再現性が今後の課題である。

MBEによる低抵抗層再成長#1

x,y座標 (mm)	-11,0	-11,24	-11,-24
コンタクト抵抗 (Ωmm)	0.102	0.100	0.107



MBEによる低抵抗層再成長#2

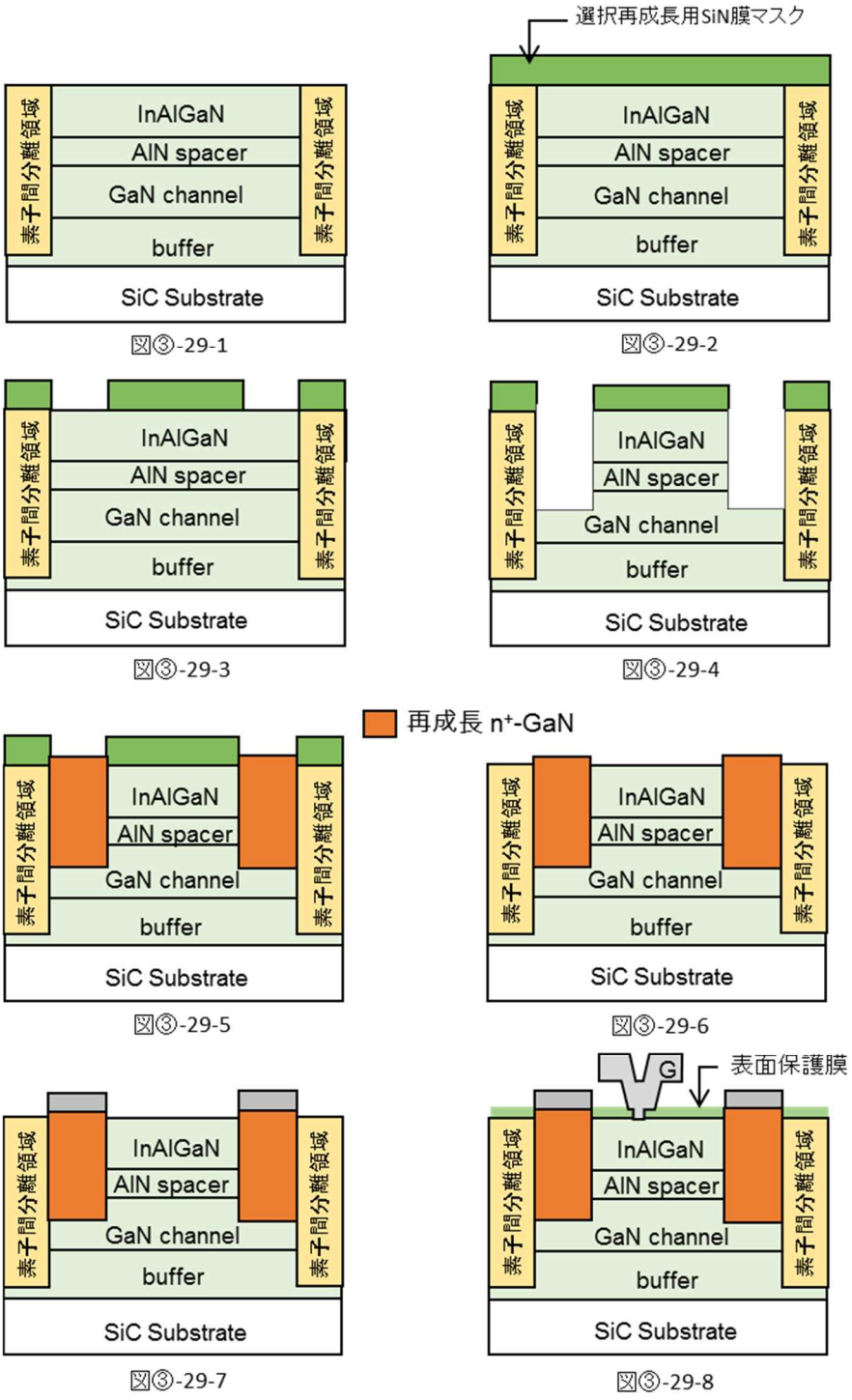
x,y座標 (mm)	0,0	0,24	0,-24	21,0	-21,0
コンタクト抵抗 (Ωmm)	0.103	0.165	0.112	0.120	0.317

図③-28　MBE 法による低抵抗層再成長品のコンタクト抵抗変動

③－３－６　MOCVD 法による低抵抗層選択再成長技術

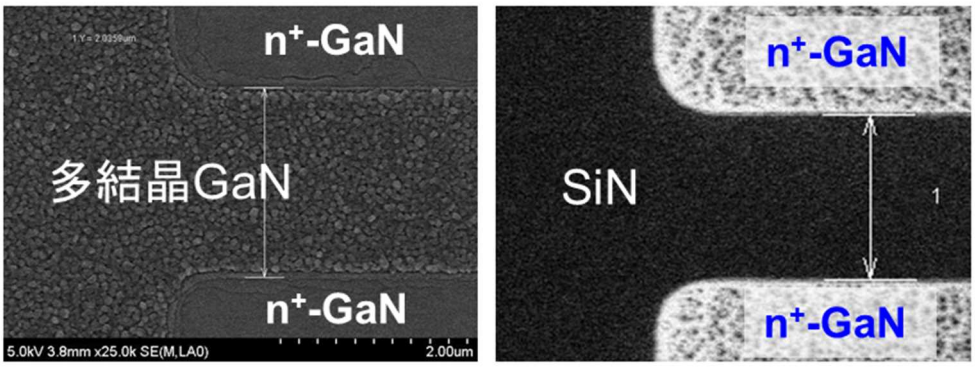
次に MOCVD 法を用いた低抵抗層再成長技術について説明する。

図③-29 に示すように、デバイス作製は基本的に MBE 法を用いた場合のプロセス工程と同様の工程を用いることができる。



図③-29　MOCVD 法を用いた低抵抗層オーミックデバイス作製工程

後述するように、MOCVD 法は、MBE 法と異なり選択的な再成長が実現できる。図③-30 に、MBE 法および MOCVD 法を用いた低抵抗 GaN 層再成長後における表面 SEM 像の比較を示す。図から明らかなように、MOCVD 法ではマスク SiN 膜上に GaN は成膜されていない。そのため、MBE 法を用いた低抵抗層再成長では必須であったリフトオフプロセスが必要なくなり、プロセス安定性や量産性の向上が見込まれる。



(a) MBE 法　　(b) MOCVD 法

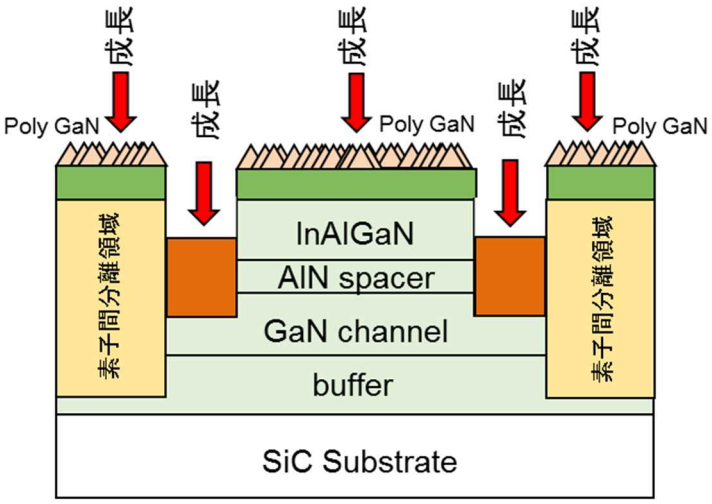
図③-30　MBE 法,MOCVD 法を用いた低抵抗層表面 SEM 像

③－３－７　MBE 法と MOCVD 法による再成長メカニズムの比較

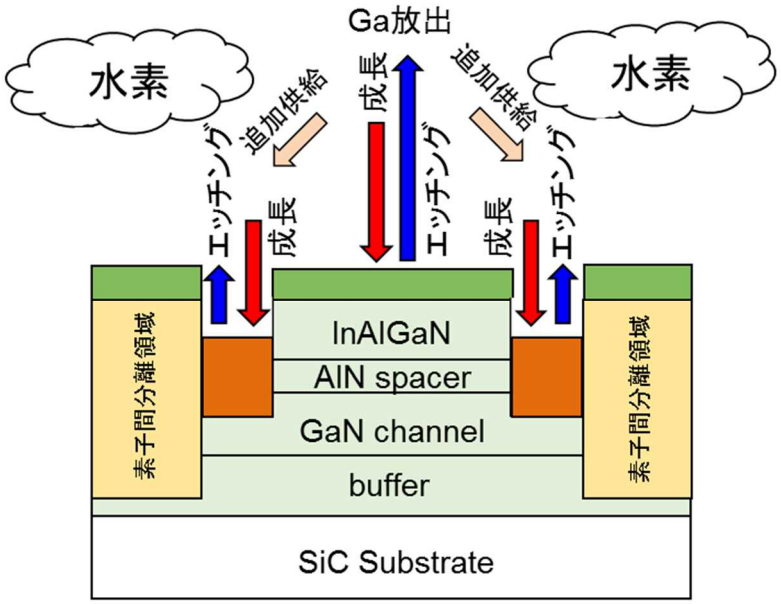
MOCVD 法の低抵抗層形成プロセスで選択的な再成長が実現した点について、反応メカニズムの観点から考察する。両手法の成長メカニズム概要を図③-31 に示す。MBE 法では、原料分子線がウエハ表面に到達した後、大きくはマイグレーションせず被着し結晶成長する。この場合、SiN 上に被着した原料は多結晶化し、オーミック電極が形成される GaN 上に被着した原料は単結晶 GaN となる。成長が進むにつれて多結晶 GaN と単結晶 GaN の隙間が狭まるため、多結晶 GaN の存在はリフトオフ不良などプロセス不安定性の原因となり得る。

一方、MOCVD 法を用いた選択再成長では、原料ガスによる結晶成長と水素によるエッチングが同時並行的に進行する。SiN 上に到達した原料ガスは、多結晶 GaN として成長するものの、成長速度よりも速いエッチングにより消滅する。この消滅過程で放出された Ga は再度成長に寄与するため、SiN マスク近傍の GaN 露出開口部(再成長面)へは Ga 供給が実質的に増大する。一方、オーミック電極が形成される GaN 再成長面では、原料ガスにより単結晶 GaN が成長する。SiN 上と同様に水素によるエッチングが進行するが、単結晶 GaN はエッチングレートが遅いため層形成される。

以上のように、MOCVD 成長では、SiN 上に多結晶 GaN が形成されないために MBE 法と比較して製造プロセスが簡便となる。



(a) MBE 法による再成長



(b) MOCVD 法による選択再成長

図③-31　MBE 法および MOCVD 法による低抵抗層再成長メカニズム

③－３－８　選択再成長膜厚の再成長領域密集度依存性

前述したように、MOCVD 法を用いた選択再成長ではマスク SiN 上に吸着した Ga がエッチングされた後に再度成長に寄与すると推察される。従って、再成長領域とマスク SiN の面積比および選択再成長領域の配置すなわちトランジスタ密集度により、再成長膜厚は依存性を有する可能性が高い。そこで、この仮説を検証するため 3 種類のトランジスタ密集度と再成長膜厚について検討を加えた。なお、以下の分類は定性的分類で、定量的数値範囲を示しているものではない。

トランジスタ密集度「低」

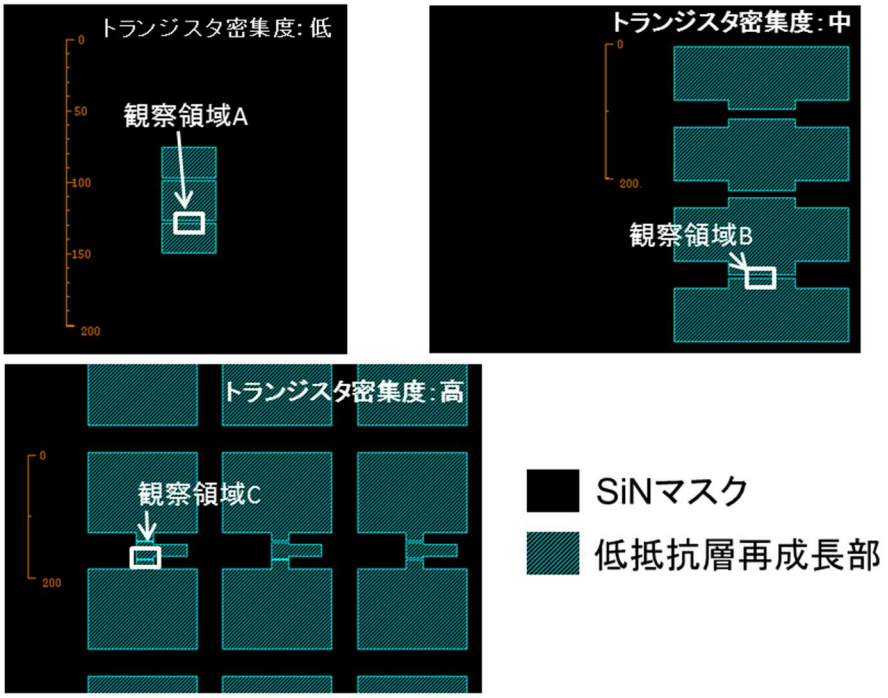
小さなトランジスタ(50 μm×100 μm)が離散的に配置(トランジスタ間隔 500 μm)された場合。図③-32 の観察領域 A が該当。

トランジスタ密集度「中」

中程度のトランジスタ(200 μm×400 μm)が離散的に配置(トランジスタ間隔 500 μm)された場合。図③-32 の観察領域 B が該当。

トランジスタ密集度「高」

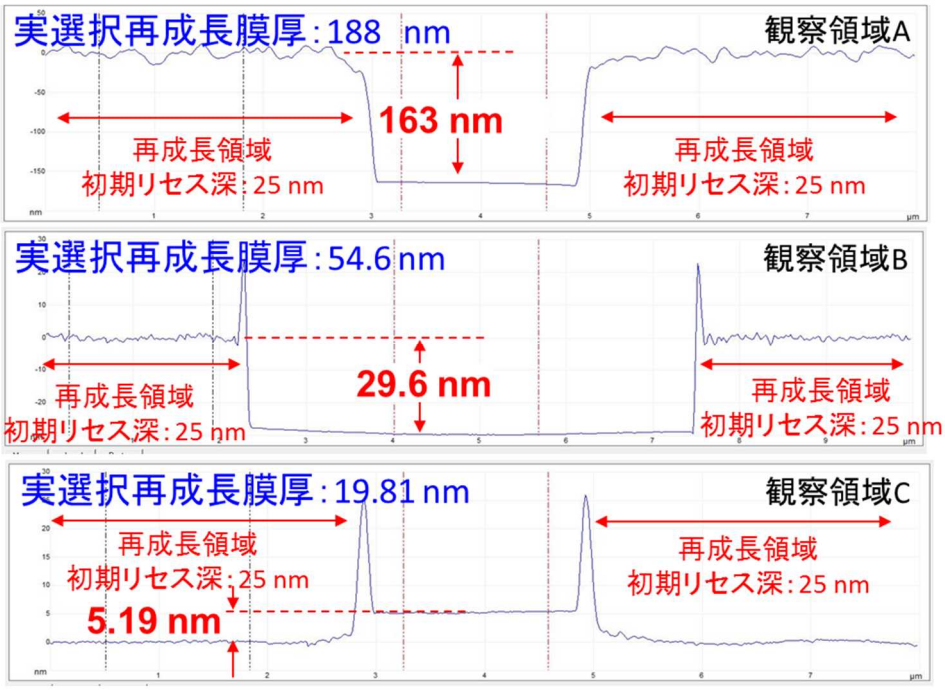
中程度トランジスタ(200 μm×300 μm)が集中配置(トランジスタ間 50 μm)された場合。図③-32 の観察領域 C が該当。



図③-32　トランジスタ密集度の例

これらの観察領域において、再成長後の GaN 膜厚を AFM により測定した。なお、選択再成長領域は、事前に Si 高濃度ドープ GaN 選択再成長領域が 2 次元電子ガスに接続されるように 25 nm リセスした。再成長膜厚評価結果を図③-33 に示す。観察領域 A では再成長膜厚 188 nm、観察領域 B では再成長膜厚 54.6 nm、観察領域 C では再成長膜厚 19.81 nm であった。

実験結果から、再成長膜厚には大きなトランジスタ密集度依存性があることがわかった。この依存性は、トランジスタ配置を工夫することで、依存性の影響を低減できると考えている。なお、統合デバイスでは予め 50 nm に調整した再成長条件を適用した。

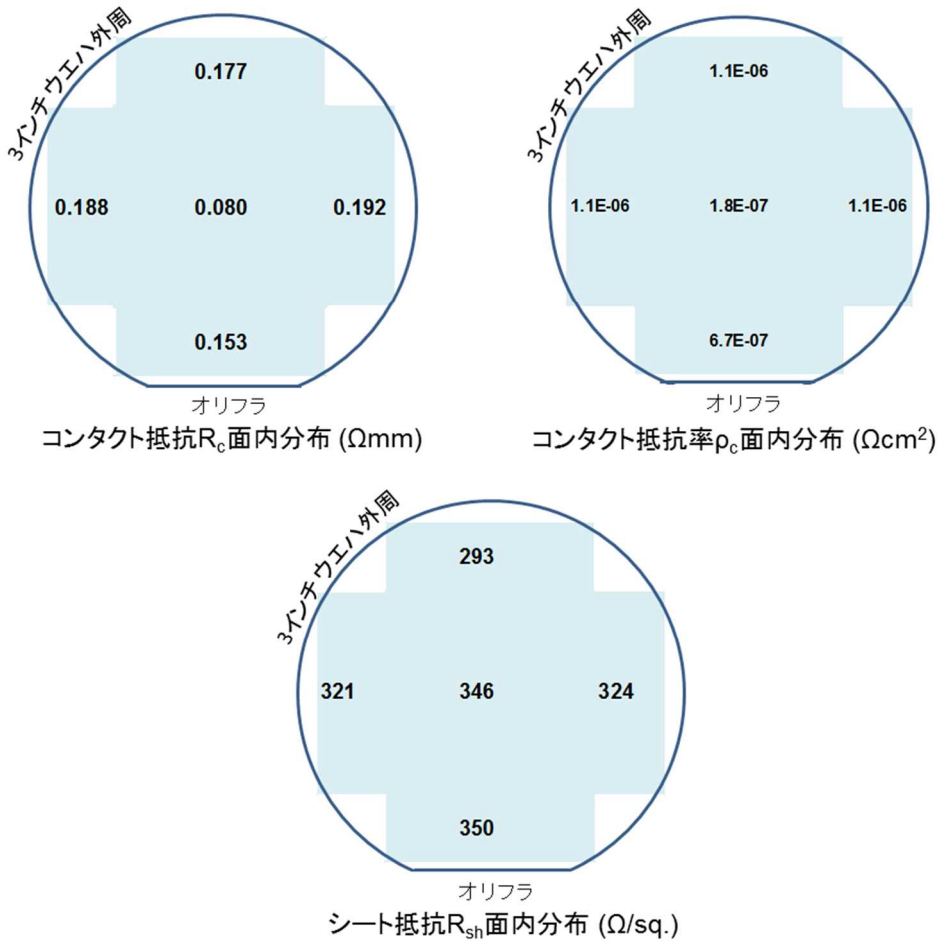


図③-33 再成長膜厚評価結果(初期リセス深さは設計値)

③－３－９　MOCVD 法による低抵抗層選択再成長デバイス電気特性評価

オーミックコンタクト特性

図③-34 に、MOCVD 法で低抵抗層を形成した InAlGaN/GaN-HEMT のコンタクト抵抗、コンタクト抵抗率およびシート抵抗を示す。コンタクト抵抗は 0.080～0.192 Ωmm の範囲であり、開発目標とした 0.5 Ωmm を大幅に下回るコンタクト抵抗を達成した。また、ウエハ面内の分布も安定しており、これは MOCVD 法を用いた再成長では、成長時に水素キャリアガスへ暴露されることで表面が清浄化されることも一因であると考えている。



図③-34　MOCVD 法による低抵抗層再成長オーミック品の R_c，ρ_c，R_{sh} 面内分布

これらの測定結果および前述したマスク SiN の剥離容易性(リフトオフ容易性)から、MOCVD 法による低抵抗層再成長技術には、大きな優位性があると考えている。

トランジスタの DC 特性

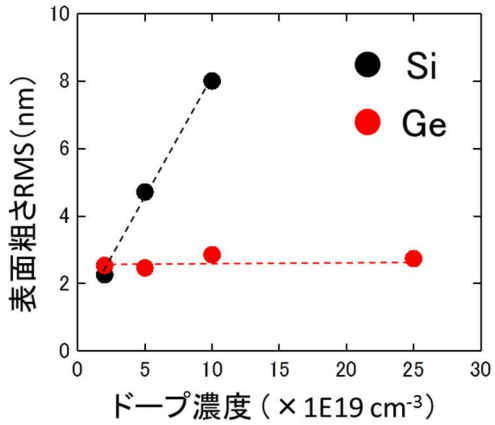
前述したように、オーミックコンタクト抵抗は、MBE 製低抵抗層再成長と比較して安定に低減出来ている。この低コンタクト抵抗は、オン抵抗を低減し、最大ドレイン電流を増大させる。トランジスタ特性について、課題⑨の統合試作項目に詳細を記載した。

③－３－１０　Ge ドーパントによる MOCVD 法再成長技術の最適化

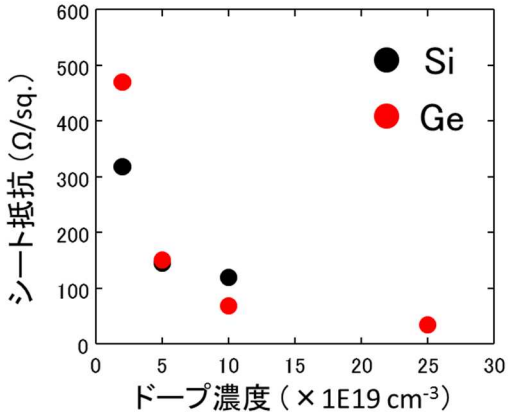
MOCVD 法再成長技術は均一性の高い低抵抗層を高い再現性で形成できる。そこで本手法をベースとして、更なるコンタクト抵抗低減を目指した最適化に取り組んだ。

コンタクト抵抗低減には再成長層へのドープ濃度増加が有効である。一般に、低抵抗再成長 GaN 層には Si をドーパントとして用いるが、ドープ濃度が 2×10^{19} cm^{-3} 程度を超えると再成長結晶品質が低下して表面荒れが発生する。結晶品質の低下は電気特性や信頼性の劣化要因になることが懸念されるため、これ以上の Si ドープ濃度増加は好ましくない。一方、Ge は Si より Ga とイオン半径が近く母材結晶への負荷が小さいことから、より高濃度なドーピングが期待できる[10]。そこで本実験では Ge をドーパントに用いた低抵抗 GaN 層再成長について検討した。

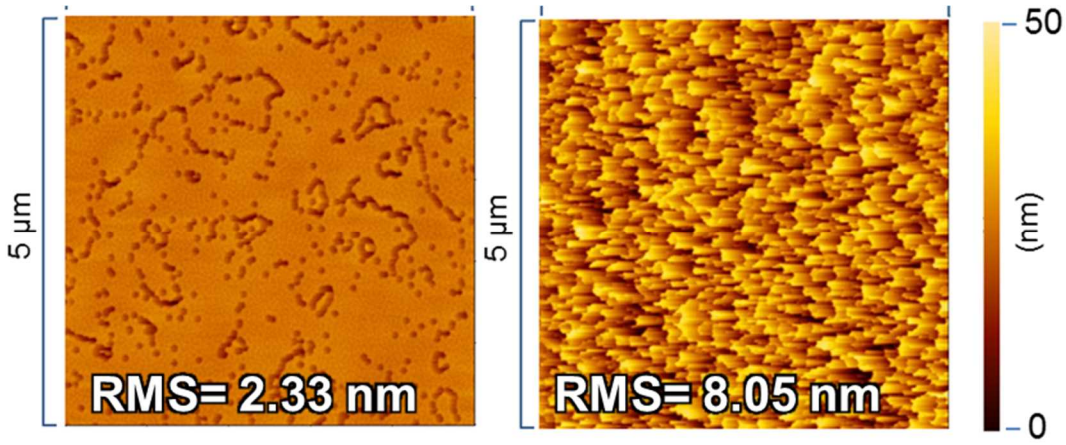
図③-35 に、表面粗さ RMS における Si および Ge のドープ濃度依存性を示す。ドープした GaN 膜厚はどちらも 50 nm である。図から明らかなように、Si はドープ濃度の増加に伴い RMS が直線的に増加しており、高濃度ドープにより GaN の結晶性が低下する様子が示唆された。一方、Ge は今回検証した最大ドープ濃度である 2.5×10^{20} cm^{-3} においても RMS の増加は観察されなかった。この結果は図③-37 に示す AFM 像からも明らかである。図③-36 は、シート抵抗における各ドーパントのドープ濃度依存性を示す。低濃度領域では Si ドープによる抵抗低減効果が大きいが、ドープ濃度が 1.0×10^{20} cm^{-3} 以上になると Ge ドープ GaN のシート抵抗は Si ドープ品以上の低抵抗化を示した。本結果から、MOCVD 法再成長では Ge をドーパントに用いることで結晶品質を維持したまま高濃度なドーピングが可能であることがわかった。



図③-35 表面粗さ RMS のドープ濃度依存性



図③-36 シート抵抗のドープ濃度依存性

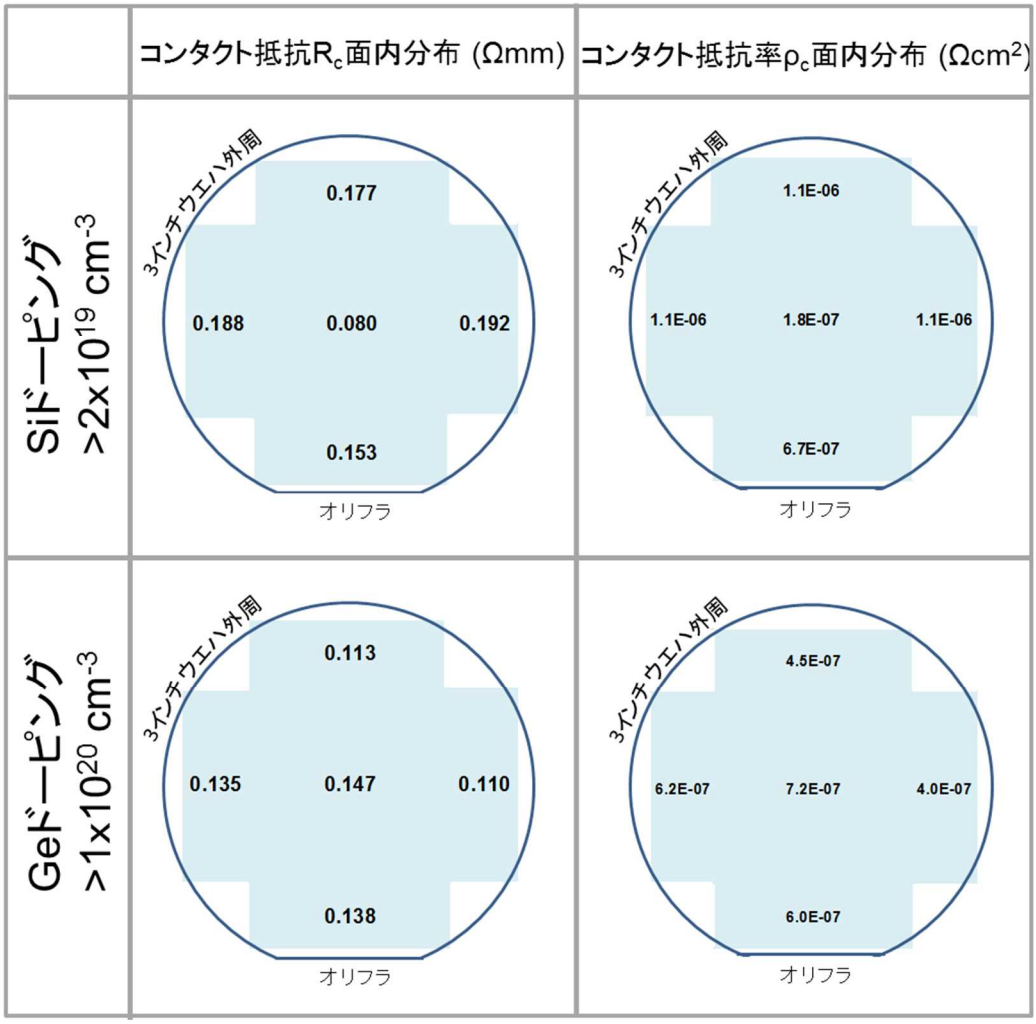


Ge ドープ（$2.5\times10^{20}cm^{-3}$）　　Si ドープ（$1.0\times10^{20}cm^{-3}$）

図③-37 AFM 観察結果

オーミックコンタクト特性の比較

前項で確立したGeドーピング技術を用いて低抵抗層を形成したInAlGaN/GaN-HEMTのコンタクト抵抗およびコンタクト抵抗率を図③-38に示す。比較として示したSiドーピングにおけるコンタクト抵抗の面内平均は0.158 Ωmmである。一方、Geドーピングを用いた再成長によるコンタクト抵抗の面内平均は0.129 Ωmmまで低減し、面内分布も比較的良好であった。



図③-38　各ドーパントのコンタクト抵抗およびコンタクト抵抗率の比較

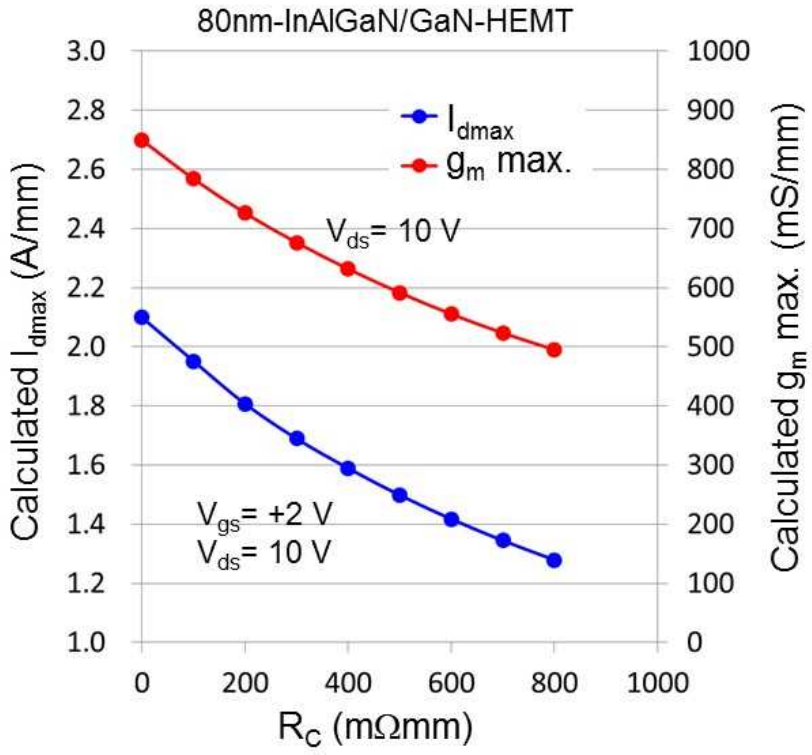
統合デバイス試作適用構造

以上のとおり、Geをドーパントとした MOCVD 法再成長技術の最適化を実施し、Siドーピングを上回る低コンタクト抵抗を達成した。本技術検討を基にオーミック電極構造

は、リセス深度(設計値) 25 nm、Ge ドープ低抵抗 GaN 層厚を 50 nm と決定し、統合デバイス最終試作に適用した。

③－３－１１　まとめ

本項では「③コンタクト抵抗低減技術の開発」について総括する。「④高電流構造シミュレーション」に詳述する通り、オーミックコンタクト抵抗の改善は、図③-39 に示すように、大幅な最大ドレイン電流 I_{dmax}(V_{gs}= +2 V)の増大および相互コンダクタンス g_mの改善に寄与する。これは、トランジスタ内部での抵抗損失を低減させ、増幅器の高出力化および高効率化を実現する。



図③-39　デバイスシミュレーションを用いた、コンタクト抵抗改善による
最大ドレイン電流 I_{dmax} および相互コンダクタンス g_m の変化予測

本開発は、オーミックコンタクト抵抗の低減が困難な In 系窒化物半導体、具体的には InAlGaN/GaN-HEMT のオーミックコンタクト抵抗を低減するため、イオン注入によるコンタクト抵抗低減、および低抵抗 GaN 層再成長によるコンタクト抵抗低減についてそれぞれ 2 手法の検討を行った。以下に、検討した手法を列挙する。

A.イオン注入法によるコンタクト抵抗低減技術

A-1　電極金属元素イオン注入(Al および Ti)

A-2　Si イオン注入

B.低抵抗再成長層によるコンタクト抵抗低減技術

B-1　MBE 法による低抵抗再成長層

B-2　MOCVD 法による低抵抗再成長層

A-1　電極金属元素イオン注入(Al および Ti)

この手法については、Ti について一定の効果が認められた。ただし、イオン注入技術に関して、加速電圧の低加速化により、GaN チャネルへの注入損傷低減が必要である。また、量産工程としての観点からは、現状の技術水準では金属元素注入には非常に長時間の注入時間が必要であり、工程適用の障害となっている。また、Al に関しては低減効果が見られなかった。

A-2　Si イオン注入

この手法については低減効果が認められた。コンタクト抵抗は、目標とする 0.5 Ωmm 以下になることを確認した。なお、成長温度の低い InAlGaN/GaN-HEMT への適用に際して、表面劣化を防止するために GaN キャップおよび Al_2O_3 保護膜を導入し、シート抵抗の増大抑制を達成した。

B-1　MBE 法による低抵抗再成長層

この手法については大きな効果が認められ、開発目標としたオーミックコンタクト抵抗 0.5 Ωmm を大幅に低減する低コンタクト抵抗を達成した。また本手法は統合デバイス二次試作に適用され、W 帯 MMIC 増幅器における従来比出力 2 倍の実現にも貢献した。

B-2　MOCVD 法による低抵抗再成長層

この手法については大きな効果が認められ、開発目標としたオーミックコンタクト抵抗 0.5 Ωmm を大幅に低減する低コンタクト抵抗を達成した。また本手法は、MBE 法と比較し、プロセスコストおよび歩留りを大幅に改善するポテンシャルを有することが実証された。統合デバイス最終試作には Ge ドーピングで最適化した本手法を適用した。

以上、本開発では、複数のコンタクト抵抗低減技術を検討し、試作ウエハの電気特性評価(オーミック特性)結果から開発目標を大幅に上回る再成長オーミック技術を完成させた。開発技術は統合デバイスに適用され、優れた出力特性を有するデバイスの実現に貢献できた。

参考文献

[1] K.Shinohara, et al., IEDM Tech. Dig., 2011, pp.453-456

[2] Nicolas. Thierry-Jebali, et al., 19th International Workshop on Thermal Investigation of ICs and Systems.

[3] M. Okamoto, *et al*., 19a-P7-10 第 74 回応用物理学会秋季学術講演会

[4] Omer Salihoglu et al., Proc. of SPIE, Vol. 8353, 83530Z-7

[5] David Hook et al., 38th IEEE Photovoltaic Specialists Conference pp.682-685, 2012

[6] Omer Salihoglu et al., J. Quantum Electronics, vol. 49, No. 8, pp661, 2013

[7] Pearton et al., J. Appl. Phys., 86, 1, 1999

[8] S. Ozaki et al., Phys. Status Solidi A 213, 1259, 2015

[9] D.F.Brown, *et al*., IEDM Tech. Dig., 2011, pp.19.3.1-19.3.4.

[10] Romualdo A. Ferreyra, et al., IEEE Electron Device Letters, Vol.38, No. 8, pp1079-1081, 2017

１．１．４ ④高電流構造シミュレーション

開発概要

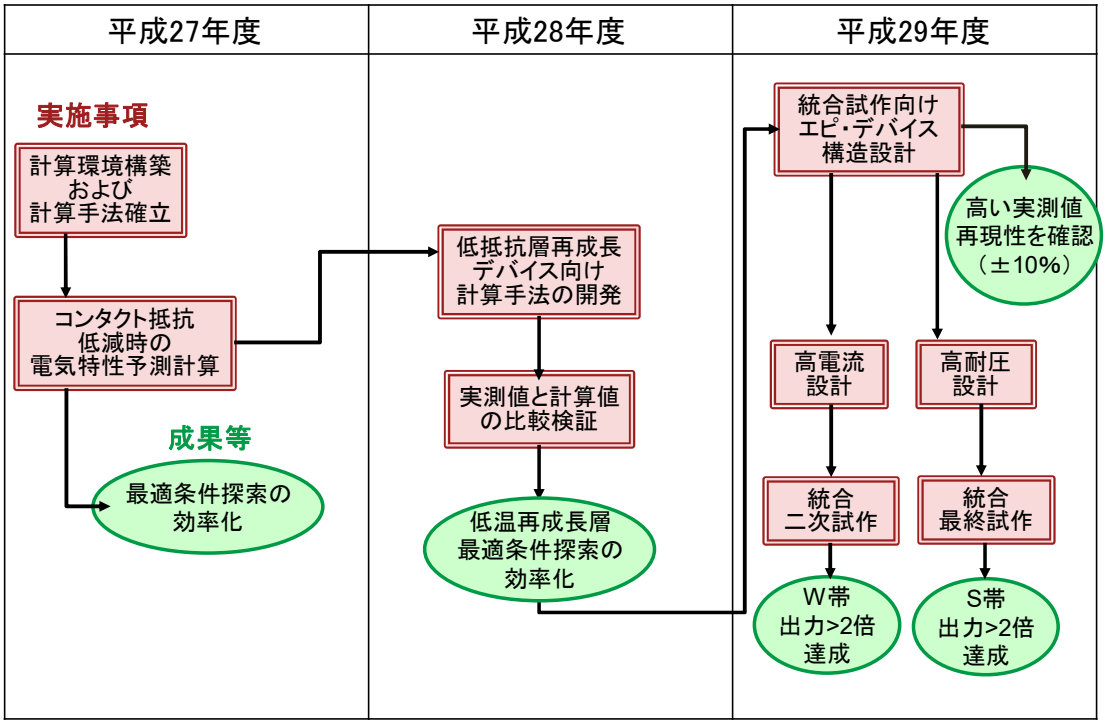
本項で報告する「④高電流構造シミュレーション」は、デバイス特性の事前予測を行い、「③コンタクト抵抗低減技術の開発」を支援するとともに、最適構造設計を通して高出力トランジスタの実現に寄与することを目的する。開発した計算技術のもとに最適デバイス構造設計を行い、得られた知見を統合デバイス最終試作に適用した。

本研究の概要は次のとおりである（開発フローチャート図④-1）。

平成 27 年度は、デバイスシミュレーション環境の構築に加え、計算スキルの向上に努めた。さらに、コンタクト抵抗の低減によるデバイス特性の改善予測を示した。

平成 28 年度は、低抵抗層再成長技術を適用したオーミック構造の計算を実施し、最適構造をデバイスシミュレーションにより決定した。また、試作デバイス測定結果と予測計算結果の比較を行い、本計算手法の高い精度を確認した。

平成 29 年度は、前年度に決定した最適再成長オーミック構造を統合デバイス二次試作に適用し、W 帯増幅器 MMIC において世界最高出力性能の実現に寄与した。さらに、ドレイン耐圧向上によるトランジスタ出力の改善について検討を行い、電子供給層組成を制御することで、ゲート電極近傍の電界集中を緩和できることを示した。本計算で得られた最適構造を統合デバイス最終試作に適用し、本研究の目標である出力２倍の達成に貢献した。



図④-1　本技術の開発フローチャート

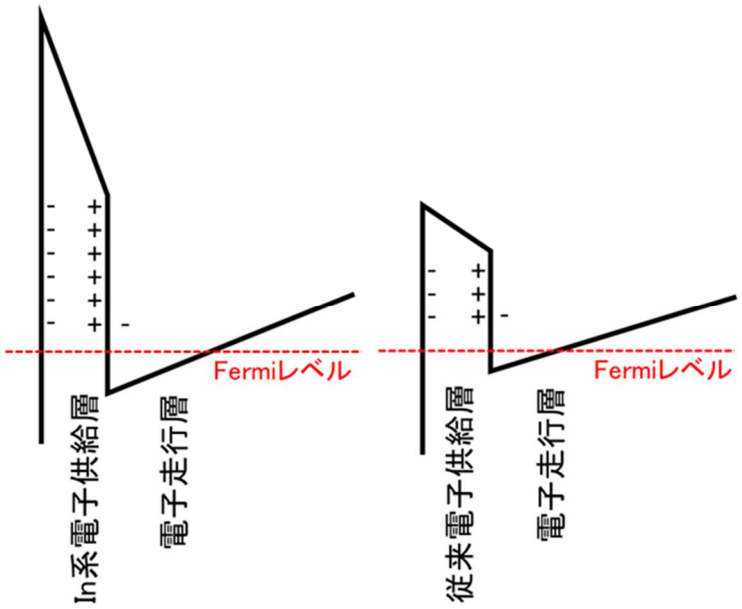
④－１　本技術の開発意義

一般的に GaN-HEMT の開発は、高電圧・高電流密度の実現を目指す。このようなデバイスでは、高電界による絶縁破壊、ゲート空乏層下を流れる漏れ電流、電子トラップによる過渡応答、高キャリア密度に起因した強いバンドベンディング等、多くの物理現象が複雑に絡み合う。そのため、種々の物理モデルに立脚したシミュレーション技術は、効率的なデバイス開発を推進する上で必須な技術となっている。

④－２　オーミック特性改善時のデバイス特性予測計算

計算上の課題

図④-2 に In 系電子供給層および従来の AlGaN 電子供給層における分極電荷分布を示す（図中の+記号および－記号の数は、分極電荷量のイメージである)。図④-2 に示すように、In 系窒化物半導体は従来 AlGaN 電子供給層に対して、主に自発分極の影響で電子供給層内部の分極が大きい。電子供給層とチャネル層の界面には、電子供給層側のプラス電荷とチャネル層側のマイナス電荷の差分に対応する量の 2 次元電子ガスが誘起されるため、In 系電子供給層 HEMT 構造において高い電子密度が実現できる。このとき、図④-2 に示すように In 系電子供給層内部には強い内部電界が生じている。



(a)　In 系窒化物半導体　　(b)　従来窒化物半導体

図④-2　In 系電子供給層および従来電子供給層における分極電荷とバンド構造の模式図

以上のようにIn系電子供給層HEMT構造は、その系の中に高い電子密度と強い内部電界という特徴を併せ持つ。デバイスシミュレーションにIn系電子供給層HEMT構造を取り込む場合、高密度のキャリアや固定電荷（ここでは分極電荷）が存在し、その近傍でポテンシャルおよびキャリア密度が急激に変化する状態が起こりやすい。加えて、電子供給層内部には強い内部電界が存在し、バンドが急激に上下する状況が発生する。自己無撞着な計算を行って収束解を求めるデバイスシミュレータにとっては、これらはいずれもその収束性を悪化させることになり、安定に収束解を得ることが難しい。その上、窒化物半導体はバンドギャップが広く、例えばGaNの真性キャリア濃度は$1.7\times10^{-10}\,cm^{-3}$と、Siの$1.5\times10^{10}\,cm^{-3}$に対して20桁も低い。窒化物半導体デバイスシミュレーションにおいては、この微小なキャリア濃度まで取り扱った計算が必要になり、これも計算の収束性を悪化させる。

したがって、In系電子供給層HEMT構造の計算を行うためには、計算の収束性を高めるためにメッシュ分割を細かくする必要があるが、メッシュ分割の微細化は、計算量を劇的に増大させ、現実的な時間で自己無撞着解を得ることが困難になる。

本研究では、計算に取り込むモデルを適宜取捨選択することで収束性の問題を回避し、精度の高い予測計算を実現するシミュレーション技術の開発に注力した。

計算環境構築について

平成27年度は計算環境の構築を実施した。前述したように収束性の悪化が予想されるため、計算能力を左右するCPUの性能を中心に計算機選定を行った。以下に計算機のスペック概要を示す。図④-3に本研究において導入した計算機の外観を示す。

Workstation

1st CPU　Intel(R) Xeon(R) E5-2620v3(2.40 GHz, 6コア, 15 MB, 1866 MHz)

2nd CPU　Intel(R) Xeon(R) E5-2620v3(2.40 GHz, 6コア, 15 MB, 1866 MHz)

1st グラフィックス　NVDIA Quadro K420 2 GB

2nd グラフィックス　NVDIA Quadro K420 2 GB

Operating System

Linux 6.0

図④-3　導入したデバイスシミュレーション用計算機

計算モデルと収束性の改善

本デバイスシミュレーションでは、以下の①から⑤の基本方程式・モデルを用いて計算を行い、自己無撞着解を得ている。なお、①から⑤の方程式の詳細については、「②バックバリア成長技術の開発」を参照されたい。⑥格子温度依存モデルは、移動度等の電気伝導パラメータが格子温度で変化することを考慮するモデルである。

①ポアソン方程式
②電界の式
③電流連続方程式
④エネルギーバランス方程式
⑤SRH 統計および界面・バルクトラップモデル
（トラップによる電子捕獲・放出を取り扱うモデル）
⑥格子温度依存モデル
（デバイス内部における格子温度上昇を取り扱うモデル）

デバイスシミュレータにおいては、①ポアソン方程式および②電界の式を用いてデバイス内部の電荷分布に応じたポテンシャル分布を計算し、それと同時に③電流連続方程式を連立して解くことで、トランジスタ特性の計算を行う。

これに加えて、④エネルギーバランス方程式を同時に解くことで、高電界下において加速され、高い運動エネルギーを有する電子やホールの振る舞いを考慮した計算をすることが可能となる。これにより、ドレイン側のゲート電極端付近で一気に加速され、高エネルギー状態となったホットエレクトロンが電子供給層内部に拡散し、それによるポテンシャル分布の変化も取り込んだ解析が可能となる。本項の計算においては、このエネルギーバランス方程式を組み込み、高電界領域における電子のエネルギー上昇を考慮した計算を実施した。

計算の収束性を改善させるため、取り扱う方程式の数は必要最低限として計算を行っ

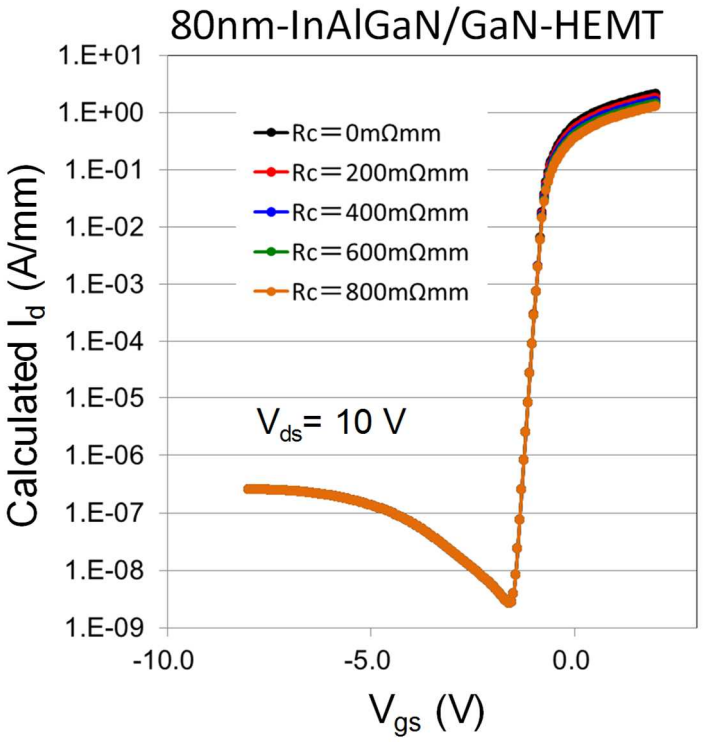
た。具体的には、GaN はバンドギャップが大きくホールの影響は無視できると考え、エネルギーバランス方程式の計算は電子に限定した。また、ドレインリーク電流に影響を与えない程度の電子濃度の領域においては、エネルギーバランス方程式を除外することで、計算時間の短縮・収束性の改善を実現した。

コンタクト抵抗低減効果の試算

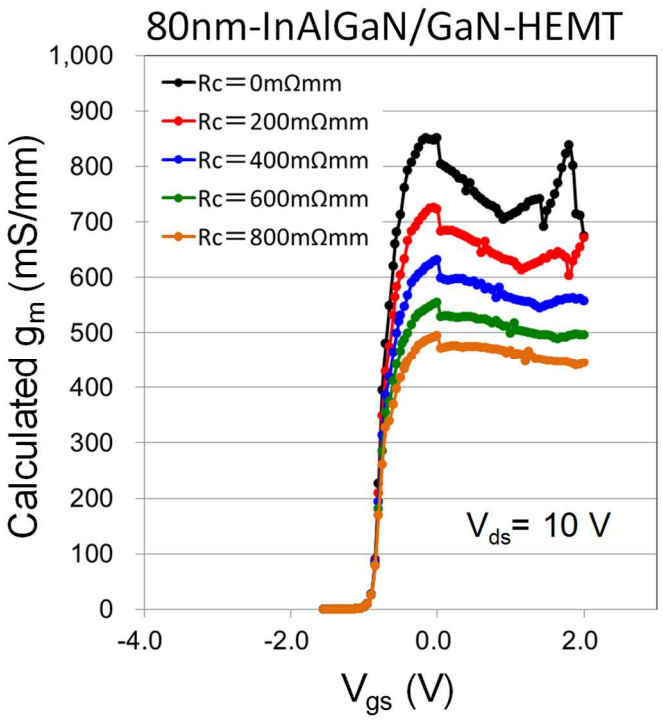
デバイスシミュレータを用いて、コンタクト抵抗低減による InAlGaN/GaN-HEMT の特性改善予測を行った。計算では、前述の基本方程式・モデル①～⑤を用いて、電流-電圧特性の計算を実施した。図④-4 に I_d-V_{gs} 特性のコンタクト抵抗依存性、図④-5 に相互コンダクタンス g_m のコンタクト抵抗依存性を示す。

コンタクト抵抗低減と共に I_{dmax}、g_m の増加が確認できる。また、閾値(V_{th}=-1.5V)およびサブスレショルド特性(V_{gs}=-1.5 V～-0.5 V)には変化が見られず、これは定性的な説明とも合致する計算結果である。

また、図④-5 に示すように、ソース抵抗(主にソース側コンタクト抵抗)の低減により、相互コンダクタンス g_m の大幅な増大がみられる。なお、本計算では V_{gs}=0 V 近傍で g_m に不連続点が生じている。これは収束性の低下に起因するものと考えられるが、計算から得られる結論に大きな影響はない。

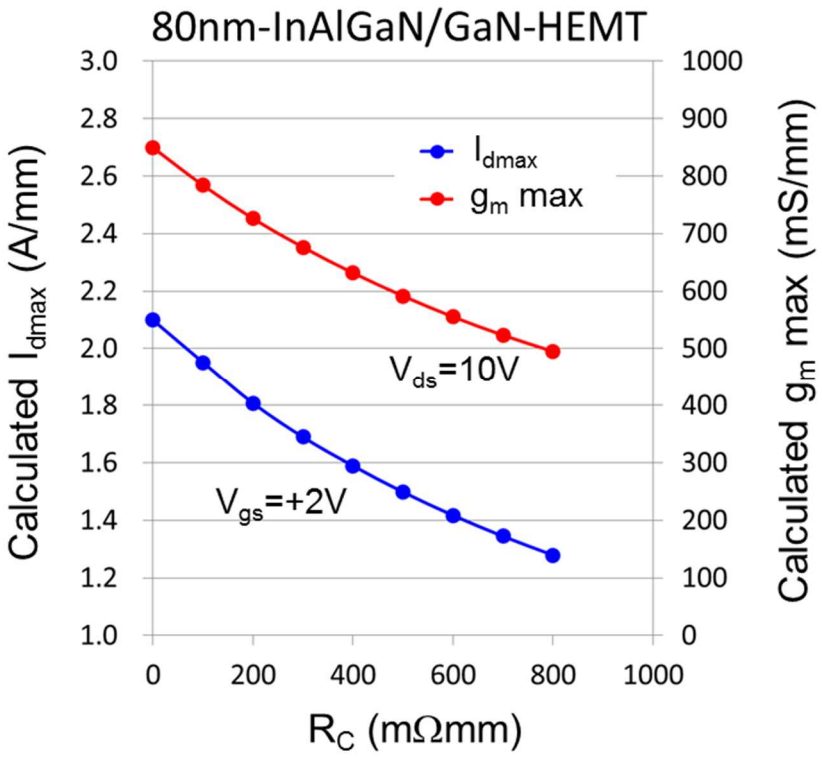


図④-4　I_d-V_{gs} 特性のコンタクト抵抗(R_c)依存性



図④-5　g_m 特性のコンタクト抵抗(R_c)依存性

また、図④-6 に最大ドレイン電流 I_{dmax} および最大 g_m のコンタクト抵抗依存性を示す。計算結果より、本研究の目標値(500 mΩmm)までオーミックコンタクト抵抗 R_c を低減した場合、最大ドレイン電流 I_{dmax} は従来 InAlGaN/GaN-HEMT デバイスと比較して約 15%の改善が期待できる。さらに、相互コンダクタンス g_m も従来 InAlGaN/GaN-HEMT と比較して約 20%改善することがわかった。これらの計算結果は、コンタクト抵抗の低減が、増幅器の最大出力、利得および効率改善に大きく寄与することを定量的に示している。

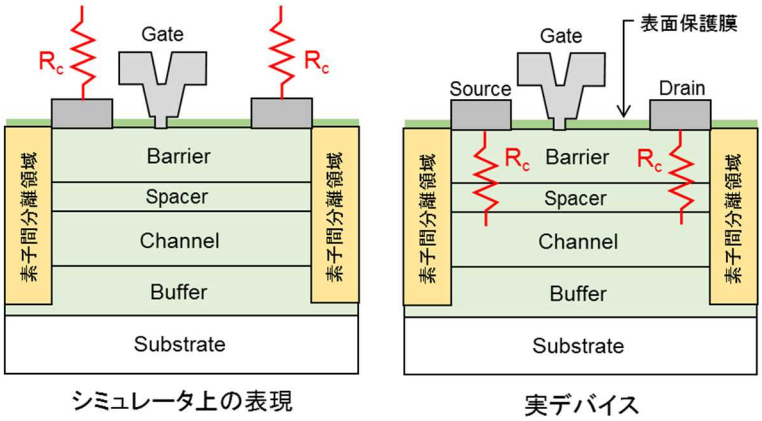


図④-6　最大ドレイン電流 I_{dmax} および最大相互コンダクタンス g_m のコンタクト抵抗(R_c)依存性

④－３　低抵抗層再成長向けモデル改善

モデルの改善と計算手法の課題

一般的なデバイスシミュレーションでは、金属/半導体界面のコンタクト抵抗は、オーミック電極構成金属の半導体に対する仕事関数差を 0 として計算するか、図④-7 に示すように外部直列抵抗として取り扱う。しかしながら、実際のデバイスのコンタクト抵抗 R_c は半導体内部に存在する。

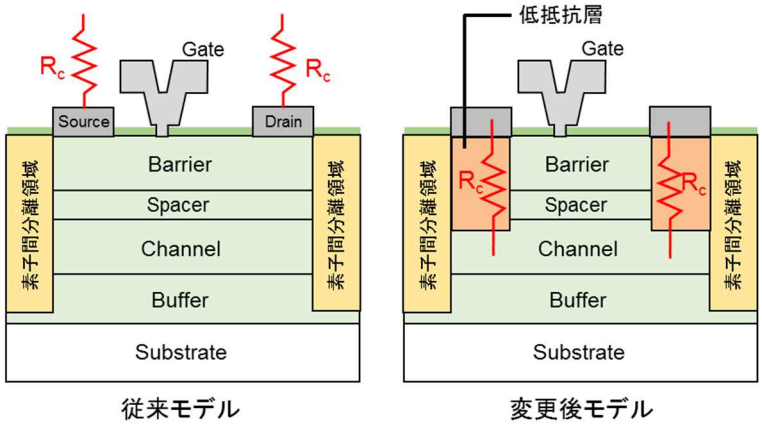


図④-7　実デバイスとシミュレータにおけるコンタクト抵抗の設定方法

本研究課題③において開発を行う低抵抗層再成長技術では、オーミック電極直下に低抵抗 GaN 層を設ける。低抵抗 GaN 層の形成深さなどの構造最適化をデバイスシミュレーションから進めるためには、実際の低抵抗 GaN 層の存在を模擬した構造で計算を行う必要がある。

また、リセス構造を形成し低抵抗 GaN 層を埋め込む場合、低抵抗 GaN 層と GaN チャネルの界面にポテンシャル障壁が存在することになり、デバイス動作時にオーミック電極端に電界が集中することも考えられる。半導体内部の抵抗計算を厳密に行わず、外部直列抵抗を設定する場合には、この現象を再現することは出来ない。以上のように、再成長 GaN 層を有するデバイスの電気特性を正確に計算するために、実際の低抵抗 GaN 層の存在を模擬して計算を行う本手法は効果的である。

本研究では、図④-8 に示すように、オーミック電極直下の電子供給層(Barrier)、中間層(Spacer)およびチャネルの一部(Channel)を除去し低抵抗 GaN 層を配置した。この低抵抗 GaN 層の Si ドーピング濃度は $1\times10^{19}\,\mathrm{cm}^{-3}$ とした。これにより、ソース電極から注入された電子は、チャネルに入る際にポテンシャル障壁を感じる構成となる。

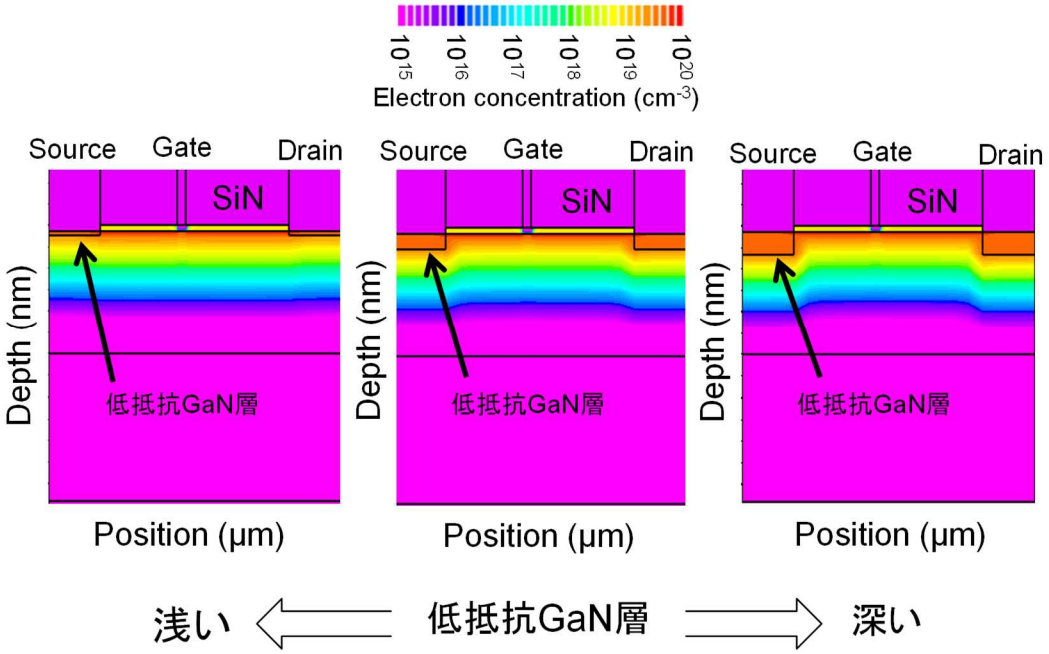


図④-8　従来モデルと本研究で採用したコンタクト抵抗の設定方法

低抵抗 GaN 層の最適構造設計

課題③の低抵抗層再成長技術においては、コンタクト抵抗の低減化と同時に、適用構造の最適化を図るため再成長層の構造依存性についても検討を加えた。

まず、シミュレーションを用いて低抵抗再成長層の深さを変えた場合の電気特性変化を計算した。図④-9 に、低抵抗再成長層の深さが異なるデバイス構造における電子分布比較を示す。再成長層によるオーミックコンタクト形成では、オーミック電極直下の低抵抗層部分とソース-ドレイン間の 2 次元電子ガスが接続していることが重要である。計算では、10 nm、25 nm、40 nm の低抵抗再成長層深さで、オーミック電極直下の低抵抗層と 2 次元電子ガスの間に低電子濃度領域が形成されず直接コンタクト出来ていることが、計算結果として確認出来た。



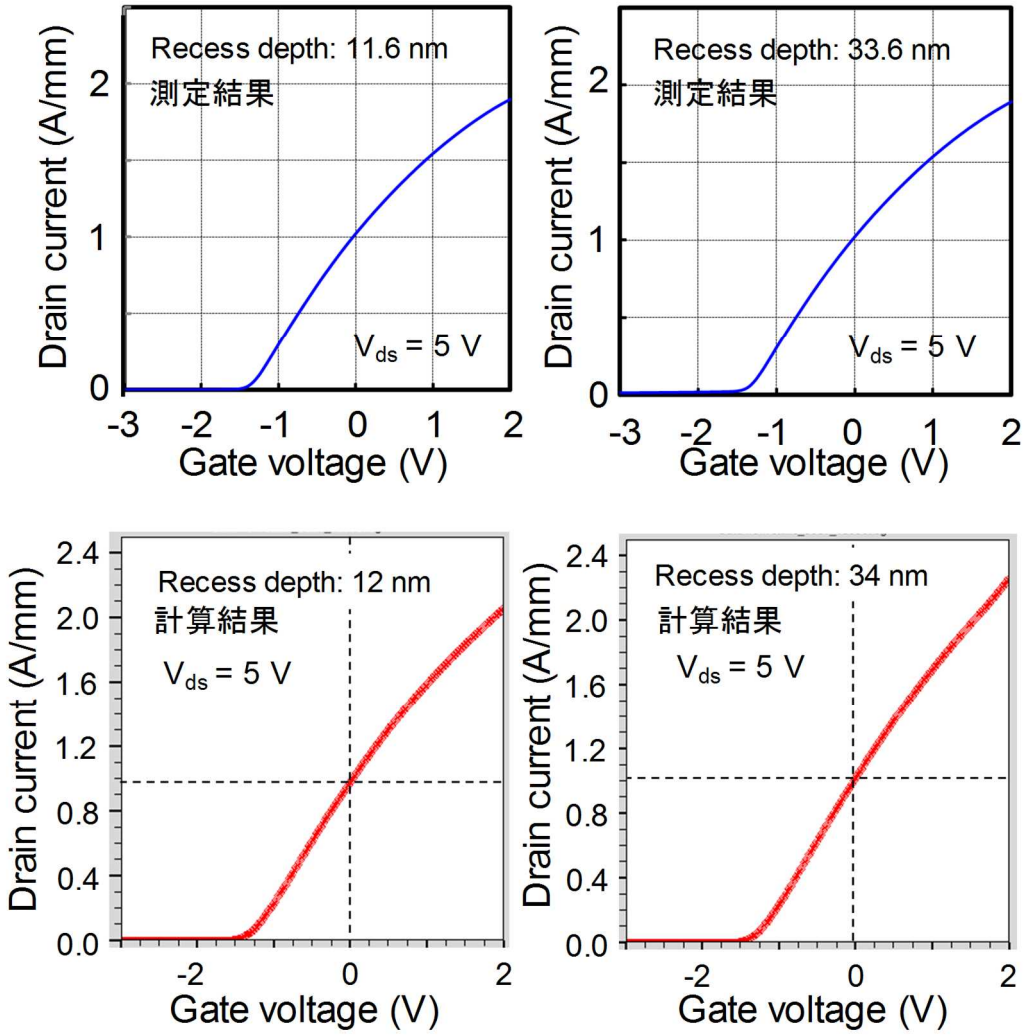
図④-9　低抵抗再成長層深さを変化させた場合の電子分布

実測データと計算値の比較

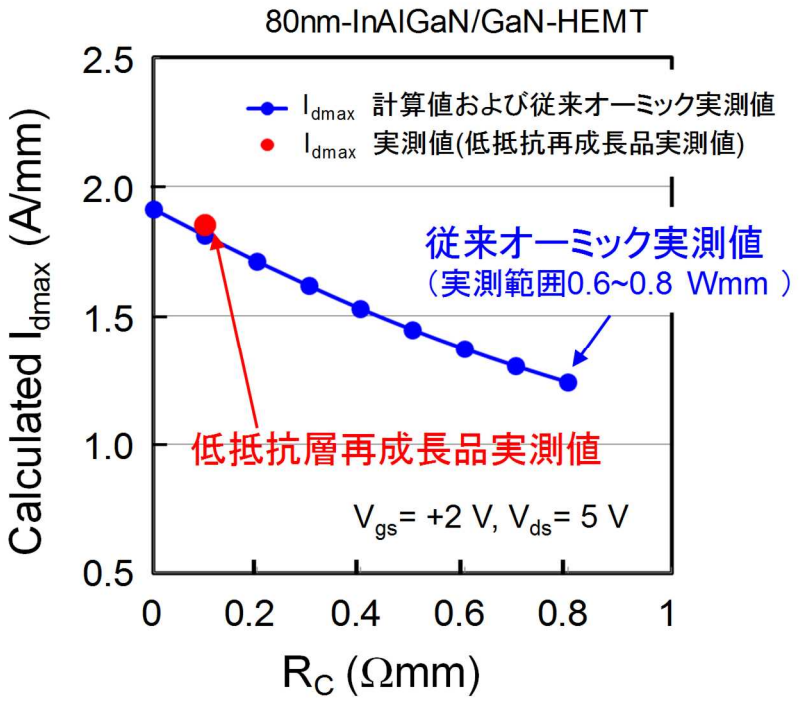
課題③で技術開発を行った低抵抗層再成長法では、オーミック電極形成領域直下の電子供給層(Barrier)、中間層(Spacer)およびチャネルの一部(Channel)を除去してリセス領域を形成し、その後低抵抗 GaN 層を再成長した。「低抵抗 GaN 層の最適構造設計」で述べたように、リセスの深さを 10 nm から 40 nm まで変化させても、オーミック電極直下の高濃度キャリア領域と 2 次元電子ガスの接続に影響しないことが予測されている。

試作実験では、リセス深さを 3 水準に作り分け、そのリセス深さに対応した電気特性を測定し、計算結果と比較した。課題③で実施した低抵抗層再成長技術適用デバイスの DC 実測結果および計算結果を図④-10 に示す。比較した低抵抗層構造はリセス深さが 11.6 nm および 33.6 nm である。再成長した低抵抗 GaN 層の Si ドーピング濃度は 1×10^{19} cm^{-3} 以上とし、膜厚は 50 nm とした。図④-10 に示すように、低抵抗層のリセス深さによらず約 1.8 A/mm 程度の最大ドレイン電流（V_{gs}=2 V で得られるドレイン電流の最大値）が得られている。シミュレーションによる計算値は DC 実測値と比較的良い一致を示しており、シミュレーションモデルの妥当性と高い計算精度を確認することが出来た。

図④-11 は、計算から求めた最大ドレイン電流のオーミックコンタクト抵抗 R_c 依存性である。図中の点は実測データであるが計算結果と良く一致している。この結果から、デバイスに低抵抗層再成長技術を適用することにより、従来よりも大幅な特性改善が可能なことを計算および実験の両面で証明できた。



図④-10　低抵抗層再成長技術適用デバイスの DC 特性および計算結果
（オーミックリセス深さ依存性）



図④-11　低抵抗層再成長デバイスの評価結果と
シミュレーション結果の比較

このように、本研究で確立した低抵抗層再成長デバイスに対する、定量的予測計算技術と試作へのフィードバックは、本課題の目標を達成するものである。

④－４　デバイス高耐圧化に向けての構造計算

④－４－１　キャリア濃度低減による高耐圧化

計算構造(統合デバイス（最終試作（Ⅰ））構造)について

平成 28 年度研究まで用いてきた In 系窒化物半導体 InAlGaN は、高 Al 組成の 4 元混晶半導体である。この材料系では、Al 組成が高いほど多くの分極電荷(自発およびピエゾ)を発生させることができ、高濃度の 2 次元電子ガスを得ることができる。

一方、高濃度な 2 次元電子ガスが存在するとドレイン側のゲート電極端近傍における電界集中が促進され、耐圧を低下させる恐れがある。そのため、平成 29 年度の課題⑨要素技術統合向けインテグレーションでは、ドレイン電流密度と破壊耐圧の両立を図るために、2 次元電子濃度を制御することでトランジスタ耐圧を向上させる手法も検討した。

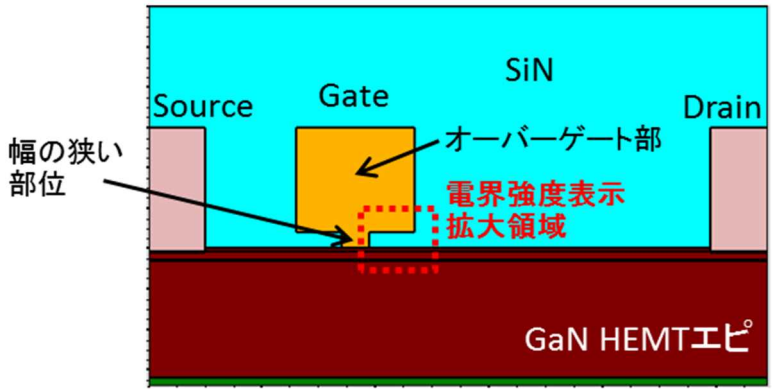
電界強度計算

シミュレーションで用いたモデルは、「④-2 オーミック特性改善時のデバイス特性予測計算」の①-④である。さらに、ゲートリーク電流を計算するために、新たにモデル⑦として「トンネル電流モデル」を追加した。なお、本計算では定常解を求めるため⑤界面・バルクトラップモデルは適用しなかった。

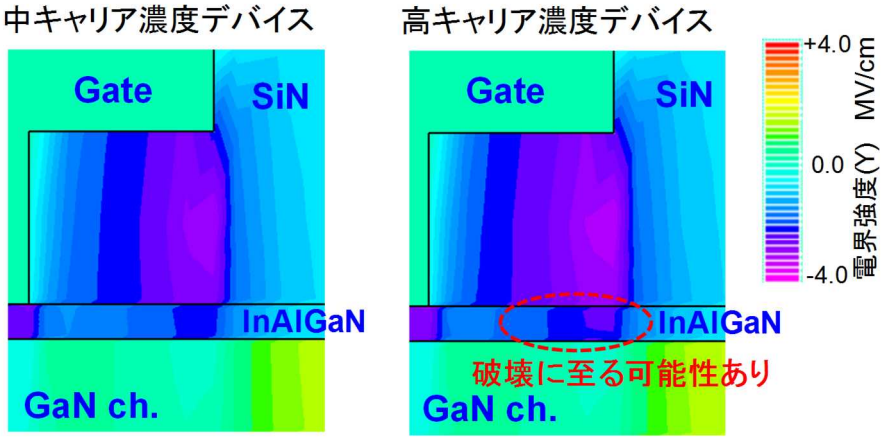
計算に用いたデバイスの構造概略図を図④-13 に示す。ゲート-ソース間距離＜ゲート-ドレイン間距離となるオフセットゲート構造を用いて計算した。結晶構造は InGaN 層からなるバックバリアをチャネル下部に配置した。T 型ゲートオーバーハング構造(半導体に直接接する幅の狭い部位とその上部に位置し幅広のオーバーゲート部位から構成される電極形状の総称)およびオーバーゲート下の SiN 膜からなる絶縁膜厚は、我々の研究開発で実績のある構造と類似構造を採用した。なお、すべての電極を含むデバイス表面全体は、実デバイスと同様に SiN 膜からなる配線層間膜で被覆した。

次に、図④-14 に 2 次元電子濃度を変化させた 2 つの構造のゲート電極ドレイン端近傍の電界強度計算結果を示す。電界強度は、図④-13 のゲート電極オーバーハング部下部の電界集中がもっとも大きい箇所の計算結果を表示(電界強度表示拡大領域と記載)。図中左図は、電子供給層の Al 組成を変化させキャリア濃度を低下させた場合の電界強度分布、右図はキャリア濃度が従来品と同様に高い場合の電界強度分布を示す。計算は、V_{ds}=100 V、V_{gs}=-8 V のオフ状態時で実施した。これらの計算結果が示すように、高濃度キャリアを有するデバイス構造では、ゲート電極オーバーゲート端直下の SiN 膜および InAlGaN からなる電子供給層内部の電界強度が 3～4 MV/cm 程度に達していることが分かる。この強電界領域では、SiN 膜や電子供給層内部の絶縁破壊が生じる可能性がある。一般論としては、SiN 膜の絶縁破壊耐圧は、5 MV/cm 以上とされるが、半導体プロセスで用いられるプラズマ CVD 膜では、やや耐圧は低下する。さらに、InAlGaN 電子供給層についても、極めて高品質の結晶を成膜することが現時点では難しく、バンドギャップから想定される絶縁破壊耐圧よりも実耐圧は低い可能性がある。そのため、キャリア濃度を低減させたデバイス構造で予測される電界集中の緩和は、デバイスの耐圧向上すなわち高電圧動作を可能にすると考えている。

これらの結果は、課題⑨要素技術統合向けインテグレーション試作への反映を目的に、試作デバイスと概ね同等の構造で計算されている。実際の試作結果については、「⑨要素技術統合向けインテグレーション」で詳述するが、我々の先行研究で蓄積した知見を基にデバイスシミュレーションモデルを構築し、その予測計算結果を基に試作をすすめたことにより、開発効率の改善や、実測定データに物理的裏付を十分に付与することに成功した。



図④-13　計算に用いたデバイスの構造概略図

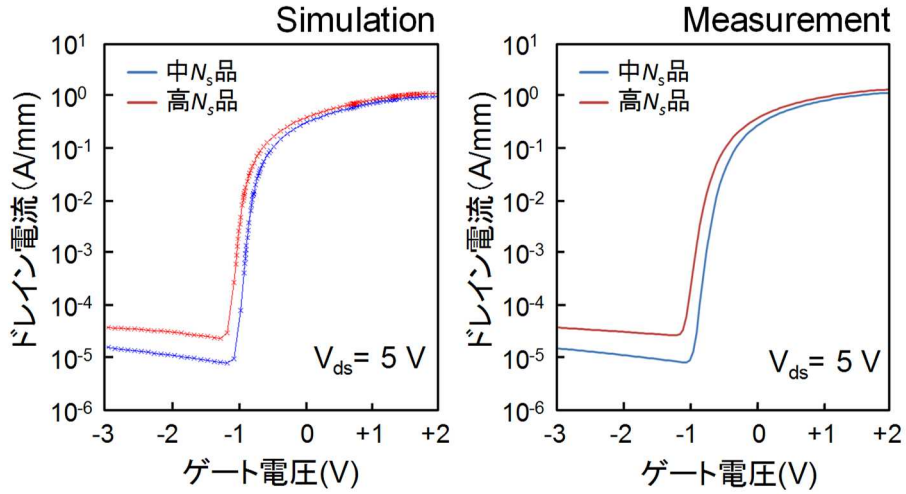


図④-14　ゲート電極ドレイン端近傍における電界集中と
そのキャリア密度依存性

実測データの再現性の検証

計算結果の精度検証を行う必要がある。本研究では、⑨要素技術統合向けインテグレーションにて試作した実測データと計算値を比較することで、精度検証を行った。図④-15 に Al 組成を低下させた中キャリア濃度デバイスと従来高キャリア濃度デバイスの実測 I_d-V_{gs} 特性および計算 I_d-V_{gs} 特性を示す。実測データと計算値の比較では、閾値や最大ドレイン電流値など、±10%の精度で実測データを再現することが出来た。これらの計算結果およびエピ・デバイス構造設計方針をもって、⑨要素技術統合向けインテグ

レーション試作にフィードバックをかける目標も達成した。



図④-15　実測 I_d-V_{gs} 特性および計算 I_d-V_{gs} 特性のキャリア濃度依存性

④－４－２　MIS 化による高耐圧化

一般論として、ショットキーデバイスの破壊はゲート電極近傍で発生していると考えられる。この引き金の一つはゲートリーク電流である。そのため、ゲート絶縁膜を導入した MIS(Metal-Insulator-Semiconductor)構造は、デバイスの耐圧を向上させる一つの手法であると考えている。本項では、MIS 構造での特性改善効果の予測計算を実施した。

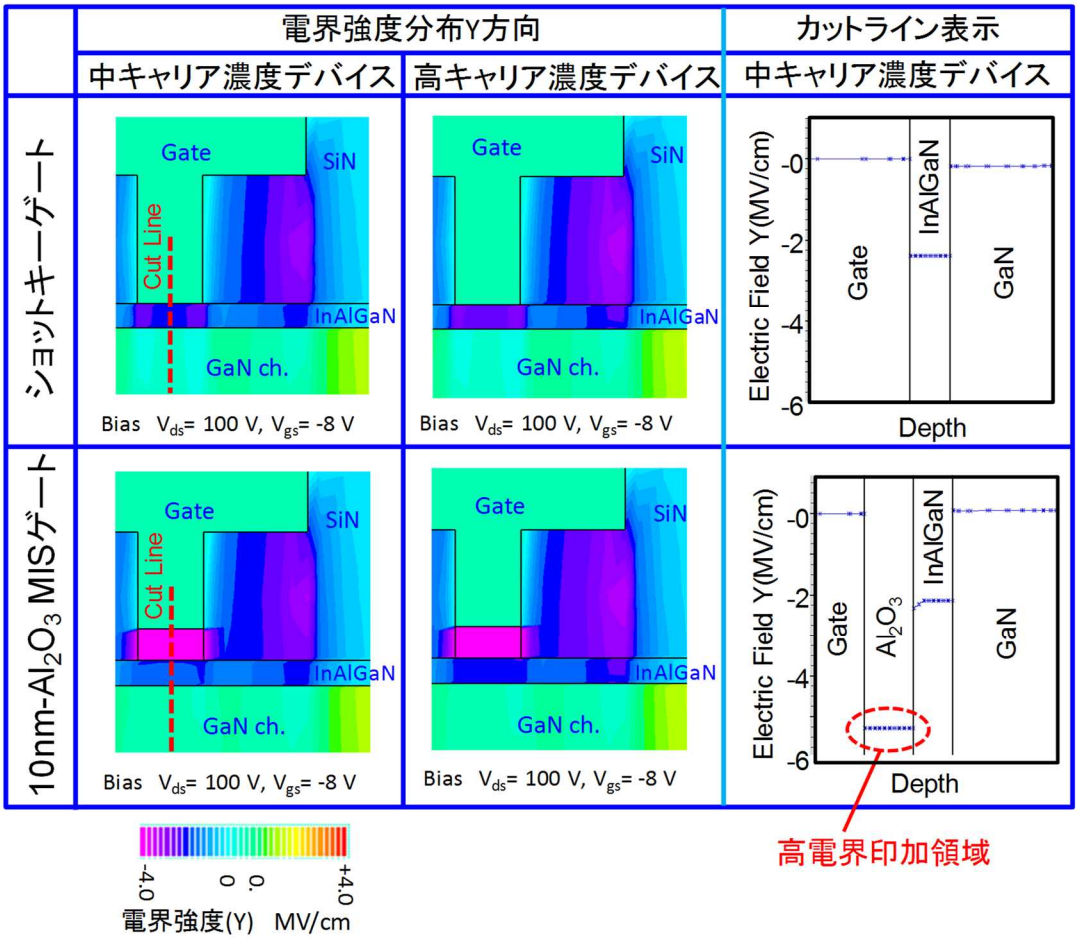
計算構造(統合デバイス（最終試作（Ⅰ））構造)について

構造計算に用いたデバイス構造は、比較しやすいように「④-4-1　キャリア濃度低減による高耐圧化」で計算を実施したものと同一の構造とした。ただし、本計算では、Al_2O_3 からなる絶縁膜をゲート直下に配置した構造を用いた。

電界強度計算

計算手法は、「④-4-1 キャリア濃度低減による高耐圧化」電界強度計算時と同一である。ただし、MIS 構造ゲート電極のためリーク電流は流れないか、もしくは非常に低い値となる。現実的な MIS トランジスタでは、nA～μA/mm 程度のゲートリーク電流が流れるケースもあるが、今回の場合は、複雑な絶縁膜中リーク電流は加味していない。計算に用いたデバイス構造は、図④-14 に示す電界強度計算時と同一である。ただし、ゲート直下には 10 nm の Al_2O_3 が挿入されている。

図④-16 に、MIS 型トランジスタのゲート周辺における電界強度分布を示す。計算結果より、絶縁膜中の電界強度は相対的に高いことが示唆され、絶縁膜厚が薄い場合には、破壊耐圧を超過する恐れがあることがわかった。従って、絶縁膜破壊を回避するには適正膜厚を詳細なデバイスシミュレーションにより決定する必要がある。今回の統合試作では、デバイスシミュレータの計算結果より、Al_2O_3 の破壊電界を超えない厚みを 10 nm 以上と決定し、試作を行った。



図④-16　MIS 構造のゲート電極ドレイン端近傍の電界強度計算結果

④－５　まとめ

本研究では、計画段階より物理的見地からの予測計算技術開発を計画に組み込み研究を遂行した。特に、高電流・高電圧で動作するデバイスの開発では、試作事例の少ない材料やデバイス構造を用いる場合が多い。そのため、経験値に基づくデバイス開発は困難である。そこでまず、InAlGaN/GaN-HEMT のような 2 A/mm を超える材料系かつ高いドレイン電圧で動作させるデバイスでも、エネルギーバランス方程式を含む計算ができるように、計算環境およびスキルを向上された。これにより、低抵抗層再成長デバイスの設計を、迅速かつ正確に行うことができた。さらに、あえてキャリア濃度を低下させて動作電圧を高める方法の物理的裏付けも行うことができた。

⑨要素技術統合向けインテグレーション試作において、統合デバイス二次試作における W 帯 MMIC での世界最高性能実証、および統合デバイス最終試作での世界最高性能実証は、この高電流シミュレーション技術が大きく貢献している。

１．１．５ ⑤In 系窒化物半導体向け低トラップ絶縁膜技術の開発

開発概要

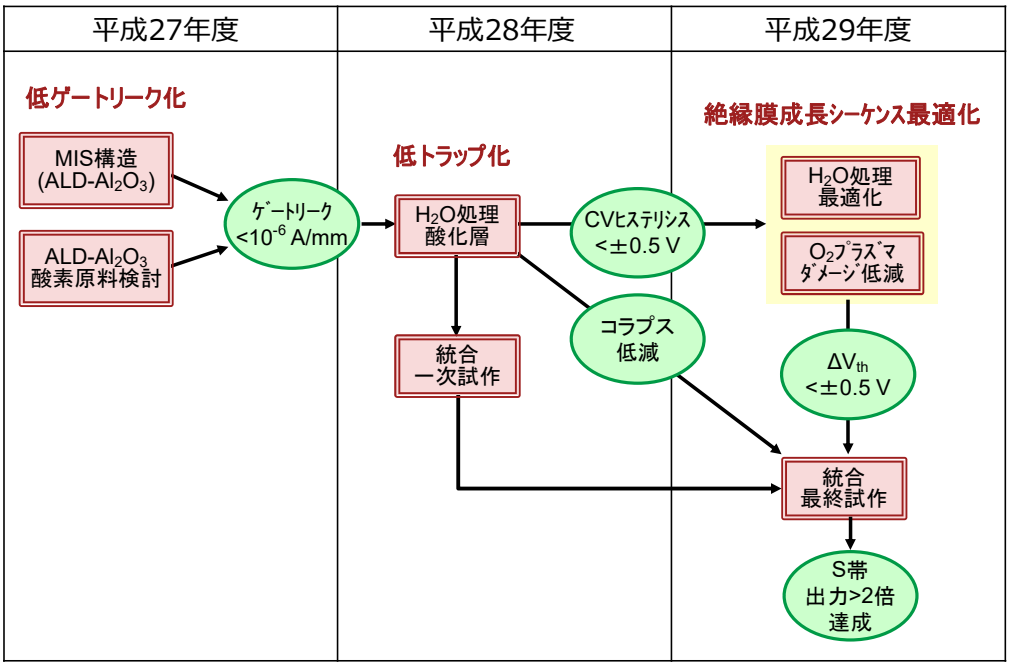
In 系窒化物半導体を用いた GaN-HEMT はその特徴である高い自発分極により、供給層内部の電界強度が高く、ゲートリーク電流が大きい。そこで本項では、ゲートリーク電流の低減を目的として、原子層堆積法(Atomic Layer Deposition：ALD)にて形成した Al_2O_3 を用いた絶縁ゲート(Metal-Insulator-Semiconductor：MIS)構造の開発を行った。

本開発の概要は次のとおりである（開発フローチャート図⑤-1)。

平成 27 年度は、Al_2O_3 の ALD 成膜条件について基礎検討を行い、O_2 プラズマ-Al_2O_3 を InAlN/GaN-MIS-HEMT に適用することで、開発目標値(ゲートリーク電流 ＜ 1E-6 A/mm)を達成することに成功した。

平成 28 年度は、平成 27 年度に確立した MIS 構造の低トラップ化を図るため、Al_2O_3 成膜前の H_2O 蒸気処理を検討し、低トラップ化の指標である C-V 特性のヒステリシスを±0.5 V 以下に抑制することに成功した。

平成 29 年度は、Al_2O_3 を成膜する際のプラズマパワーを低減すると共に、H_2O 蒸気酸化層の膜厚制御性を向上することで、InAlN/GaN-MIS-HEMT の閾値電圧変動(ΔV_{th})を±0.05 V 以下まで低減し、開発目標値(ΔV_{th} ＜ ±0.5 V, I_g ＜ 1E-6 A/mm)を達成した。また、「④高電流構造シミュレーション」の予測を基に膜厚を決定した Al_2O_3 を統合デバイス最終試作（Ⅱ）に適用し、50 V 動作電圧においてショットキーゲートより高い出力特性を実現した。



図⑤-2　本技術の開発フローチャート

⑤－１　本技術の開発意義

近年、GaN-HEMT の更なる高出力化に向け、In 系電子供給層を用いた InAl(Ga)N-HEMT が注目されている。InAl(Ga)N は自発分極が高く、薄膜であっても高濃度の 2 次元電子ガスを誘起できるため、高出力性と高周波特性を両立できる点が従来の AlGaN 電子供給層よりも優れている。しかしながら、InAl(Ga)N/GaN-HEMT はその特徴である高い自発分極により、供給層内部の電界強度が高くゲートリーク電流が大きい。この高いゲートリークはデバイスの耐圧や信頼性を大幅に劣化させるため、In 系 HEMT デバイスが市場で普及しない要因の一つとなっている。この課題を解決するために、In 系結晶の品質改善やデバイス構造改善に加え、従来デバイスと同等の低ゲートリークを実現する MIS 技術の検討を行った。

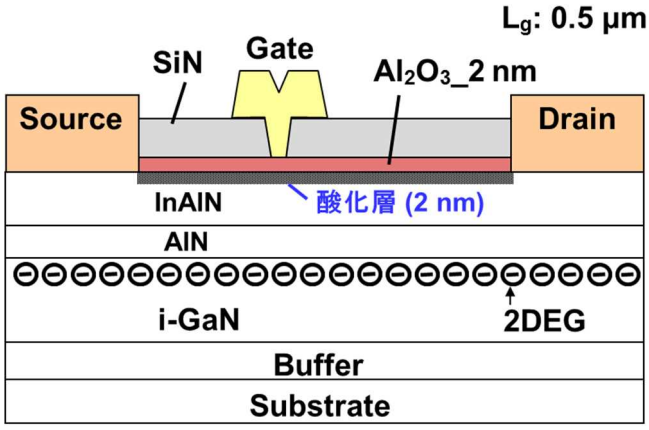
⑤－２　実験手法

⑤－２－１　InAlN/GaN-MIS-HEMT の試作

本研究で試作した InAlN/GaN-MIS-HEMT の断面構造を図⑤-2 に示す。本デバイスの主要部分である InAlN 表面の酸化層、及び絶縁膜の形成については詳細を以下に示す。

⑤－２－２　InAlN 表面の酸化処理

ソース・ドレイン電極を InAlN/GaN-MIS-HEMT 上に形成した後、H_2O 処理にて InAlN 表面に 2 nm の酸化層を形成した。H_2O 処理は、ALD 装置内で、H_2O 蒸気を用いて 300℃の表面温度で 30 分間行った。



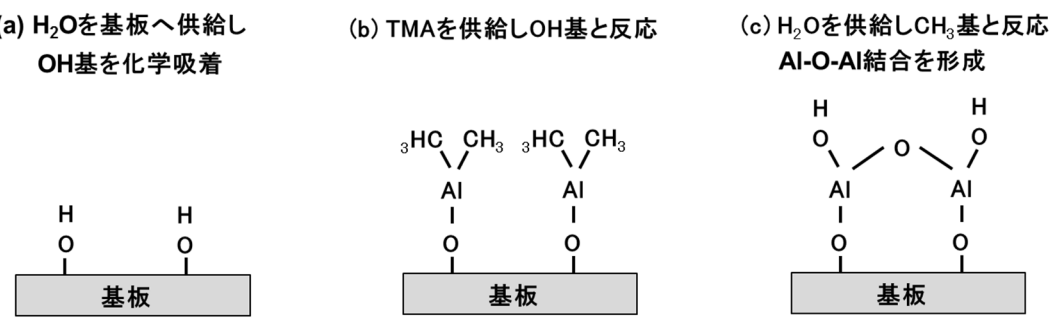
図⑤-2　試作した InAlN/GaN-MIS-HEMT の断面構造

⑤－２－３　ALD による絶縁膜の形成

H_2O 酸化方式

Thermal-ALD 装置を用い、Al_2O_3 を表面温度 300 ℃で成膜した。この時の Al_2O_3 形成の化学反応式を式⑤-1 に示す。ALD 法の成膜シーケンスは図⑤-3 に示すように、(1)H_2O を基板へ供給し、化学吸着させ、(2)過剰な H_2O 及び副生成物を N_2 で 10 秒間パージし、(3) トリメチルアルミニウム(TMA)を供給し、基板に吸着した H_2O と反応させた後、(4)過剰な TMA 及び副生成物を 10 秒間パージする。以上の一連動作を 1 サイクルとし、サイクル数を制御することで所望の膜厚を得た。

$$2Al(CH_3)_3 + 3H_2O \rightarrow Al_2O_3 + 6CH_4 \qquad (式⑤-1)$$



図⑤-3　ALD 法の成膜シーケンス

O_2 プラズマ酸化方式

Plasma-ALD 装置を用い、Al_2O_3 を表面温度 300 ℃で成膜した。この時の Al_2O_3 形成の化学反応式を式⑤-2 に示す。ALD 法の成膜シーケンスは、(1)TMA を基板へ供給し、化学吸着させ、(2)過剰な TMA 及び副生成物を Ar で 10 秒間パージし、(3) O_2 プラズマを発生させ、基板に吸着した TMA と反応させた後、(4)過剰な O_2 及び副生成物を 10 秒間パージする。以上の一連動作を 1 サイクルとし、サイクル数を制御することで所望の膜厚を得た。

$$4Al(CH_3)_3 + 3O_2 \rightarrow 2Al_2O_3 + 6C_2H_6 \qquad (式⑤-2)$$

⑤－２－４　Al_2O_3 成膜後のアニール

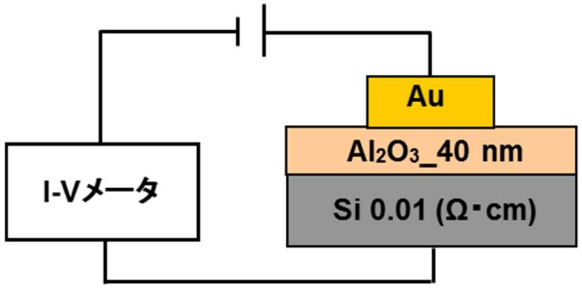
ランプアニール装置を用い、N_2 雰囲気下で Al_2O_3 成膜後のアニール(Post Deposition Anneal：PDA)を行った。処理時間は 1 分、表面温度は 600℃とした。

⑤－２－５　Al_2O_3の膜密度評価

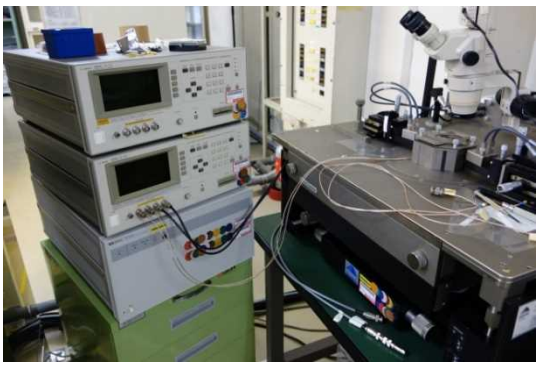
Ｘ線回折装置を用いた X-ray reflectivity (XRR)にて、2θ＝0.0～1.5°の範囲で反射率を測定し、下記のフィッティング方程式を使用することでAl_2O_3の膜密度を算出した。XRR の測定手法は「①InAlN、InAlGaN 系結晶成長技術の開発」に詳述している。

⑤－２－６　Al_2O_3の絶縁性評価

抵抗加熱型真空蒸着装置にて、Si 基板上に成膜したAl_2O_3の上に直径 1 mm，厚さ 100 nm の金電極を形成した後、I-V メータを用いて絶縁耐圧を測定した(図⑤-4､図⑤-5)。



図⑤-4　Al_2O_3の絶縁性評価



図⑤-5　I-V メータ

⑤－２－７　InAlN/GaN-MIS-HEMT の DC 特性評価

試作したデバイスの DC 特性は、ドレイン電流-ゲート電圧(I_d-V_{gs})、ゲートリーク電流-ゲート電圧(I_g-V_{gs})にて評価した。I_d-V_{gs}、I_g-V_{gs}測定ではV_{ds}を 10 V とし、V_{gs}を-3 V から 2 V まで掃引した。

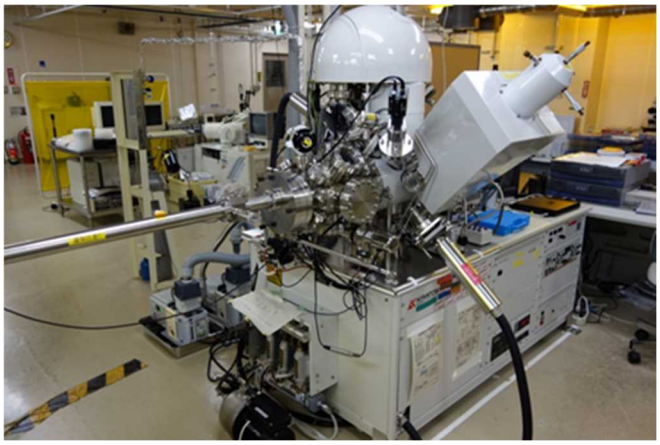
⑤－２－８　光照射 TLM による電子トラップの評価

InAlN/GaN-MIS-HEMT のAl_2O_3/InAlN 界面における電子トラップを評価するため、光照射前後で TLM (Transmission-line-model)測定を行い、シート抵抗(R_{sh})変化の波長依存性から電子トラップ準位を見積もった。ハロゲンランプとバンドパスフィルターを併用し、500，600，700 nm の光をサンプルに照射し、評価を行った。

⑤－２－９　Al_2O_3/InAlN 界面の化学結合状態、および InAlN 酸化層の深さ評価

X 線光電子分光法 (X-ray Photoelectron Spectroscopy：XPS)にてAl_2O_3/InAlN 界面の化学結合状態を評価した (図⑤-6)。照射 X 線には、単色化したモノクロ光源 (Al Kα1) を用いた。InAlN/GaN-HEMT 上に 2 nm のAl_2O_3を成膜し、Al_2O_3の上から InAlN 酸化

層を分析した。得られた O 1s スペクトルを Al_2O_3 と In_2O_3 に波形分離し、Al_2O_3/In_2O_3 比を算出した。なお、表面付着物に起因する組成ずれを排除するため、前処理として測定面への Ar クリーニングを施した。また、検出器の取出角を 15, 30, 45° と変化させることで化学結合状態の深さ依存性を取得した。また、XPS 装置内で Ar エッチングを行い、酸素濃度のデプスプロファイルを取得することで、酸化層の深さを見積もった。



図⑤-6　XPS 装置の外観

⑤－２－１０　InAlN/GaN-MIS-HEMT の電流コラプス評価

InAlN/GaN-MIS-HEMT の電流コラプスは、パルス I-V 測定にて評価した。パルス I-V の測定手法は「②バックバリア成長技術の開発」に詳述している。電圧ストレス(V_{gs}= -3 V、V_{ds}= 20 V)の印加前後で I_d-V_{ds} 測定を行い、V_{ds} = 5 V における I_d の減少率から電流コラプスを見積もった。

⑤－２－１１　InAlN/GaN-MIS-HEMT の C-V ヒステリシス評価

マニュアルプローブを用い、InAlN/GaN-HEMT 上に成膜された Al_2O_3 の C-V 測定を行い、C-V ヒステリシスを評価した。-20 V の電圧を印加し 0.02 V/sec で+10 V まで掃引(Forward)し、続けて+10 V から-20 V まで掃引 (Reverse)することで C-V カーブを得た。

⑤－２－１２　InAlN/GaN-MIS-HEMT の V_{th} シフト評価

マニュアルプローブを用い、InAlN/GaN-MIS-HEMT の I_d-V_{gs} 測定を行った。V_{th} シフトは得られた I-V カーブのヒステリシスから算出した。V_{ds} を 10 V とし、V_{gs} を-10 V から 2 V、10 V から-20 V と掃引することで I-V カーブを得た。

⑤－３　結果と考察

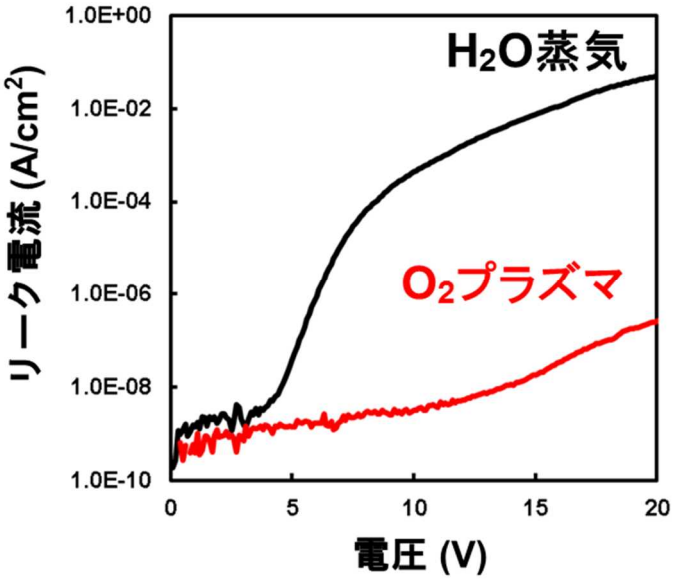
⑤－３－１　ALD-Al_2O_3の酸素原料が絶縁特性に与える影響

図⑤-7 に ALD-Al_2O_3成膜時の酸素原料に H_2O 蒸気、O_2プラズマを用い、それぞれの絶縁特性を評価した結果を示す。Si 基板上に成膜した 40 nm の Al_2O_3の上に直径 1 mm，厚さ 100 nm の金電極を形成した後、I-V メータを用いてリーク電流を評価した。この結果から、酸素原料に O_2プラズマを用いた ALD-Al_2O_3 (O_2プラズマ-Al_2O_3)は、H_2O 蒸気を用いた ALD-Al_2O_3 (H_2O 蒸気-Al_2O_3)よりも大幅にリーク電流を低減できていることがわかる。ALD-Al_2O_3の成膜反応は、式⑤-1，式⑤-2 にそれぞれ示すように、Al 原料である TMA に起因した Al-CH_3結合を、H_2O 蒸気、もしくは O_2プラズマによって、Al-OH、Al-O*(＊: ラジカル)に置換することによって反応が進んでいく。したがって、酸化力が不十分である場合には、Al-CH_3結合が置換されず、Al_2O_3のネットワーク形成(Al-O-Al)が阻害されてしまう。また、H_2O 蒸気を用いた際に形成される Al-OH は、O_2プラズマを用いた際に形成される Al-O*よりも酸化還元電位が小さく酸化力が低いため(表⑤-1)、新たに供給された TMA の Al-CH_3結合との反応が十分に進まず、膜中に残留する可能性が高い。Al-OH として残留した際には、上述した Al_2O_3のネットワーク形成が進まないため、密度の低い膜が形成されると考えられる。したがって、ALD 酸素原料を変えた際のリーク電流差は、Al_2O_3の膜密度差に起因している可能性が高い。

そこで、本仮説を検証するため、X 線反射率法(XRR)により ALD-Al_2O_3の X 線反射強度を測定し(図⑤-8)、得られたプロファイルから膜密度を算出した結果を表⑤-2 に示す。この結果から、H_2O 蒸気-Al_2O_3の膜密度は 2.96 g/cm^3 と、O_2プラズマ-Al_2O_3の膜密度(3.00～3.30 g/cm^3)よりも低く、我々の予想どおり、H_2O 蒸気-Al_2O_3では Al_2O_3のネットワーク形成が十分に進んでいない可能性が示唆された。一方、O_2プラズマ-Al_2O_3では、O_2プラズマ中のラジカルやイオンが Al-CH_3結合との置換反応に寄与し、Al_2O_3のネットワーク形成が促進され、H_2O 蒸気-Al_2O_3に比べて緻密な膜が形成されているものと考えられる。

以上の結果から、InAlN/GaN-MIS-HEMT に適用するゲート絶縁膜としては、O_2 プラズマを酸素原料に用いた O_2プラズマ-Al_2O_3が好ましいと考えられる。

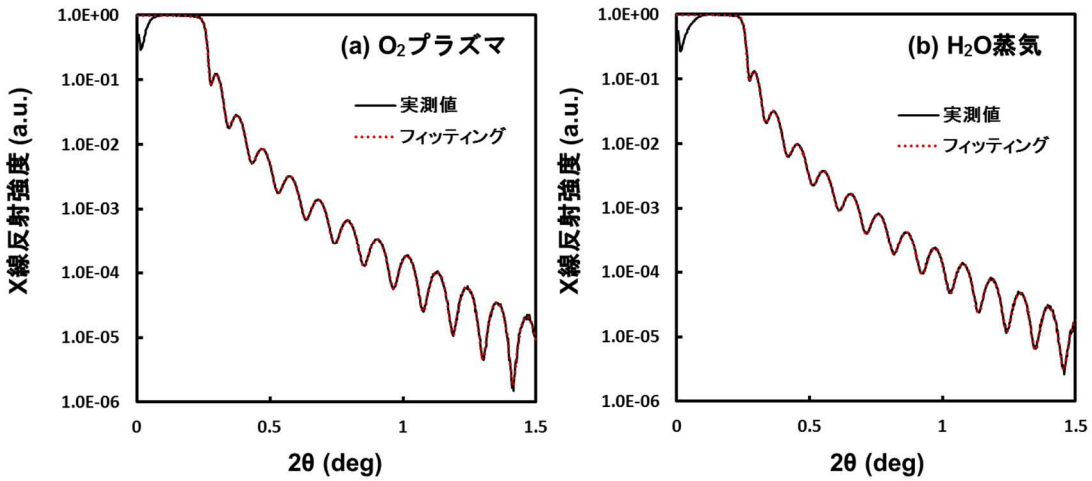
また、本分析結果からは、Al_2O_3/Si 界面において低密度な界面層が形成されており、その存在は図⑤-9 に示す断面 TEM 写真からも確認されている。Si 基板表面に存在する自然酸化膜は、Al_2O_3 の成膜前にフッ酸を用いて除去しているため、本界面層は、Al_2O_3成膜時の酸素原料(O_2プラズマ、H_2O 蒸気)によって形成された可能性が高い。実デバイスの Al_2O_3/InAlN 界面にも同様の層が存在した際には、絶縁特性、ゲートリーク電流への影響が懸念される。本件については、⑤-3-3 で検証を進める。



図⑤-7　ALD- Al_2O_3 の絶縁特性

表⑤-1　ALD 酸素原料の酸化還元電位

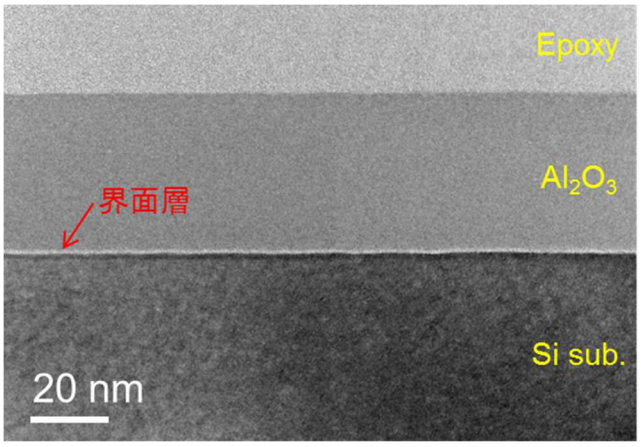
酸素原料	酸化還元電位 (V)
O^*	2.42
H_2O	0.77



図⑤-8　ALD-Al_2O_3 の X 線反射率測定結果

表⑤-2　ALD-Al_2O_3 の膜密度算出結果

試料名		膜厚(nm)	密度(g/cm^3)	ラフネス(nm)
O_2プラズマ	Al_2O_3	38.5	3.00	0.7
	界面層	0.8	1.79	0.6
	Si基板	–	–	0.1
H_2O蒸気	Al_2O_3	40.4	2.96	0.6
	界面層	1.0	1.88	0.8
	Si基板	–	–	0.1



図⑤-9　ALD-Al_2O_3/Si sub.構造の断面 TEM 写真(H_2O 蒸気)

⑤－３－２　MIS 構造による InAlN/GaN-HEMT のゲートリーク電流低減

図⑤-10 に O_2 プラズマ-Al_2O_3 を適用した InAlN/GaN-MIS-HEMT、及びリファレンスサンプルとして用いたショットキーデバイスの I_g-V_{gs} 特性を示す。この結果から、今回開発した MIS デバイスは、V_{gs} = -3 V におけるゲートリーク電流が 7.9×10^{-7} A/mm と、従来のショットキーデバイスよりも 1 桁以上ゲートリーク電流を低減できており、平成 27 年度の開発目標値(Ig ＜ 1E-6 A/mm)を達成することができた。これは、InAlN 上に緻密な O_2 プラズマ-Al_2O_3 を形成したことで、2 nm という極めて薄い膜厚でも高い絶縁性を実現できたためと考えられる。

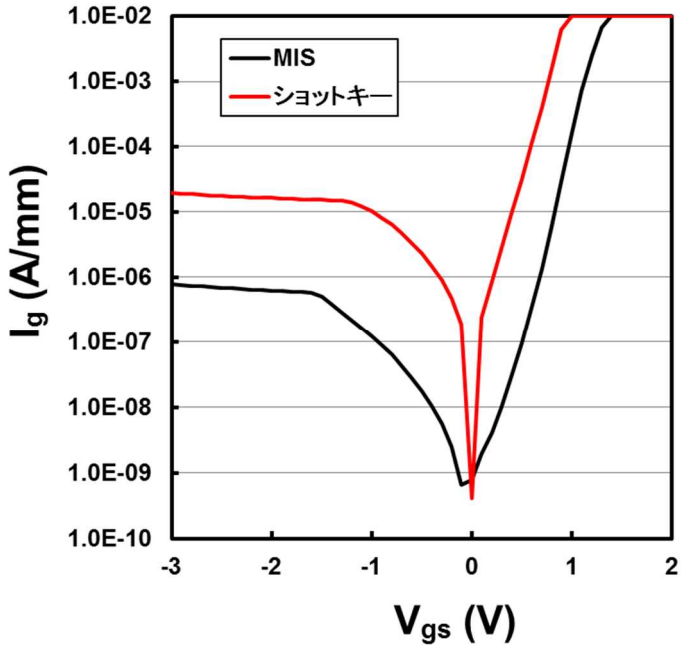
図⑤-11 に示す I_d-V_{gs}, g_m-V_{gs} 特性からは、MIS 構造によりゲートとチャネル間の距離が広がることで、閾値が 0.2 V 程度深くなっているが、相互コンダクタンス(g_m)に有意差は見られない。式⑤-3, ⑤-4 に示すように、ゲート-チャネル間距離(d + Δd)が広がった際には g_m が低下し、高周波特性の劣化が懸念されるが、今回の試作ではその影響は見られなかった。したがって、薄膜 Al_2O_3 形成による MIS 構造は、高周波特性を維持したゲートリーク電流の低減に有効であることが、本結果から明らかとなった。

$$g_m = \varepsilon_o \varepsilon_s W_g vs / (d + \Delta d) \qquad (式⑤-3)$$

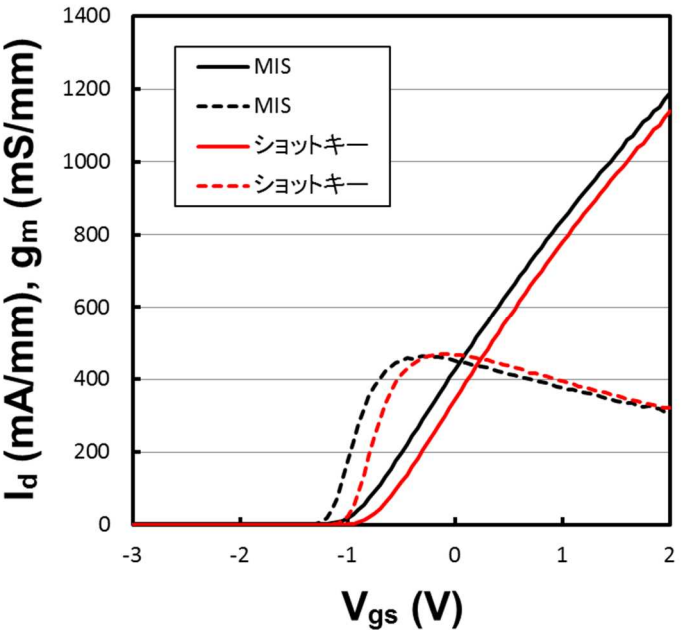
g_m：相互コンダクタンス、εo：真空の誘電率、εs：比誘電率
Wg：ゲート幅、νs：飽和ドリフト速度、d + Δd：ゲート-チャネル間距離

$$f_t = g_m / 2\pi (C_{gs} + C_{gd}) \qquad (式⑤-4)$$

f_T：電流利得遮断周波数、g_m：相互コンダクタンス
C_{gs}：ゲート-ソース間容量、C_{gd}：ゲート-ドレイン間容量



図⑤-10　InAlN/GaN-HEMT の I_g-V_{gs} 特性



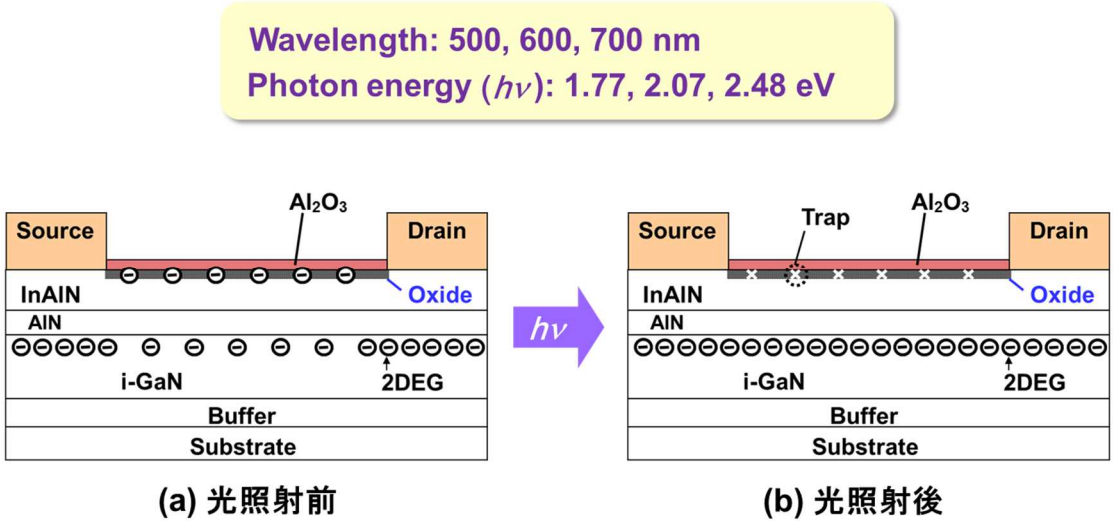
図⑤-11　InAlN/GaN-HEMT の I_d-V_{gs}, g_m-V_{gs} 特性

⑤－３－３　Al_2O_3/InAlN 界面の酸化制御による電子トラップの低減

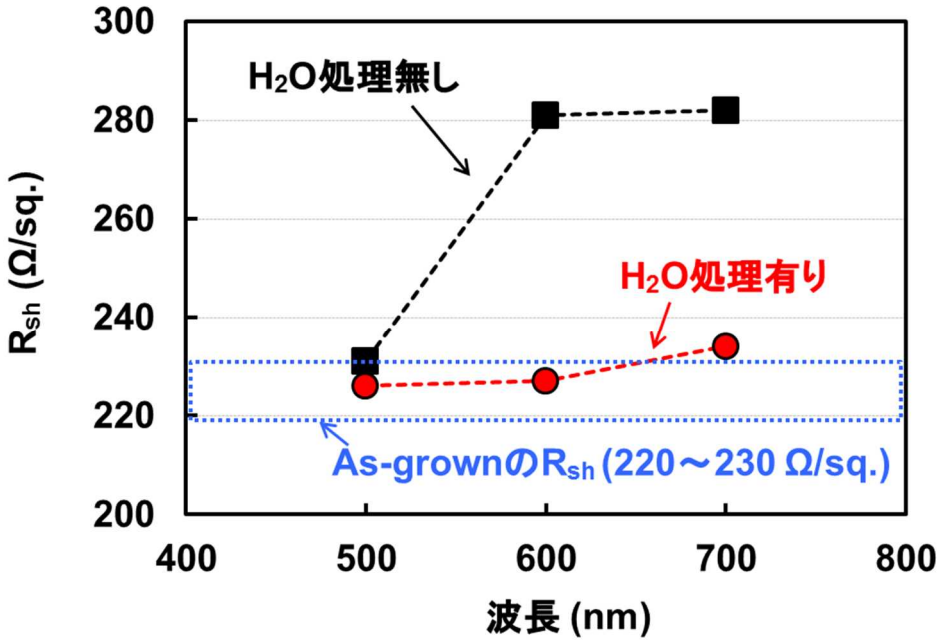
Al_2O_3/InAlN 界面における InAlN 酸化層が電子トラップに与える影響を調査するため、光照射前後で TLM 測定を行い、R_{sh} の変化を評価した。図⑤-12 に光照射 TLM による電子トラップ評価のメカニズムを示す。InAlN/GaN-MIS-HEMT において、Al_2O_3/InAlN 界面に電子トラップが存在した場合(図⑤-12 (a))、R_{sh} は本来の特性(as-grown)よりも高い値を示す。一方、それらのサンプルに対して光を照射し、照射光の波長とトラップ準位が一致した場合には、電子がトラップから放出され(図⑤-12 (b))、R_{sh} は本来の値まで低減する。InAlN 酸化層に起因する電子トラップとしては、コンダクションバンドエッジ(E_c)から 1.6～2.45 eV 付近の深いトラップ準位が想定されるため[1]、本評価では 1.77 eV (700 nm), 2.07 eV (600 nm), 2.48 eV (700 nm)の光を InAlN/GaN-MIS-HEMT に照射し、R_{sh} の波長依存性を調査した。その際、Al_2O_3 成膜前の H_2O 処理の有無を比較した。これらの結果を図⑤-13 に示す。

この結果から、H_2O 処理無しにおいて、600, 700 nm の R_{sh} は光照射前(291 Ω /sq.)とほぼ同程度であるのに対し、500 nm の光を照射した際には R_{sh} が大きく低減しており、波長依存性が明確に観察されている。一方、Al_2O_3 成膜前に H_2O 処理を行った H_2O 処理有りでは、R_{sh} の波長依存性は小さく、光照射前の R_{sh} も as-grown の値(220～230 Ω / sq.)と同程度である。このことから、H_2O 処理無しの InAlN 酸化層には、H_2O 処理を行ったものよりも多くの電子トラップが存在しており、それらの準位位置は波長 500～600 nm のエネルギー帯に対応した 2.07～2.48 eV と推察される。そして、Al_2O_3 成膜前に InAlN 表面を H_2O 処理することで、InAlN 酸化層の化学状態が変化し、電子トラップ密度が低減していると考えられる。

そこで本研究においては、XPS にて InAlN 酸化層の化学結合状態を分析し、Al_2O_3/InAlN 界面における電子トラップの起源を調査した。



図⑤-12 光照射 TLM による電子トラップ評価のメカニズム



図⑤-13 光照射 TLM による R_{sh} 評価結果

Al_2O_3/InAlN 界面における InAlN 酸化層の化学結合状態を調査するため、2 nm の ALD-Al_2O_3 上から InAlN を XPS にて分析した。得られた O 1s スペクトル(図⑤-14)を Al_2O_3 と In_2O_3 に波形分離し、Al_2O_3/ In_2O_3 比を算出した(図⑤-15)。本分析では、検出器の取出角を 15, 30, 45° と変化させることで、Al_2O_3/ In_2O_3 比の深さ依存性を取得した。15° の取出角では、2～3 nm、30° では 4～5 nm、45° では 6～7 nm の深さまで検出可能である。

この結果から、Al_2O_3/InAlN 界面における InAlN 酸化層の Al_2O_3/In_2O_3 比は H_2O 処理により上昇しており、H_2O 処理有りでは Al_2O_3 が選択的に形成されていることがわかる。本分析から得られるスペクトルには、Al_2O_3 と InAlN からの情報が混在しているが、検出器の取出角が浅いほど Al_2O_3/InAlN 界面に対する感度が高くなる。よって、15° の取出角で Al_2O_3/In_2O_3 比に最も顕著な差が観察されたのは、Al_2O_3/InAlN 界面における InAlN 酸化層の組成変化が大きく影響していることがわかる。

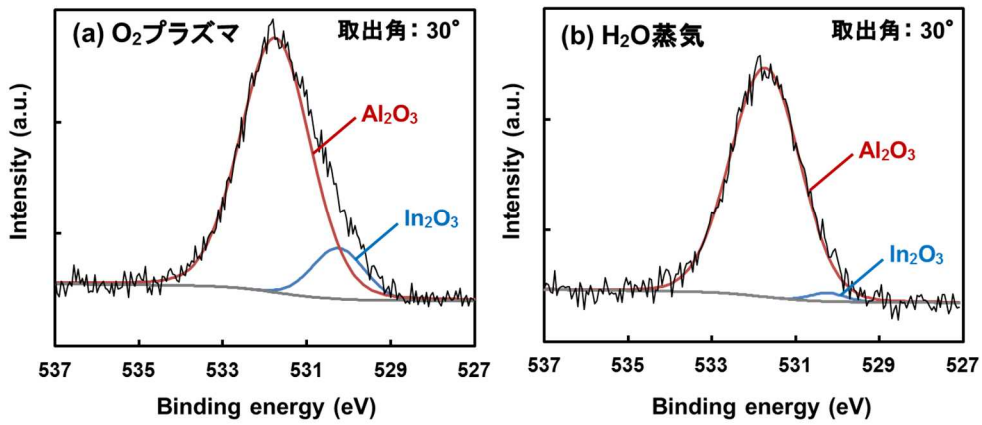
これは、300℃の H_2O 蒸気を用いて InAlN 表面を酸化した際には、$In(OH)_x$ が昇華するとともに、$Al(OH)_x$ の脱水縮合反応(式⑤-5)が進行し、Al_2O_3 が選択的に形成されるためと考えられる[1]。一方、H_2O 処理を行わない場合は、無垢の InAlN 表面が Al_2O_3 成膜時に O_2 プラズマに曝されるため、Al_2O_3 に加え In_2O_3 が生成しやすい。In_2O_3 のバンドギャ

ップ(3.4 eV)は Al_2O_3(7.0 eV)よりも低いため、InAlN 酸化層における In_2O_3 の割合が増加し、InAlN に対して十分な ΔE_c を確保できない場合には、ゲートリーク電流を抑制できない(InAlN に対する ΔE_c は Al_2O_3 が 0.9 eV 、In_2O_3 は-2.2 eV)。また、In_2O_3 は Al_2O_3 に比べてギブス自由エネルギーが大きく(In_2O_3 : -198.6 kcal/mol, Al_2O_3 : -377.9 kcal/mol)、化学的に不安定であることから酸素欠損を形成しやすく、電子トラップとして作用することもわかっている[2]。なお、In_2O_3 中に酸素空孔が形成された際のトラップ準位は、コンダクションバンドから 2.45 eV 前後と報告されており[3]、光照射 TLM にて見積られたトラップ準位とほぼ一致している。

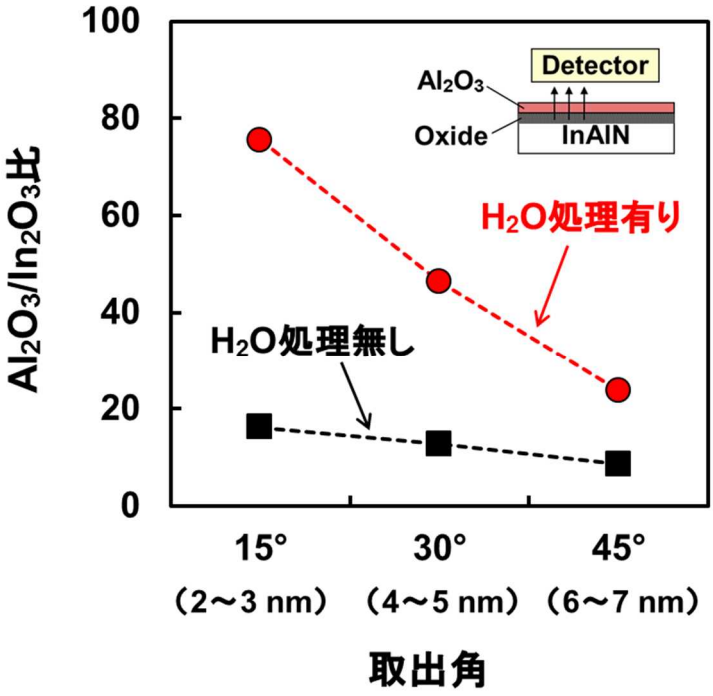
したがって、Al_2O_3 成膜前の H_2O 処理は、InAlN/GaN-MIS-HEMT のゲートリーク電流だけでなく、電流コラプスのようなトラップ起因の特性変動現象を抑制する効果も期待できる。

$$2Al(OH)_3 \rightarrow Al_2O_3 + 3H_2O \qquad (式⑤-5)$$

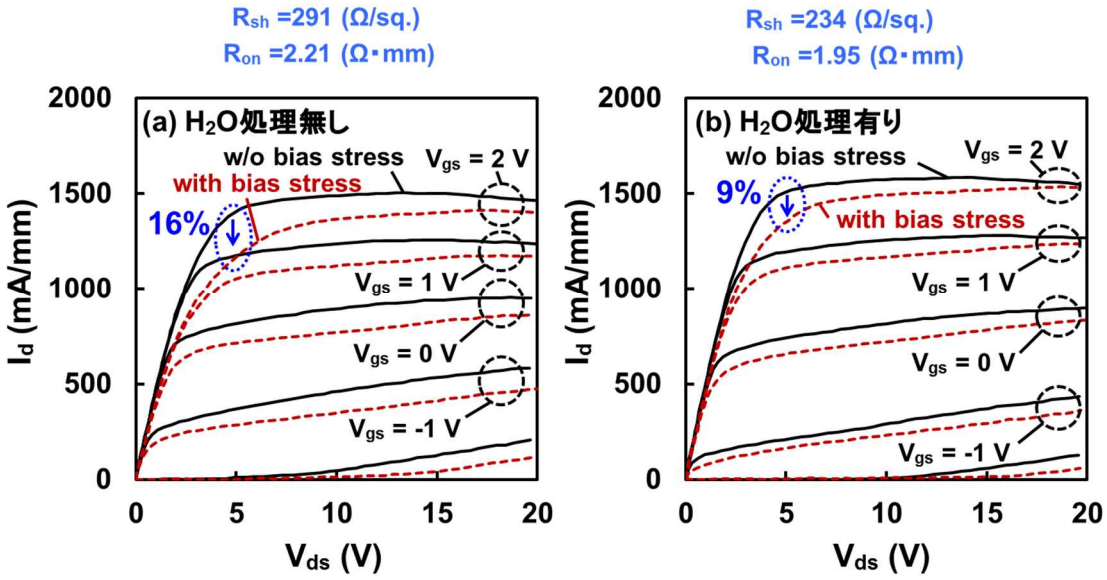
図⑤-16 に InAlN/GaN-MIS-HEMT の電流コラプス評価結果を示す。電圧ストレス(V_{gs} = -3 V、V_{ds} = 20 V)の印加前後で I_d-V_{ds} 測定を行い、V_{ds} = 5 V における I_d の減少率から電流コラプスを見積った。これらの結果から、H_2O 処理により予想通り電流コラプスが低減しており、H_2O 蒸気を用いた InAlN 酸化は、ゲートリーク電流だけでなく、電流コラプスに対しても抑制効果を示すことが明らかとなった。これは、H_2O 蒸気を用いた酸化処理により、$In(OH)_x$ が昇華することで不安定な In_2O_3 が低減し[4, 5]、酸素空孔に起因した電子トラップが低減した効果と考えられ、図⑤-13 に示した光照射 TLM の結果と一致する。しかしながら、図⑤-16 の I_d-V_{ds} 特性から見積もった H_2O 処理なしのオン抵抗(R_{on})は、TLM 測定から得られた R_c、R_{sh} から見積もった値(2.31 Ωmm)よりも小さい。これは、パルス I-V 測定中の周囲の光の影響によりトラップから電子が放出され、測定時の R_{sh} が小さくなったためと推察される。



図⑤-14 InAlN 酸化層の XPS 分析結果(O 1s スペクトル)

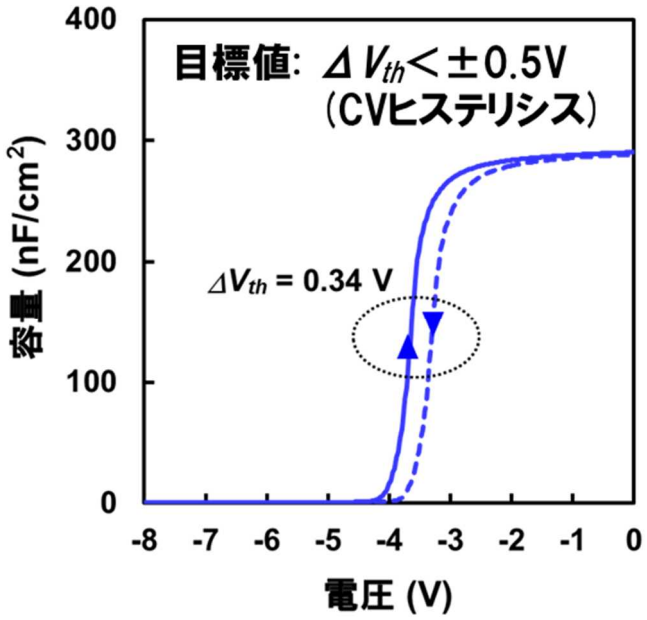


図⑤-15 InAlN 酸化層の Al_2O_3/In_2O_3 比



図⑤-16 InAlN/GaN-MIS-HEMT の I_d-V_{ds} 特性

次に、Al_2O_3 成膜前に H_2O 処理を適用した InAlN/GaN-MIS-HEMT の C-V 特性評価結果を図⑤-17 に示す。この結果から、Forward (-20 → +10 V)と Reverse (+10 → -20 V)の C-V ヒステリシス(ΔV_{th})が 0.34 V と、平成 28 年度の開発目標値(ΔV_{th} ＜ ±0.5 V)を達成することに成功した。以上の結果から、H_2O 蒸気を用いた Al_2O_3 成膜前処理は、InAlN/GaN-MIS-HEMT の Al_2O_3/InAlN 界面における電子トラップの低減に有効であることが明らかとなった。

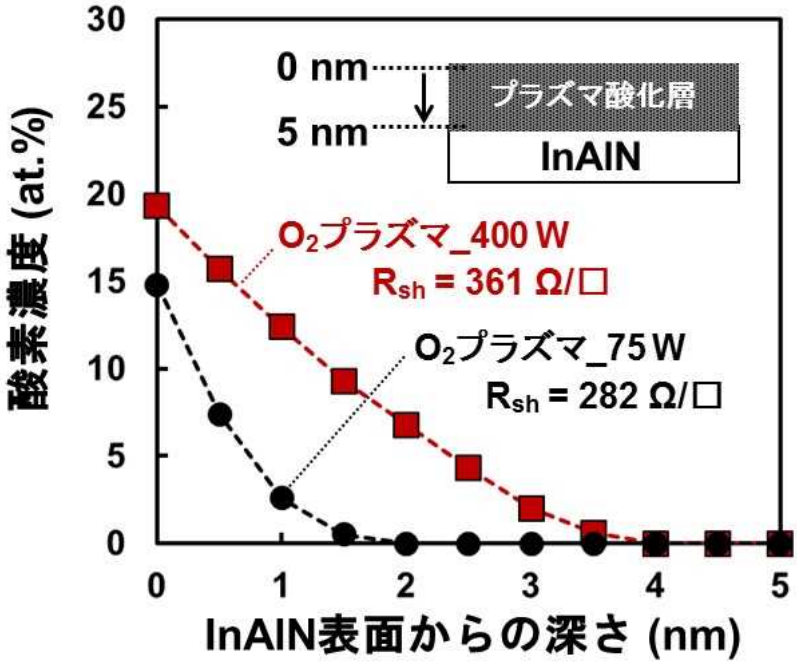


図⑤-17　H_2O 前処理を適用した InAlN/GaN-MIS-HEMT の C-V 特性

⑤－３－４　Al_2O_3成膜時のプラズマダメージ低減、およびH_2O酸化膜厚の最適化

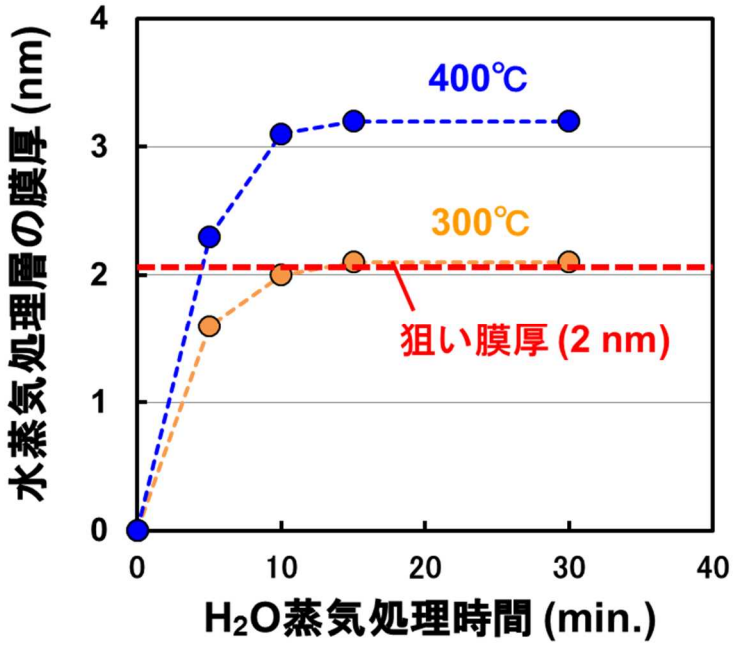
Al_2O_3成膜時のO_2プラズマダメージを低減するため、プラズマパワーの制御を検討した。図⑤-18に、プラズマパワーを400 Wから75 Wに制御した際の、InAlN中における酸素濃度のデプスプロファイルをXPSにて取得した結果を示す。この結果から、いずれの深さにおいても酸素濃度は400 Wの方が75 Wよりも高く、InAlNの酸化がO_2プラズマによって促進されていることがわかる。また、酸素が検出される深さも酸素原料間で差が見られ、400 Wではプラズマ酸化層が4 nmに達することが明らかとなった。これは、プラズマパワーが高いと、InAlN表面がより活性なラジカルやイオンに晒され、酸素が深くまで侵入するためと考えられる。また、プラズマ酸化層の低減により、R_{sh}も361 Ω/sq.から282 Ω/sq.に低減しており、ダメージが抑制されていることがわかる。

以上の結果から、Al_2O_3成膜時のプラズマパワーは75 Wとし、2 nmのプラズマダメージを抑制するため、H_2O酸化層の狙い膜厚は2 nmとした。



図⑤-18 Al_2O_3/InAlN界面におけるInAlN酸化層の深さ

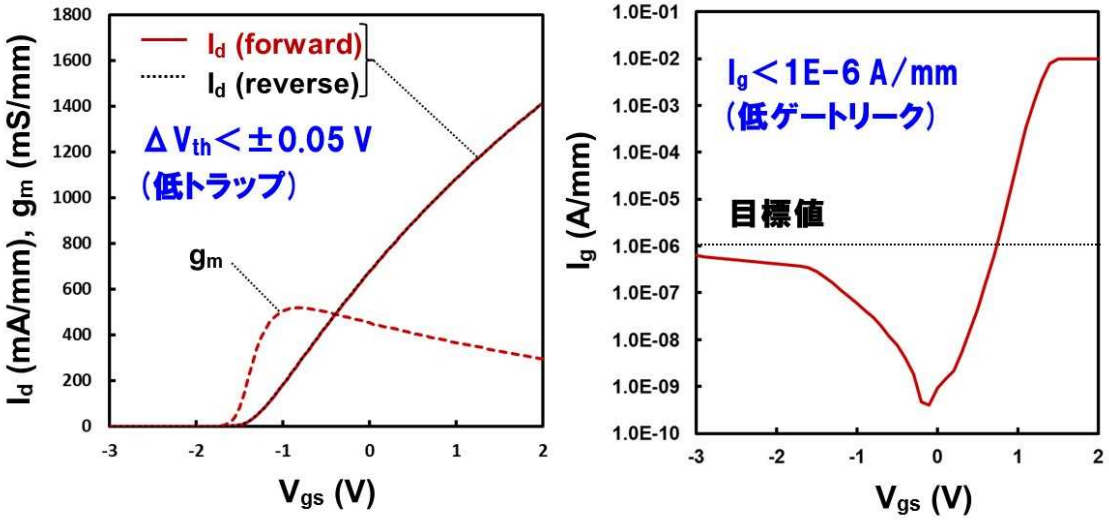
H_2O 酸化層を 2 nm に制御するため、処理温度、処理時間と酸化膜厚の関係を調査した。図⑤-19 に、表面温度を 300、400℃として、処理時間を変化させた際の酸化膜厚を示す。この結果から、処理温度を固定した際には、一定の処理時間で酸化膜厚が飽和しており、300℃では約 2 nm、400℃では約 3 nm の酸化膜が形成されることがわかる。どちらの処理温度においても、15 分以上の処理時間では、酸化膜厚に大きな変化は見られない。これは、酸化膜厚の増加に伴い、H_2O 蒸気の InAlN 層への到達が抑制されているためと考えられる。また、上述したように、Al_2O_3 成膜時のプラズマダメージを抑制するためには、2 nm 以上の酸化膜厚が有効と考えられるが、必要以上に InAlN を酸化してしまうと、電子供給層が薄くなり、2DEG 密度が低下する恐れがある。したがって、H_2O 蒸気の処理温度は、膜厚が 2 nm で飽和する 300℃が適していると考えられる。一方、処理時間については、面内バラツキ等も考慮すると、十分な処理時間を確保するため、30 分が好ましいと考えられる。



図⑤-19　H_2O 処理時間と酸化膜厚の関係

図⑤-20 に最適化した絶縁膜成長シーケンスにて試作した InAlN/GaN-MIS-HEMT の I_d-V_{gs}、I_g-V_{gs} 特性を示す。この結果から、I_d-V_{gs} カーブにおける閾値電圧変動(ΔV_{th})は ±0.05 V と、最終年度である平成 29 年度の開発目標値(ΔV_{th} ＜ ±0.5 V)を達成することができた。

I_g-V_{gs} カーブからは、最適化した絶縁膜成長シーケンスにおいてもゲートリーク電流は 1.0×10^{-6} A/mm 以下であり、Al_2O_3 成膜時のプラズマパワー制御と、H_2O 酸化条件の最適化により、低トラップと低ゲートリーク電流を両立することに成功した。



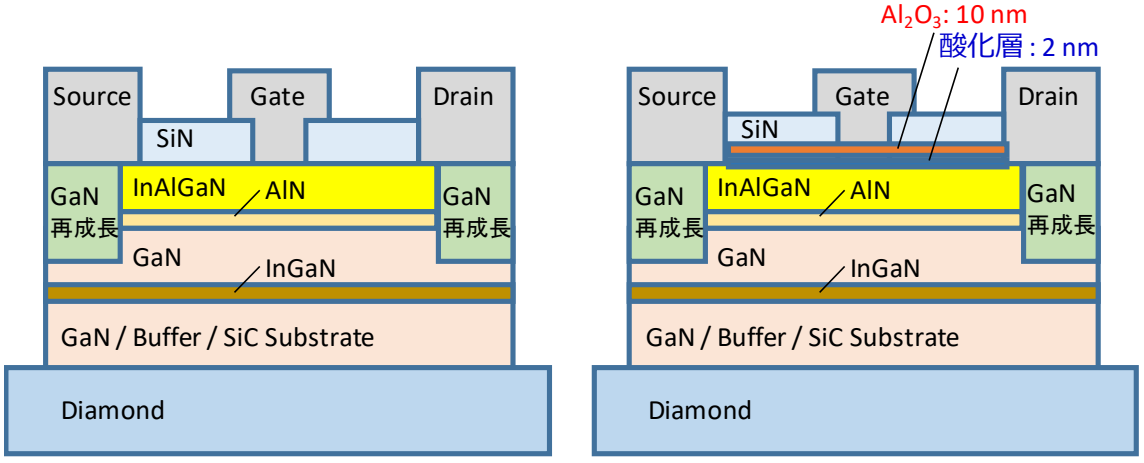
図⑤-20 InAlN/GaN-MIS-HEMT の I_d-V_{gs}, I_g-V_{gs} 特性

⑤－３－５　低トラップ絶縁膜の統合デバイスへの適用

本技術を統合デバイスに適用する際には、H_2O 蒸気を用いて電子供給層表面に 2 nm の酸化層を形成した後、「④高電流構造シミュレーション」の結果をフィードバックして、破壊電界を超えない 10 nm の Al_2O_3 を酸化層の上に形成した（図⑤-21(b)）。そのため、絶縁層の厚さは合計 12 nm となる。また、電子供給層については、「①InAlN、InAlGaN 系結晶成長技術の開発」の検討結果から InAlN よりもゲートリーク電流を低減可能な InAlGaN を用いた。

S 帯のロードプル評価において P_{in}-P_{out} 特性を取得した結果、出力パワー密度(P_{sat})はショットキーゲートよりも MIS ゲートの方が高く、50 V の動作電圧において 12.6 W/mm の出力特性を実現した。これは、MIS ゲートは順方向ゲートリーク電流が低く、より高い順方向電圧を印加できるため、ドレイン電流が増加した効果と考えられる。また、MIS ゲートの採用により、電力付加効率(Power-Added Efficiency：PAE)も 10%程度向上することが明らかとなった。これは、本項で示した Al_2O_3 形成時の界面改質（パッシベーション膜/InAlGaN）によって電子トラップが低減し、電流コラプスが抑制された効果と考えられる。

今回の評価では、MIS ゲートの耐圧により、動作電圧の上限は 50 V としたが、今後、低トラップ絶縁膜の絶縁性を向上するとともに、デバイス構造の工夫により電界緩和が実現した際には、動作電圧を上げることで更にパワー特性が向上すると期待できる。



(a) 最終試作(Ⅰ)ショットキーゲート　　(b) 最終試作(Ⅱ)MISゲート

図⑤-21　統合デバイス最終試作における HEMT 構造の断面模式図

⑤－４　まとめ

高出力 GaN HEMT への適用が期待される InAl(Ga)N-HEMT のゲートリーク電流低減に向け、ALD-Al_2O_3 を用いた MIS 構造を開発し、以下の結論を得た。

1)O_2 プラズマを酸素原料に用いた ALD-Al_2O_3 (O_2 プラズマ-Al_2O_3)は、O_2 プラズマ中のラジカルやイオンが反応促進に寄与するため、H_2O 蒸気を酸素原料に用いた ALD-Al_2O_3 (H_2O 蒸気-Al_2O_3)よりも膜密度が高く、InAlN/GaN-MIS-HEMT 向けのゲート絶縁膜として適している。

2)InAlN/GaN-MIS-HEMT に O_2 プラズマ-Al_2O_3 を適用することで、従来のショットキーデバイスよりも大幅にゲートリーク電流を低減でき、平成 27 年度の目標値(I_g ＜ 1E-6 A/mm)を達成することに成功した。また、MIS 構造を適用した際には、ゲート絶縁膜によってゲートとチャネル間の距離が広がるため、g_m 低下による高周波特性の劣化が懸念されるが、今回適用した 2 nm の Al_2O_3 膜厚では、閾値が 0.2 V 程度深くなるものの、g_m に有意差は見られない。

3) Al_2O_3/InAlN 界面に存在する In_2O_3 中は、化学的に不安定であるため酸素空孔を形成しやすく、電子トラップとして作用する。このため、InAlN/GaN-MIS-HEMT の Al_2O_3/InAlN 界面に In_2O_3 が存在した場合には、シート抵抗(R_{sh})上昇や電流コラプスの原因となる。

4) InAlN/GaN-MIS-HEMT の R_{sh} 上昇や電流コラプスは、Al_2O_3 成膜前の InAlN 表面を H_2O 蒸気にて酸化することで抑制できる。これは、H_2O 蒸気を用いて $In(OH)_x$ を昇華させることで、不安定な In_2O_3 を選択的に除去でき、酸素空孔に起因した電子トラップを低減できるためである。本デバイスの C-V ヒステリシスを評価した結果、ΔV_{th} = 0.34 V と平成 28 年度の目標値(ΔV_{th} ＜ ±0.5 V)を達成することに成功した。

5) 上述した絶縁膜成長シーケンスを最適化することで、InAlN/GaN-MIS-HEMT の I_d-V_{gs} カーブにおける閾値電圧変動(ΔV_{th})は±0.05 V 以下まで低減し、最終年度となる平成 29 年度の開発目標値(ΔV_{th} ＜ ±0.5 V)を達成することができた。I_g-V_{gs} カーブにおいても、ゲートリーク電流は 1.0×10^{-6} A/mm 以下を維持しており、Al_2O_3 成膜時のプラズマパワー制御と、H_2O 酸化条件の最適化により、低トラップと低ゲートリーク電流を両立することに成功した。

6) 本技術を統合デバイスに適用する際には、H_2O 蒸気を用いて電子供給層表面に 2 nm の酸化層を形成した後、「④高電流構造シミュレーション」の結果をフィードバックして、破壊電界を超えない 10 nm の Al_2O_3 を酸化層の上に形成した。また、電子供給層に

ついては、「①InAlN、InAlGaN 系結晶成長技術の開発」の検討結果から InAlN よりもゲートリーク電流を低減可能な InAlGaN を用いた。S 帯のロードプル評価において P_{in}-P_{out} 特性を取得した結果、P_{sat} はショットキーゲートよりも MIS ゲートの方が高く、50 V の動作電圧において 12.6 W/mm の出力特性を実現した。これは、MIS ゲートは順方向ゲートリーク電流が低く、より高い順方向電圧を印加できるため、ドレイン電流が増加した効果と考えられる。また、MIS ゲートの採用により、PAE も 10%程度向上することが明らかとなった。これは、本項で示した Al_2O_3 形成時の界面改質（パッシベーション膜/InAlGaN）によって電子トラップが低減し、電流コラプスが抑制された効果と考えられる。

今回の評価では、MIS ゲートの耐圧により、動作電圧の上限は 50 V としたが、今後、低トラップ絶縁膜の絶縁性を向上するとともに、デバイス構造の工夫により電界緩和が実現した際には、動作電圧を上げることで更にパワー特性が向上すると期待できる。

参考文献

[1] S. Ozaki *et al*., Phys. Status Solidi A 213, 1259 (2015).

[2] G. Frank *et al.*, Appl. Phys. **A27**, 197 (1982).

[3] Z. P. Wei *et al.*, Appl. Phys. Lett. **96**, 031902 (2010).

[4] A. W. Ott *et al*., Thin Solid Films 292, 135 (1997).

[5] J. G. Speight, Lange’s Handbook of Chemistry, 16th edn. p. 1.37 (2005).

１．１．６　⑥高放熱設計・熱評価

開発概要

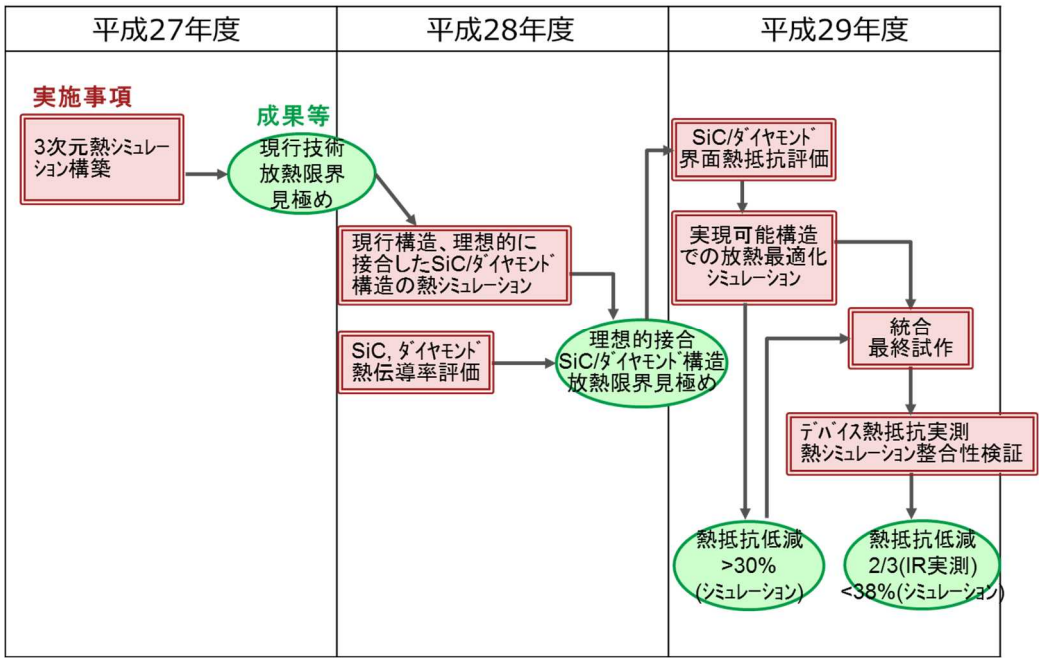
本項で報告する「⑥高放熱設計・熱評価」は、3 次元熱シミュレーション技術および熱特性評価技術を駆使して高放熱を実現する SiC/ダイヤモンド構造の界面状態を算出し、「⑧接合プロセス技術開発」へフィードバックすることでデバイスの放熱特性向上に貢献することを目的とした。

本研究の概要は次のとおりである（開発フローチャート図⑥-1)。

平成 27 年度は、3D 熱シミュレーション技術の環境構築を実施するとともに、放熱シミュレーションについて初期検討を行い、現行技術の限界見極めと異種材料による性能向上効果を検証した。

平成 28 年度は、現行放熱構造である SiC/AuSn/Cu 系ベースプレートにおける放熱限界および理想的に接合した SiC/ダイヤモンド構造による放熱限界の見極めを行った。また、適切な熱評価手法を選定・適用して SiC やダイヤモンド膜等の熱パラメータを取得し、精度向上に向けたシミュレーションへのフィードバックも併せて実施した。

平成 29 年度は、平成 28 年度に取得した熱パラメータを用いた熱シミュレーションを行い、実現可能なデバイス構造における放熱の最適化を図った。さらに熱抵抗を従来デバイス比で 30%低減するために必要な SiC/ダイヤモンドの界面熱抵抗を熱シミュレーションにより見極め、接合プロセス技術にフィードバックを行った。さらに統合デバイス（最終試作（I)）の熱抵抗を実測し、シミュレーションとの整合性を検証した。

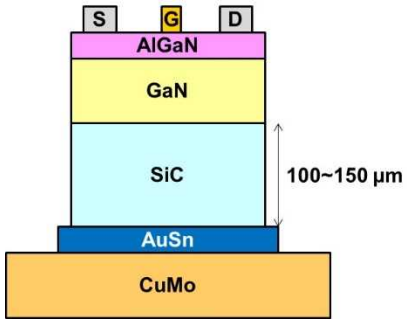


図⑥-3　本技術の開発フローチャート

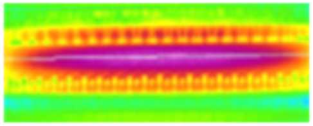
⑥－１　本技術の開発意義

デバイスの高出力化を実現すると、その出力の増加に伴い発熱量も増加するため、高放熱技術の研究は極めて重要である。一般的に GaN-HEMT 高出力アンプ（High Power Amplifier：HPA）は CuMo 等のパッケージ材料に AuSn で実装される（図⑥-2）。GaN 結晶を成長する SiC 基板は熱伝導率の高い材料（～420 W/mK）ではあるが、放熱性能向上のため 150 μm 程度まで薄層化している。図⑥-3 に赤外線（IR）顕微鏡による出力 150 W 級の S 帯 GaN HPA の熱分布を示す。この評価によれば、熱抵抗はチップ中心で最大 1.5℃/W 程度となる。このため、150 W 出力時にはジャンクション温度は 200℃を超え、デバイス信頼性の観点から限界に近づいている。高放熱技術として、これまでに GaN on ダイヤモンド構造が報告されている[1-3]。ダイヤモンドの熱伝導率は 2000 W/mK と非常に高く、ヒートスプレッダ材料として効果的である。従来技術としては、ダイヤモンド基板貼り合わせ、GaN 結晶裏面 CVD ダイヤモンド成膜、ダイヤモンド基板上 GaN 成長等がある。

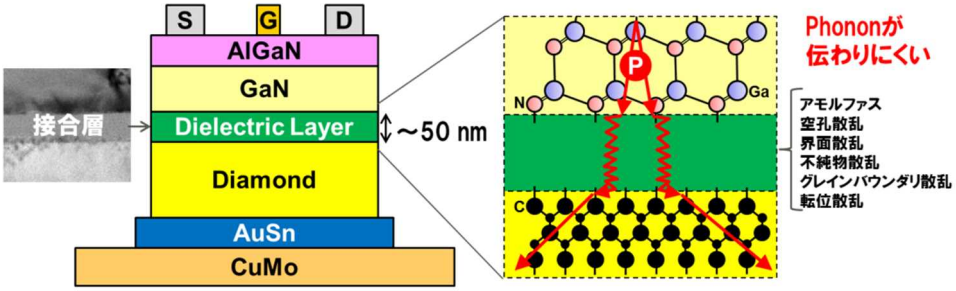
本研究では、In 系結晶を有する GaN-HEMT 構造に高放熱技術を適用するため、結晶成長後に実施可能なダイヤモンド基板貼り合わせ技術を検討した。従来のダイヤモンド基板貼り合わせ技術では GaN とダイヤモンドとの界面に Dielectric Layer 等の接合層を設けている(図⑥-4)が、この接合層は熱抵抗になると考えられる。そこで、この接合層を無くすため、GaN チップとダイヤモンド等の高熱伝導ヒートスプレッダ材料の原子層レベルでの表面活性化接合（直接接合）を検討した（図⑥-5）。表面活性化接合とは、接合面を真空中でアルゴンビーム等により表面処理を行い、表面の原子同士を化学結合させる接合方法である(図⑥-6)。さらに、上記施策に加え、デバイスサイズ、界面熱抵抗、ヒートスプレッダサイズ等を最適化するため、本研究では 3 次元（3D）熱シミュレーションを用いたデバイス高放熱構造設計および熱パラメータ評価を実施した。



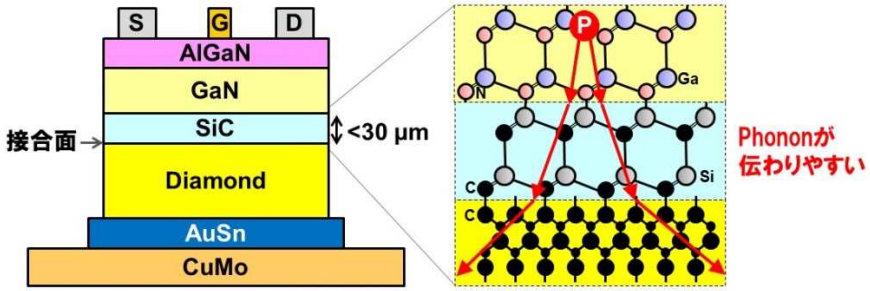
図⑥-2　一般的な GaN HPA 実装



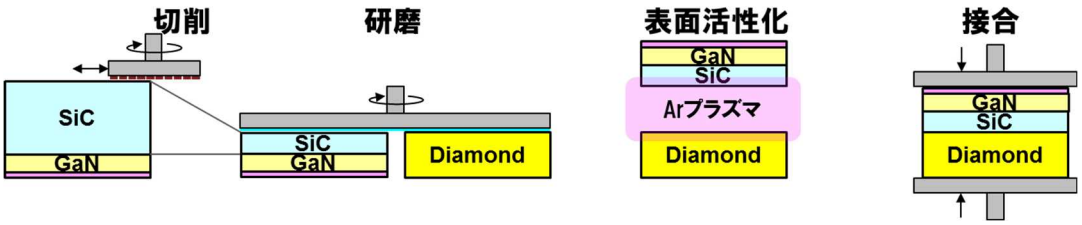
図⑥-3　150W 級 GaN HPA の温度分布



図⑥-4　従来の GaN on ダイヤモンド構造



図⑥-5　直接接合による GaN on ダイヤモンド構造



図⑥-6　表面活性化接合（直接接合）

⑥－２　3D 熱シミュレーション環境構築と初期検討

本研究は汎用のワークステーションを用い、Mentor Graphics 社製 FloTHERM により 3D の熱シミュレーションを行った。各種パラメータは参考文献[4-7]を参考にした。一覧を表⑥-1 にまとめる。GaN, SiC, ダイヤモンド, AuSn, CuW の熱伝導率は、それぞれ 160, 430, 2000, 57, 200 W/mK とした。また、ここでは定常状態のシミュレーションのため、比熱・密度はデフォルト１のままにした。過渡分析の場合、比熱・密度の設定が必要である。GaN/SiC 界面、GaN/ダイヤモンド界面、SiC/ダイヤモンド界面の熱抵抗

は一律 2.5×10^{-8} m^2K/W とした。熱シミュレーションでは各材料の界面熱抵抗のパラメータが重要であるが、SiC/ダイヤモンド界面の熱抵抗のパラメータは未知であるため、参考文献[4-7]と同じ値を用いた。

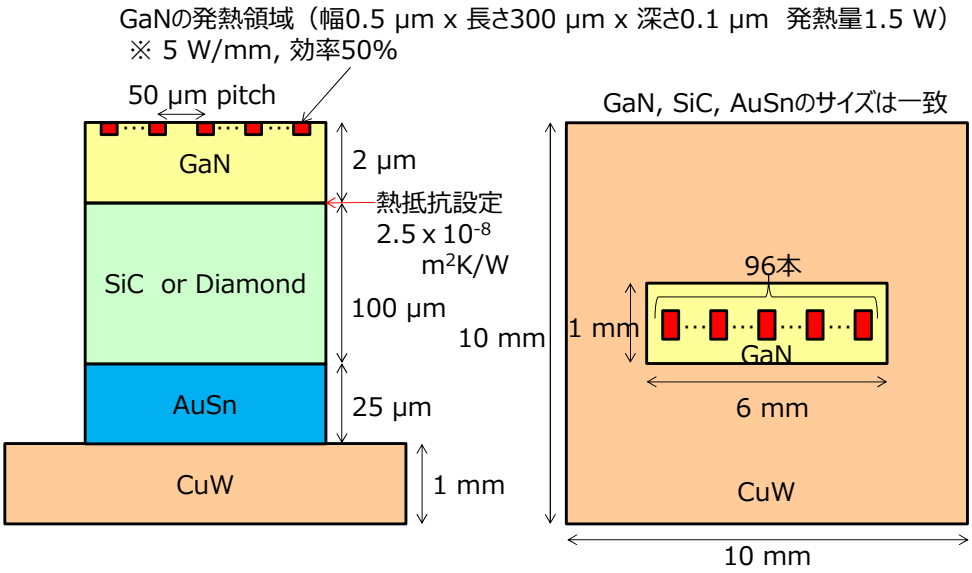
図⑥-7 は基本的なシミュレーション構造である。GaN, AuSn, CuW の膜厚は、それぞれ 2, 25, 1000 μm に固定し、SiC 層、ダイヤモンド層はシミュレーション毎に変化させた。チップサイズは 1 mm×6 mm の長方形で、ベース材サイズは 10 mm×10 mm×1 mm t の正方形とした。発熱領域はゲート長 0.5 μm ×ゲート幅 0.3 mm×深さ 0.1 μm とし、GaN 層内に設定した。出力密度 5 W/mm の場合、効率 50%としてゲート 1 本当たりの発熱量を 1.5 W とした。出力 2 倍の場合、発熱量は 3 W とした。また、ゲート数は 96 本で、ゲート-ゲート間距離を 50 μm とし、チップ中央に配置した。環境は空気, 30℃, 1 気圧で、ベース材底面温度を 27℃一定とした。

図⑥-7 に示す GaN/100 μm 厚 SiC/CuW ベースの基本構造の場合、144 W 出力で最高表面温度は 215℃に達する（図⑥-8）ことがわかる。全体の熱抵抗としては 1.3℃/W で実測値 1.5℃/W に近い値となっている。さらに、SiC をダイヤモンドに置き換えた GaN/100 μm 厚ダイヤモンド/CuW ベース構造の場合、最高表面温度は 174℃とダイヤモンドがヒートスプレッダとして効果があることがわかった。

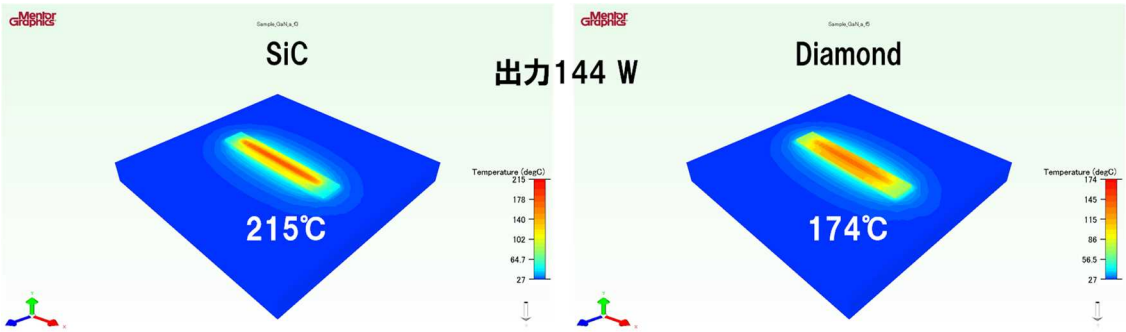
一方、出力を 2 倍（288 W）にした場合、GaN/100 μm 厚 SiC/CuW ベースの基本構造では最高表面温度は 404℃にまで達する(図⑥-9)。さらに GaN/100 μm 厚ダイヤモンド/CuW ベース構造でも最高表面温度は 322℃とヒートスプレッダとしての効果はあるが、SiC 基板をそのままダイヤモンド基板に置き換えても十分でないことがわかった。

表⑥-１　現行構造シミュレーションのパラメータ

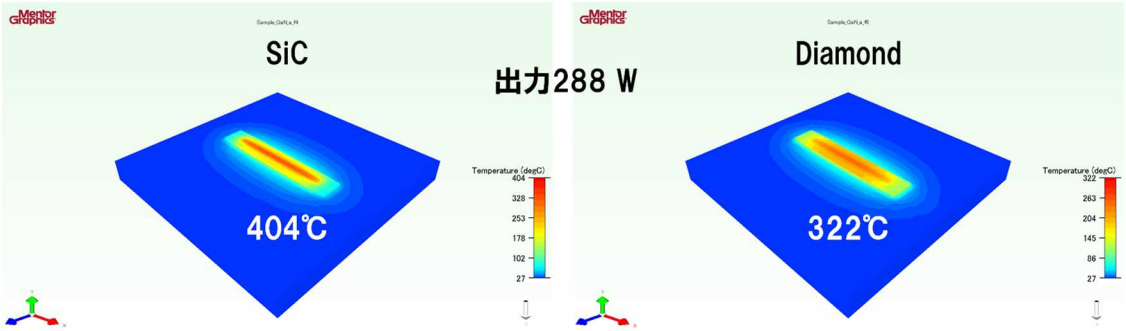
パラメータ	GaN	SiC	Diamond	GaN/SiC GaN/Diamond SiC/Diamond	AuSn	CuW
熱伝導率(W/mK)	160	430	2000	NA	57	200
界面熱抵抗(m^2K/W)	NA	NA	NA	$2.5x10^{-8}$	NA	NA



図⑥-7　3D 熱シミュレーションの GaN/100 μm 厚基板/CuW ベース構造



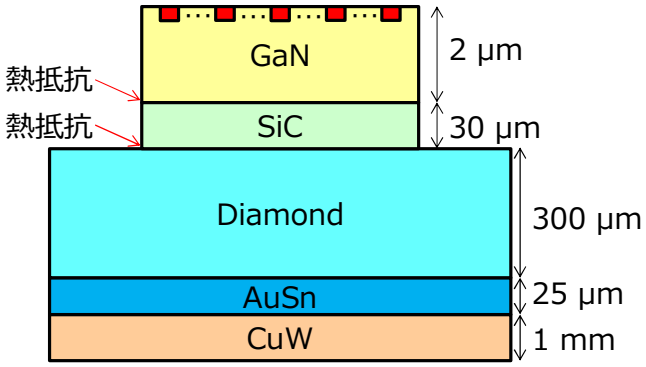
図⑥-8　144W GaN HPA/100 μm 厚基板/CuW ベース構造の表面温度（SiC、ダイヤモンド）



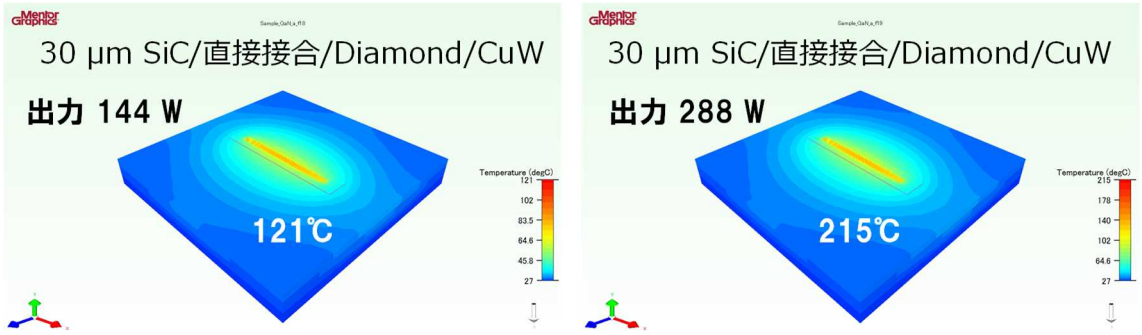
図⑥-9　288W GaN HPA/100 μm 厚基板/CuW ベース構造の表面温度（SiC、ダイヤモンド）

そこで、ダイヤモンド層を厚く、かつ、CuW ベース材と同じサイズに変更した GaN-HEMT/30 μm 厚 SiC/300 μm 厚ダイヤモンド/直接接合/CuW ベース構造（図⑥-10）をシミュレーションした。結果として、144 W 出力で最高表面温度は 121℃まで低減し、288 W 出力でも最高表面温度は 215℃と、144 W 出力の現行構造と同等の表面温度となっている（図⑥-11）。図⑥-11 に示すように、熱がダイヤモンドを通じて横方向に逃げているのがわかる。AuSn ソルダーによる熱抵抗が存在する場合、いかに上層部で熱を横方向に拡散させるかが高放熱技術の鍵となる。

以上のように、3D 熱シミュレーション技術の環境構築と立ち上げを実施し、GaN-HEMT の放熱シミュレーションについて初期検討を行った。ダイヤモンド層を厚く（300 μm）、かつ、CuW ベース材と同じサイズに変更することによりダイヤモンドを通じて横方向に熱を逃がし、出力 2 倍でも最高表面温度は 215℃に抑えることができることを確認した。



図⑥-10 GaN/30 μm 厚 SiC/300 μm 厚ダイヤモンド/CuW ベース構造



図⑥-11　GaN HPA/30 μm 厚 SiC/300 μm 厚ダイヤモンド/CuW 表面温度
（出力 144 W, 288 W）

⑥－３　現行構造および理想ダイヤモンド接合構造の放熱限界

平成 28 年度は、平成 27 年度に導入した熱シミュレーションを活用して現行放熱構造である SiC/AuSn/Cu 系ベースプレートにおける放熱限界および理想的に接合した SiC/ダイヤモンド構造による放熱限界の見極めを行った。また、適切な熱評価手法を選定・適用して SiC やダイヤモンド膜等の熱パラメータを取得し、精度向上に向けたシミュレーションへのフィードバックも併せて実施した。

図⑥-7 は、シミュレーションした現行構造である。GaN, SiC, AuSn, CuW の膜厚は、それぞれ 2, 100, 25, 1000 μm に固定した。チップサイズは 1 mm×6 mm の長方形で、ベース材サイズは 10 mm×10 mm×1 mm t の正方形とした。発熱領域はゲート長 0.5 μm x ゲート幅 0.3 mm x 深さ 0.1 μm とし、GaN 層内に設定した。ここでは、入力電力（P_{in}）は約 25 dBm（0.3 W）で、出力電力（P_{out}）144, 288 W よりも十分小さいので無視し、発熱量（P_{diss}）は以下に定義した。

$$P_{diss} = P_{DC} - P_{out} = P_{out} \times (1/\eta_D - 1) \quad \text{（式⑥-1）}$$

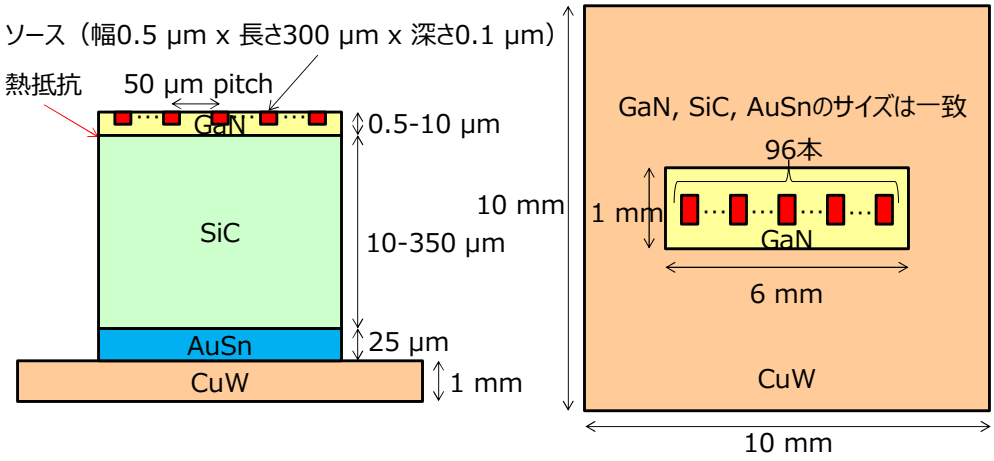
P_{DC}：直流電力、η_D：ドレイン効率

このため、出力密度 5 W/mm（出力 144 W）でドレイン効率 50, 60, 70%の場合、ゲート 1 本当たりの発熱量をそれぞれ 0.643, 1, 1.5 W とした。加えて、出力密度 10 W/mm（出力 288 W）でドレイン効率 50, 60, 70%の場合、ゲート 1 本当たりの発熱量をそれぞれ 1.286, 2, 3 W とした。また、ゲート数は 96 本で、ゲート-ゲート間距離を 50 μm とし、チップ中央に配置した。

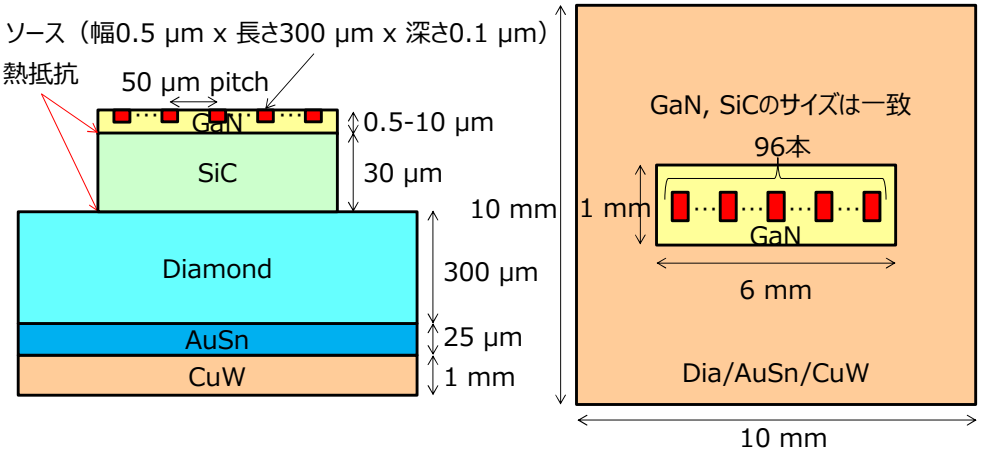
表⑥-2 は、現行構造および GaN HPA on SiC/ダイヤ接合構造シミュレーションに用いたパラメータを示す。GaN, SiC の熱伝導率および GaN/SiC 界面熱抵抗は、後述の GaN/SiC 構造の熱分析測定から求めた 88, 420 W/mK、および、1.6×10^{-8} m^2K/W とした。一方、AuSn, CuW の熱伝導率は、参考文献[4-7]の 57, 200 W/mK を用いた。SiC/ダイヤモンド界面の熱抵抗は 2.5×10^{-8} m^2K/W とした。また、CW 動作の場合、定常状態のシミュレーションのため、比熱・密度はデフォルト 1 のままにした。環境は空気, 30℃, 1 気圧で、ベース材底面温度を 27℃一定とした。

図⑥-12 は、シミュレーションした GaN HPA on SiC 現行構造である。AuSn, CuW の膜厚は、それぞれ 25, 1000 μm に固定し、シミュレーション毎に GaN エピ層厚と SiC 基板厚はそれぞれ 0.5～10um、10～350 μm の範囲で変化させた。図⑥-13 は、シミュレーションした GaN HPA on SiC/ダイヤ接合構造である。SiC, Diamond, AuSn, CuW の膜厚は、それぞれ 30, 300, 25, 1000 μm に固定し、GaN エピ層厚はシミュレーション毎に 0.5

～10 μm の範囲で変化させた。チップサイズは 1 mm×6 mm の長方形で、ダイヤモンドおよび CuW ベース材サイズは 10 mm ×10 mm×1 mm t の正方形とした。発熱領域はゲート長 0.5 μm ×ゲート幅 0.3 mm×深さ 0.1 μm とし、GaN 層内に設定した。出力密度 10 W/mm（出力 288W）で、ドレイン効率 60%としてゲート 1 本当たりの発熱量を 2 W とした。また、ゲート数は 96 本で、ゲート-ゲート間距離を 50 μm とし、チップ中央に配置した。



図⑥-12　GaN HPA on SiC 現行構造



図⑥-13　GaN HPA on SiC/ダイヤ接合構造

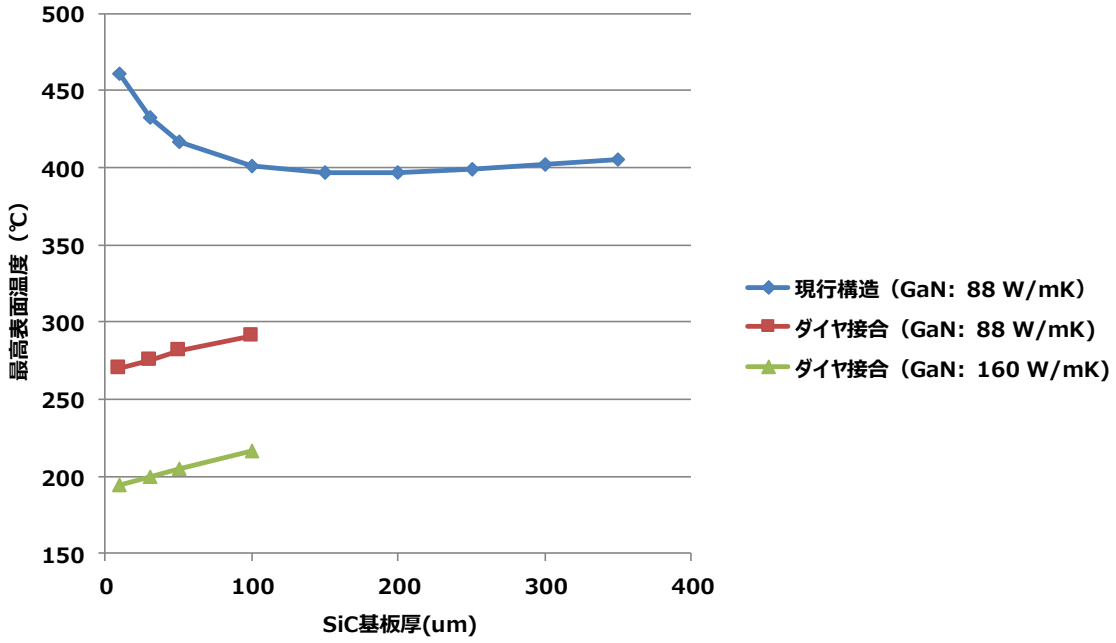
表⑥-2　現行構造およびGaN HPA on SiC/ダイヤ接合構造ｼﾐｭﾚｰｼｮﾝのパラメータ

パラメータ	GaN	GaN/SiC	SiC	SiC/Dia	Diamond	AuSn	CuW
熱伝導率 (W/mK)	160 88(※)	NA	420 420(※)	NA	2000	57	200
界面熱抵抗 (m^2K/W)	NA	$2.5x10^{-8}$ $1.6x10^{-8}$(※)	NA	$2.5x10^{-8}$	NA	NA	NA
比熱(J/KgK)	490	NA	690	NA	520	151	180
密度(g/cm^3)	6.15	NA	3.21	NA	3.515	14.52	15.65

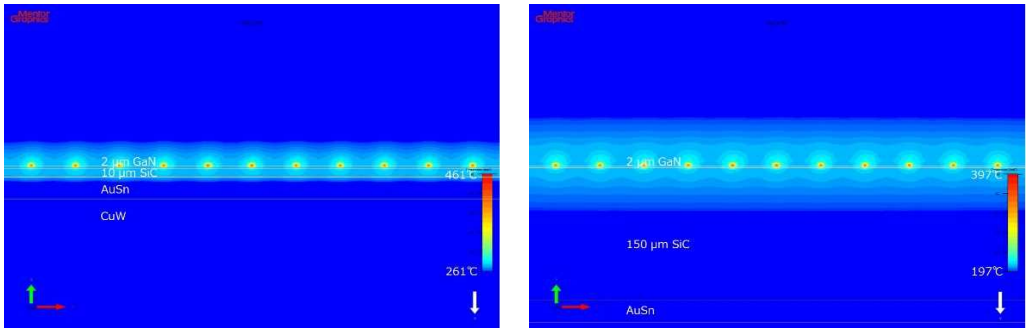
※熱分析評価による測定値（表⑥-3より）

図⑥-14は、CW動作時の現行構造およびSiC/ダイヤ接合構造の最高表面温度のSiC基板厚依存性を示している。GaNエピ層厚は2 μm固定とした。現行構造の場合、SiC膜厚150 μmを最小として、膜厚100 μmよりも薄くなると、最高表面温度が急激に上昇することがわかった。図⑥-15に現行構造断面の温度分布（SiC膜厚：10 μm（左），150 μm（右））を示している。図⑥-15は最高表面温度から200℃下げた温度範囲でプロットしている。SiC膜厚10 μmの場合、SiC層で熱が十分拡がる前に熱抵抗となるAuSnに到達している。一方、SiC膜厚150 μmの場合、AuSn到達前にSiC層内で熱が十分拡がり、均一化していることがわかる。ただし、SiC膜厚を150 μmより大きくするとAuSnまでに到達する時間がかかるため、わずかに最高表面温度が上昇する。

一方、SiC/ダイヤ接合構造の場合、SiC膜厚の薄化とともに最高表面温度は低減している。ダイヤ接合の場合、できる限り速く熱をダイヤモンドに到達させ、ダイヤモンドで熱を横に拡げた方が有効と考えられる。さらにGaN熱伝導率を文献値の160 W/mKまで向上させると、SiC膜厚30 μm以下で最高表面温度は200℃以下とすることが可能になる。GaN-HEMT HPAの放熱特性は、実際にはGaNエピ層の熱伝導率の影響をかなり受けていることがわかった。



図⑥-14 現行構造および SiC/ダイヤ接合構造の最高表面温度の SiC 基板厚依存性
（GaN 層 2 μm, 出力 288 W, CW, 効率 60%）



図⑥-15 現行構造断面の温度分布（SiC 膜厚：10 μm（左）, 150 μm（右））

⑥－４　GaN/SiC および SiC/ダイヤモンドの熱抵抗評価

平成 28 年度には、上記の熱シミュレーションの精度向上に向けて、適切な熱評価手法を選定・適用して SiC やダイヤモンド膜等の熱パラメータを取得した。熱抵抗の測定は、実際にデバイスを形成して、デバイス温度を実測する方法もあるが、簡便に測定する方法としてピコ秒サーモリフレクタンス法（PicoTR）を検討した。

評価サンプルは SiC 基板および GaN（1 μm）/SiC 基板とした。また、評価にはピコ秒

サーモリフレクタンス法による薄膜熱物性測定装置（PicoTR）を用いた。今回、サンプル厚が、GaN 層(1 μm)/SiC 基板(360～380 μm)であり、裏面加熱/表面測温ができないため、表面加熱/表面測温にて熱拡散率を計測した。PicoTR は、サンプルの加熱と測定のため、サンプル表面に Mo 等の金属膜が必要となる。サンプル表面の Mo 膜は、赤外光により加熱され反射率が変化し、反射した測温光の強度と位相が変化する。測定対象物の熱拡散率が高いほど、Mo 膜の温度が早く元に戻り、反射した測温光の強度と位相が早く元に戻る。その時間変化を最速 1 ps の時間分解能で測定し、解析することにより、熱拡散率を算出している。

得られた温度履歴曲線から算出した、各サンプルの熱伝導率および層間の界面熱抵抗を表⑥-3 に示す。各数値は GaN の熱伝導率を除いて、J.W.Pomeroy らの報告と良く一致しており[4]、本測定による薄膜評価の妥当性を裏付けている。一方、GaN の熱伝導率が低下した理由については、GaN を成長する際に中間層として用いた AlGaN 層の影響を受けたものと推察している。

表⑥-3　SiC 基板および GaN 層/SiC 基板の熱伝導率と界面熱抵抗

サンプル	Mo/SiC, Mo/GaN 界面熱抵抗 R m^2K/W	GaN 熱伝導率 λ W/(m･K)	GaN 熱抵抗 R m^2K/W	GaN/SiC 界面熱抵抗 R m^2K/W	SiC 熱伝導率 λ W/(m･K)
Mo/SiC 基板	3.3×10^{-9}	NA	NA	NA	420
Mo/GaN 層/ SiC 基板	4.5×10^{-9}	88	1.1×10^{-8}	1.6×10^{-8}	420

平成 29 年度は、周期加熱法を用いて実際に接合した SiC/ダイヤモンドの熱抵抗評価を実施した。周期加熱法は伝播される熱を加熱部の反対側で測定し、温度伝達の位相差の周波数依存から熱拡散率を求める手法である。本検討では、得られた熱拡散率と比熱、密度の物性値からサンプルの熱抵抗を導出する。サンプルには SiC 基板、ダイヤモンド基板、および、SAB 接合した SiC/ダイヤモンドを用いた。表面活性化接合した SiC/ダイヤモンドの熱抵抗と SiC およびダイヤモンドそれぞれの熱抵抗の差分から、SiC/ダイヤモンド界面熱抵抗 6.72×10^{-8} m^2K/W を算出した。

また、統合デバイス（最終試作（I））の熱抵抗を実測し、シミュレーションとの整合性を検証するため、統合デバイス（最終試作（I））構造に近い InGaN バックバリアを有する結晶の熱パラメータも取得した。(表⑥-4)

表⑥-4　SiC 基板および GaN 層/SiC 基板の熱伝導率と界面熱抵抗

サンプル	Mo/SiC, Mo/GaN 界面熱抵抗 R m^2K/W	GaN 熱伝導率 λ W/(m･K)	GaN 熱抵抗 R m^2K/W	GaN/SiC 界面熱抵抗 R m^2K/W
InGaN バック バリア構造	9.0×10^{-9}	140	1.0×10^{-8}	9.0×10^{-9}

⑥－５　実測した熱パラメータを用いた高放熱構造設計

平成 29 年度は、平成 28 年度に取得した SiC やダイヤモンド膜等の熱パラメータを用いた熱シミュレーションを行い、実現可能なデバイス構造における放熱の最適化を図った。さらに熱抵抗を従来構造から 30%低減するために必要な SiC/ダイヤモンドの界面熱抵抗を熱シミュレーションにより見極め、接合プロセス技術にフィードバックを行った。

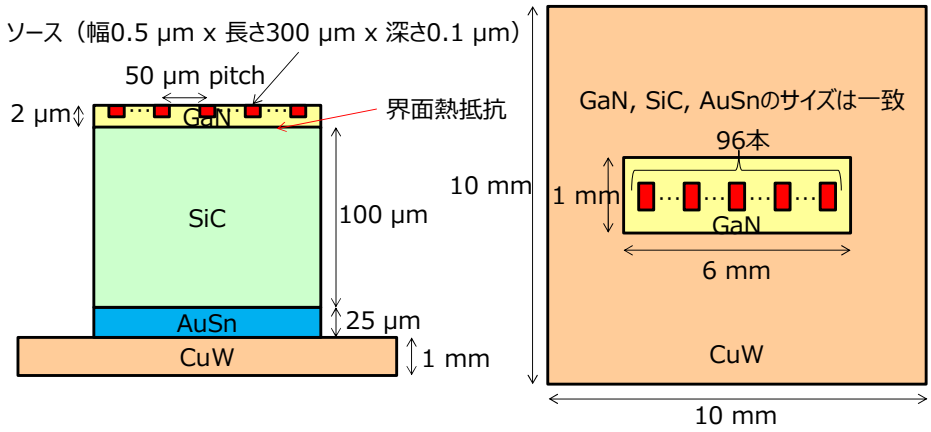
図⑥-16 は、シミュレーションした GaN HPA on SiC 現行構造である。GaN, SiC, AuSn, CuW の膜厚は、それぞれ 2, 100, 25, 1000 μm に固定した。一方、図⑥-17 は、シミュレーションした GaN HPA on SiC/ダイヤ接合構造である。GaN, Diamond, AuSn, CuW の膜厚は、それぞれ 2, 300, 25, 1000 μm に固定し、SiC の膜厚はシミュレーション毎に 30～100 μm の範囲で変化させた。チップサイズは 1 mm×6 mm の長方形で、ダイヤモンドおよび CuW ベース材サイズは 10 mm×10 mm×1 mm t の正方形とした。発熱領域はゲート長 0.5 μm×ゲート幅 0.3 mm×深さ 0.1 μm とし、GaN 層内に設定した。ここで、入力電力（P_{in}）は約 25 dBm（0.3 W）で、出力電力（P_{out}）288 W よりも十分小さいので無視し、発熱量（P_{diss}）は以下に定義した。

$$P_{diss} = P_{DC} - P_{out} = P_{out}\times(1/\eta_D - 1)$$

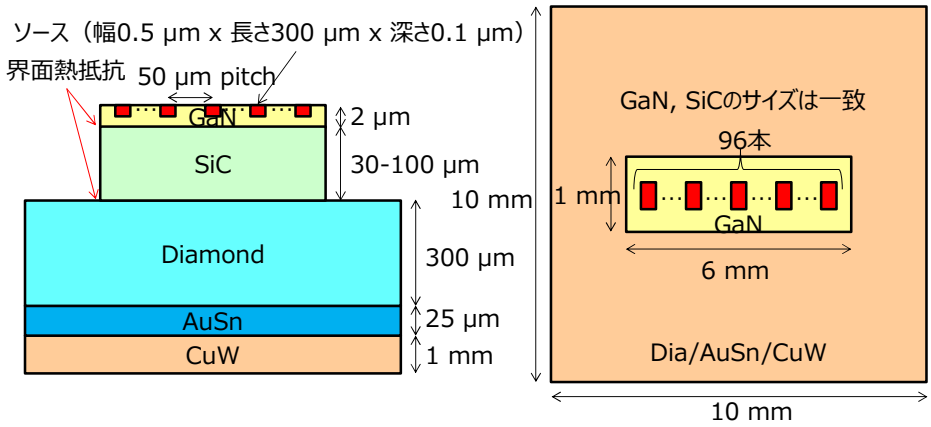
P_{DC}：直流電力、η_D：ドレイン効率

このため、出力密度 10 W/mm（出力 288 W）でドレイン効率 60%の場合、ゲート 1 本当たりの発熱量を 2 W とした。また、ゲート数は 96 本で、ゲート-ゲート間距離を 50 μm とし、チップ中央に配置した。

表⑥-5 は、現行構造および GaN HPA on SiC/ダイヤ接合構造シミュレーションに用いたパラメータを示す。GaN, SiC の熱伝導率および GaN/SiC 界面熱抵抗は、GaN/SiC 構造の熱分析測定から求めた 88, 420 W/mK、および、$1.6\text{x}10^{-8}$ m^2K/W とした。一方、AuSn, CuW の熱伝導率は、参考文献[4-7]の 57, 200 W/mK を用いた。環境は空気, 30℃, 1 気圧で、ベース材底面温度を 27℃一定とした。



図⑥-16 GaN HPA on SiC 現行構造



図⑥-17 GaN HPA on SiC/ダイヤモンド接合構造

表⑥-5 現行構造およびGaN HPA on SiC/ダイヤ構造シミュレーションのパラメータ

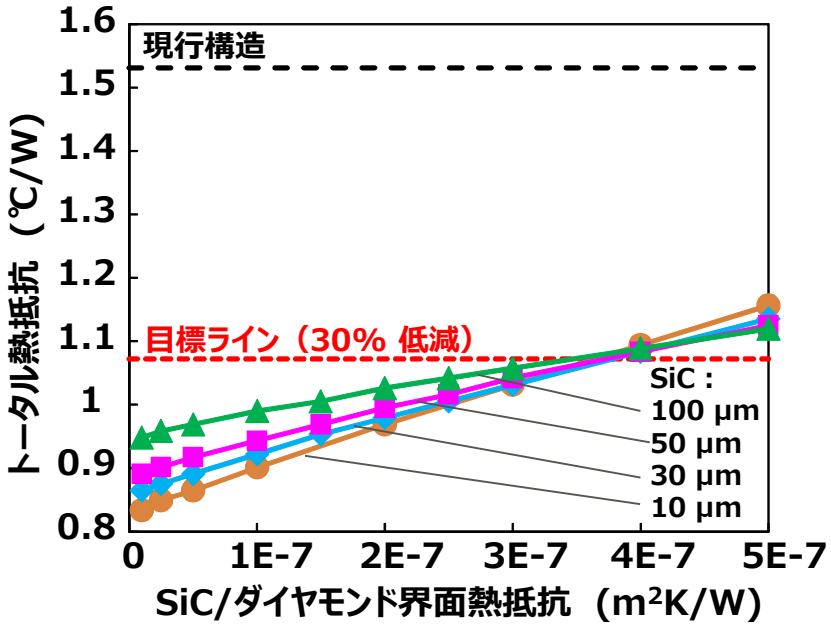
パラメータ	GaN	GaN/SiC	SiC	SiC/Dia	Diamond	AuSn	CuW
熱伝導率 (W/mK)	88(※)	NA	420(※)	NA	2000	57	200
界面熱抵抗 (m^2K/W)	NA	$1.6x10^{-8}$(※)	NA	$1x10^{-8}$ ～ $5x10^{-7}$	NA	NA	NA
比熱(J/KgK)	490	NA	690	NA	520	151	180
密度(g/cm^3)	6.15	NA	3.21	NA	3.515	14.52	15.65

※熱分析評価による測定値（表⑥-3 より）

図⑥-18 は、GaN HPA トータル熱抵抗の SiC/ダイヤモンド界面熱抵抗依存性の SiC 膜厚比較を示している。GaN HPA トータル熱抵抗は、温度差分（最高温度-ベースプレート温度 27℃）/発熱量（192 W）とした。現行構造のトータル熱抵抗（点線：黒）は 1.53℃/W で、熱抵抗 30%低減の目標値（点線：赤）は 1.07℃/W である。

SiC/ダイヤモンド界面熱抵抗が 4E-7 m^2K/W より小さい場合、SiC 膜厚が薄くなるとともにトータル熱抵抗は低減する。一方、SiC/ダイヤモンド界面熱抵抗が 4E-7 m^2K/W より大きくなると、SiC 膜厚が薄くなるとともにトータル熱抵抗は増大する。SiC/ダイヤモンド界面熱抵抗が 4E-7 m^2K/W より小さい場合、できる限り速く熱をダイヤモンドに到達させ、ダイヤモンドで熱を横に拡げた方が有効と考えられる。一方、SiC/ダイヤモンド界面熱抵抗が 4E-7 m^2K/W より大きい場合、SiC/ダイヤモンド界面到達前に SiC 層内で熱を十分横に拡げた方が有効と考えられる。ダイヤモンドヒートスプレッダを用いることにより現行構造よりもトータル熱抵抗は大幅に低減できるが、SiC/ダイヤモンド界面熱抵抗により SiC 厚に対して高放熱構造設計の指針が異なることがわかった。

実際に SAB 接合した最新の SiC/ダイヤモンド界面熱抵抗は 6.72E-8 m^2K/W であることから、288 W 級 GaN HPA のトータル熱抵抗の 30%低減は実現可能である。

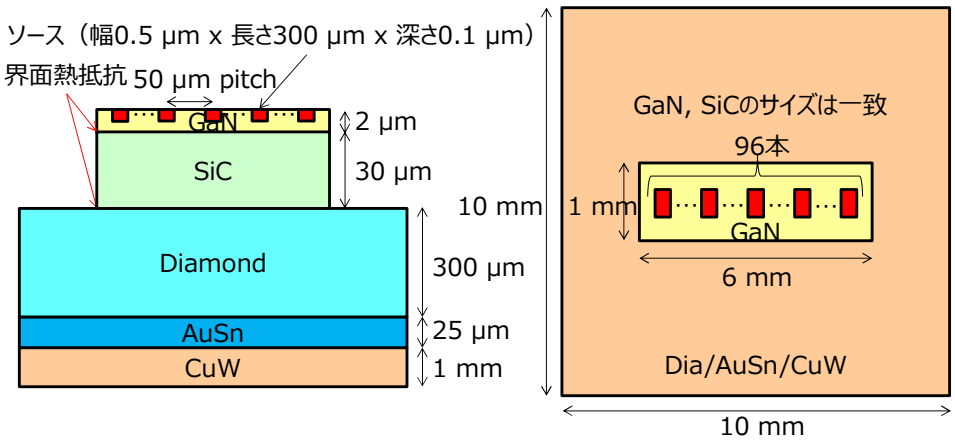


図⑥-18　GaN HPA トータル熱抵抗の SiC/ダイヤ界面熱抵抗依存性の SiC 膜厚比較

本研究では単結晶ダイヤモンド基板を使用しているが、大面積化・低コスト化のためには多結晶ダイヤモンド基板を利用できることが望ましい。しかしながら、多結晶ダイヤモンド基板は、一般的に単結晶ダイヤモンド基板と比べて熱伝導率が低い。そのため、熱伝導率の異なるダイヤモンド基板との接合した GaN HPA トータル熱抵抗の SiC/ダイヤモンド界面熱抵抗依存性を検証した。

図⑥-19 は、シミュレーションした GaN HPA on SiC/ダイヤ接合構造を示している。表⑥-6 は、GaN HPA on SiC/ダイヤ接合構造シミュレーションに用いたパラメータを示す。GaN, SiC の熱伝導率および GaN/SiC 界面熱抵抗は、GaN/SiC 構造の熱分析測定から求めた 88, 420 W/mK、および、1.6×10^{-8} m^2K/W とした。一方、AuSn, CuW の熱伝導率は、参考文献[4-7]の 57, 200 W/mK を用いた。環境は空気, 30℃, 1 気圧で、ベース材底面温度を 27℃一定とした。

図⑥-20 は、GaN HPA トータル熱抵抗における SiC/ダイヤモンド界面熱抵抗依存性のダイヤモンド熱伝導率比較を示している。結果として、SiC/ダイヤモンド界面熱抵抗が 1E-7 m^2K/W より小さい場合、ダイヤモンド熱抵抗率が 1000 W/mK であっても、288 W 級 GaN HPA のトータル熱抵抗の 30%低減は実現可能である。これにより、大面積化・低コスト化可能な多結晶ダイヤモンド基板を利用することも視野にいれることができる。多結晶ダイヤモンド基板の課題としては、SAB 接合に必要な表面平坦性(Ra<0.1～0.3 nm)が得られるかどうかである。

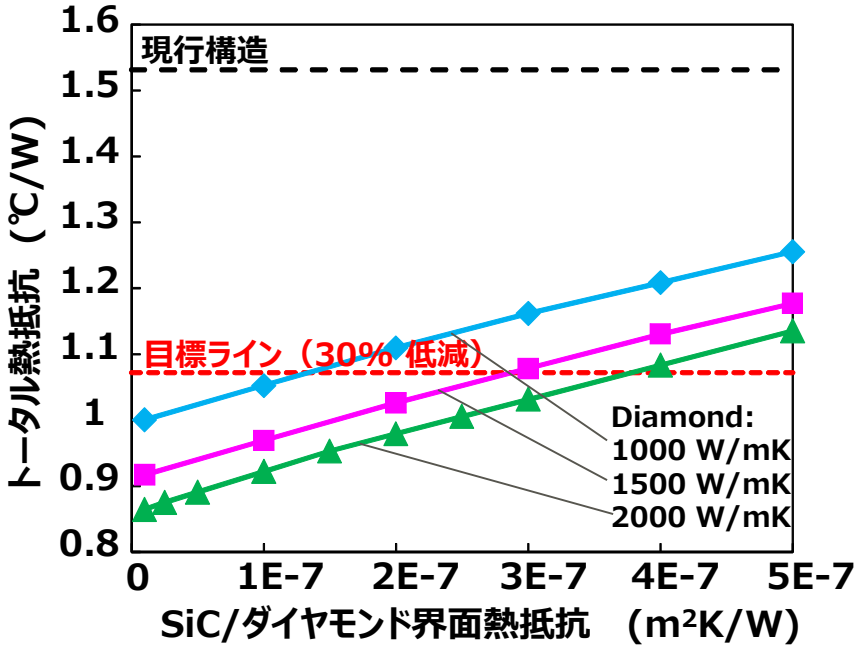


図⑥-19 GaN HPA on SiC/ダイヤ接合構造

表⑥-6　現行構造および GaN HPA on SiC/ダイヤ構造シミュレーションのパラメータ

パラメータ	GaN	GaN/SiC	SiC	SiC/Dia	Diamond	AuSn	CuW
熱伝導率 (W/mK)	88(※)	NA	420(※)	NA	1000, 1500, 2000	57	200
界面熱抵抗 (m^2K/W)	NA	$1.6x10^{-8}$(※)	NA	$1x10^{-8}$ ～ $5x10^{-7}$	NA	NA	NA
比熱 (J/KgK)	490	NA	690	NA	520	151	180
密度(g/cm^3)	6.15	NA	3.21	NA	3.515	14.52	15.65

※熱分析評価による測定値（表⑥-3 より）

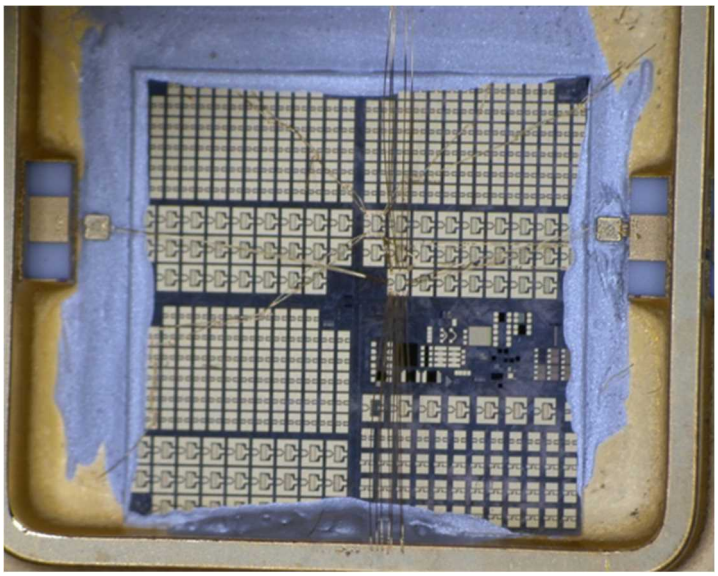


図⑥-20 GaN HPA トータル熱抵抗の SiC/ダイヤモンド界面熱抵抗依存性
（ダイヤモンド熱伝導率比較）

⑥－６　統合デバイス（最終試作（I））の熱シミュレーション整合性検証

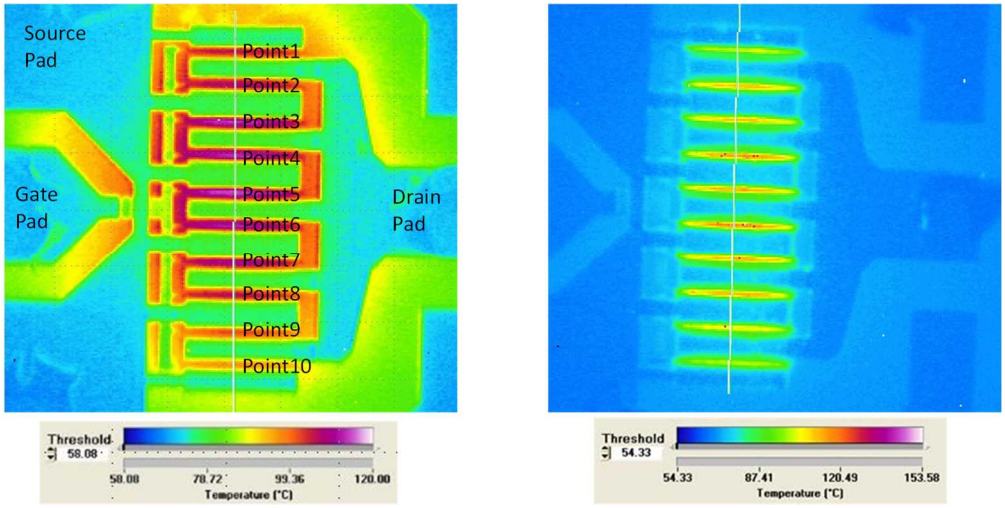
赤外線（IR）顕微鏡を用いて統合デバイス（最終試作（I））の熱分布評価を実施した。サンプルを銀ペーストでパッケージに実装し、各電極にワイヤーボンディングを行い結

線する。その後、60℃に加熱したステージ上にサンプルをセットし、DC パワーを印加し、発熱量を測定する。赤外線による温度評価は材料（表面）の放射率に大きく依存するため、黒体スプレーなどをサンプルに塗布し放射率を１に近づけることが必要であるが、その後の評価に支障があるため今回はサンプルをそのまま評価している(図⑥-21)。



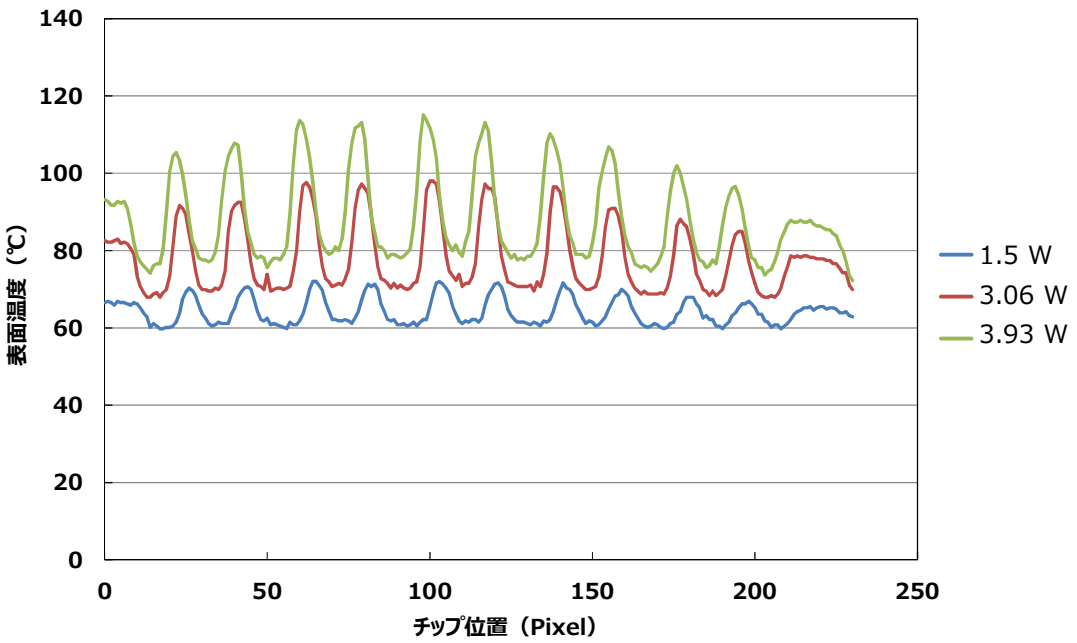
図⑥-21 IR 評価サンプル

図⑥-22 は、IR 評価による統合デバイス(最終試作(I))表面の熱分布を示している。デバイスのディメンジョンは、ゲート長 0.5 μm、ゲート幅 100 μm、ゲート間距離 30 μm、ゲート本数 10 本となっている。IR 評価の空間分解能は約 1.5 μm/Pixel である。図⑥-23 は、印加した DC 電力における現行構造のゲート幅中央部表面温度の熱分布を示している。図⑥-24 は、図⑥-22 の中央の最大表面温度の DC 電力依存性である。IR 評価ではステージ温度を 60℃まで加温して、それよりも上昇した温度を計測しているが、ダイヤモンド接合構造では、印加した DC 電力が低い場合（<5 W）に温度上昇が小さすぎるため、精度のある熱抵抗評価が難しいと思われる。このため、現行構造よりも高い DC 電力（>5 W）を印加して評価した。結果として、現行構造の熱抵抗は 17.6℃/W、ダイヤモンド接合構造の熱抵抗は 5.95℃/W と 1/3 程度まで低減することがわかった。しかしながら、IR 評価は空間分解能が低く、放射率の影響を受けやすいことから、3D 熱シミュレーションによる検証を行った。

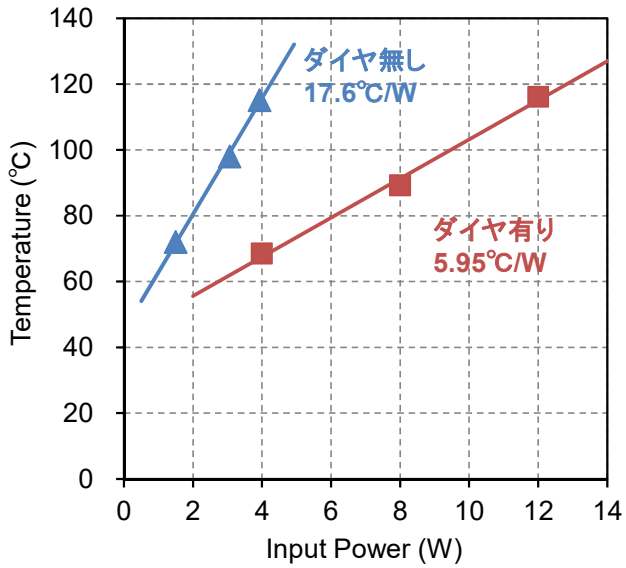


現行構造（DC 電力 3.93 W）　　ダイヤモンド接合構造（DC 電力 12 W）

図⑥-22　IR 評価による統合デバイス（最終試作（I））熱分布

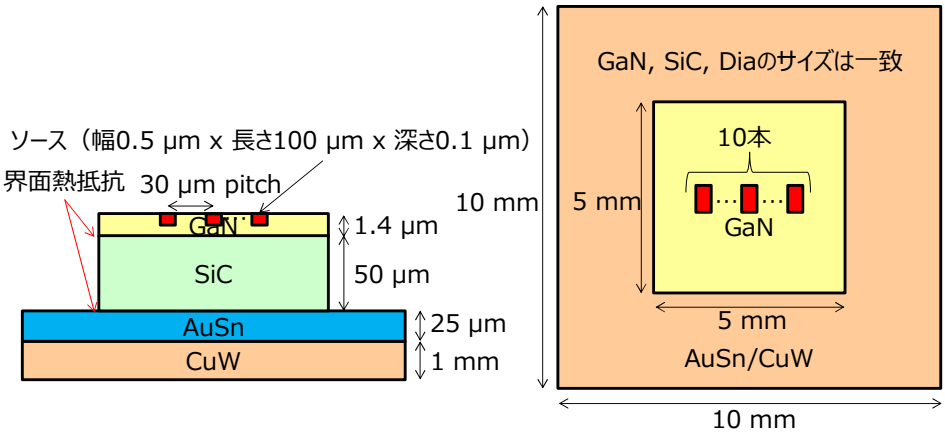


図⑥-23　IR 評価による現行構造のゲート幅中央部の表面温度分布の DC 電力依存性

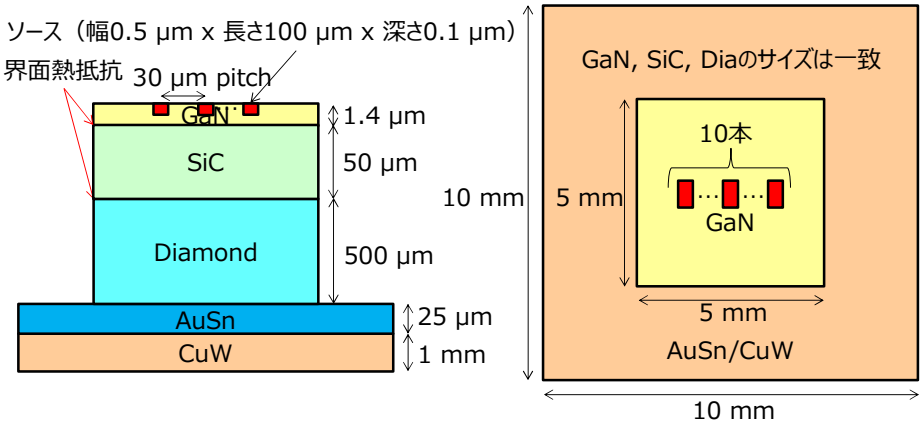


図⑥-24　マルチゲート中央の最大表面温度の DC 電力依存性

図⑥-25 は、シミュレーションした GaN HPA on SiC 現行構造である。一方、図⑥-26 は、シミュレーションした GaN HPA on SiC/ダイヤモンド接合構造である。GaN, SiC, Diamond, AuSn, CuW の膜厚は、それぞれ 1.4, 50, 500, 25, 1000 μm に固定した。チップサイズは Diamond チップに合わせて 5 mm×5 mm の長方形で CuW ベース材サイズは 10 mm ×10 mm×1 mm t の正方形とした。ゲート-ゲート間距離 30 μm で、10 か所の発熱領域（長さ 0.5 μm×幅 0.1 mm×深さ 0.1 μm）を GaN 層内に設定した。ここで、発熱量は実際に投入した DC 電力とし、ゲート 1 本当たりの発熱量をそれぞれ 0.393 W, 1.2 W とした。表⑥-7 は、現行構造および GaN HPA on SiC/ダイヤモンド接合構造シミュレーションに用いたパラメータを示す。GaN, SiC の熱伝導率および GaN/SiC 界面熱抵抗は、GaN/SiC 構造の熱分析測定から求めた 140, 420 W/mK、および、9×10^{-9} m^2K/W とした。一方、AuSn, CuW の熱伝導率は、参考文献[4-7]の 57, 200 W/mK を用いた。環境は空気, 30℃, 1 気圧で、ベース材底面温度を IR 評価時のステージ温度と同じ 60℃一定とした。



図⑥-25 GaN HPA on SiC 現行構造



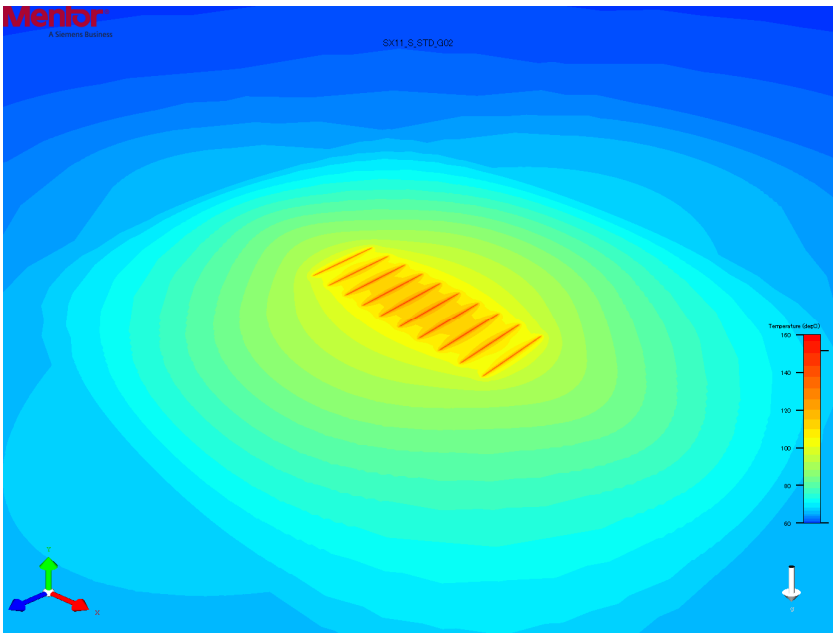
図⑥-26 GaN HPA on SiC/ダイヤ接合構造

表⑥-7 現行構造および GaN HPA on SiC/ダイヤ接合構造シミュレーションのパラメータ

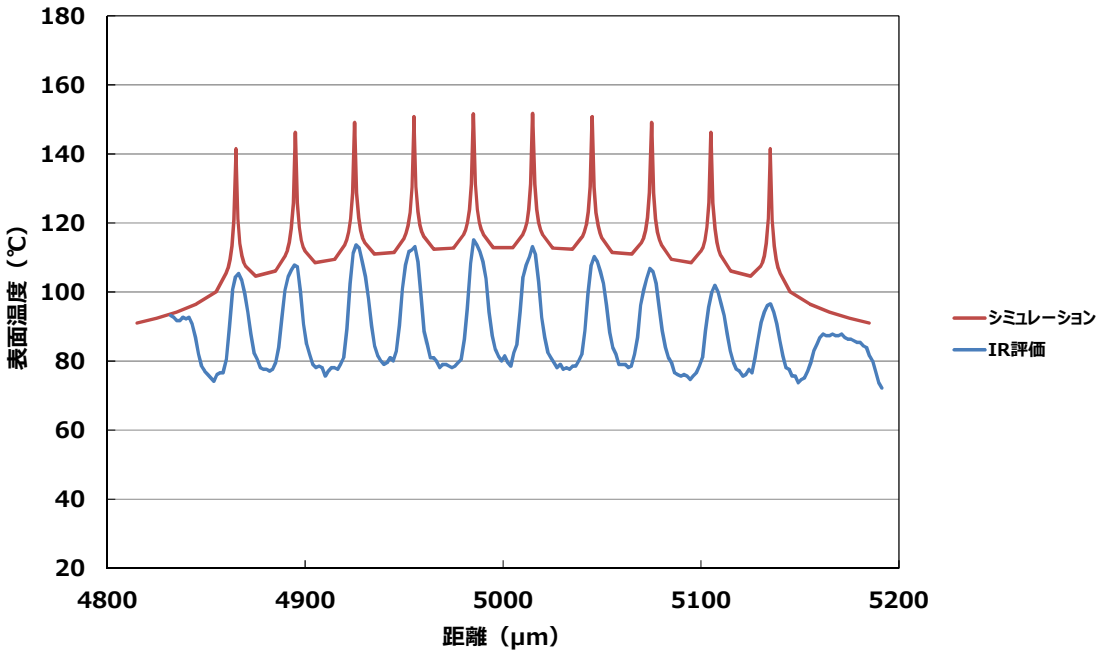
パラメータ	GaN	GaN/SiC	SiC	SiC/Dia	Diamond	AuSn	CuW
熱伝導率 (W/mK)	140(※)	NA	420(※)	NA	2000	57	200
界面熱抵抗 (m^2K/W)	NA	$9x10^{-9}$(※)	NA	$7x10^{-8}$	NA	NA	NA
比熱(J/KgK)	490	NA	690	NA	520	151	180
密度(g/cm^3)	6.15	NA	3.21	NA	3.515	14.52	15.65

※熱分析評価による測定値（表⑥-4 より）

図⑥-27 は、シミュレーションした現行構造の熱分布（60～160℃スケール表示）を示している。また、図⑥-28 は、シミュレーションと IR 評価による現行構造のゲート幅中央部表面温度の比較を示している。結果として、ピーク位置でシミュレーションと IR 評価の温度差が、平均約 40℃と非常に大きいことがわかった。実際のデバイスでは GaN 表面に SiN パッシベーション膜や金属電極・配線が存在し、IR 評価ではその最表面からの放射温度を測定している。また、SiN パッシベーション膜の最表面は GaN 層に存在する真の熱源から離れており、さらに金属電極・配線は熱を伝導することが考えられる。そこで、上述の現行構造に対して、SiN パッシベーション膜と金属電極・配線を施した、実物により近い現行構造での熱シミュレーションを実施した。表⑥-8 に、シミュレーションに用いた SiN パッシベーション膜、金属電極・配線のパラメータを示す。



図⑥-27 シミュレーションした現行構造（発熱量 3.93 W）の熱分布
（60～160℃スケール表示）

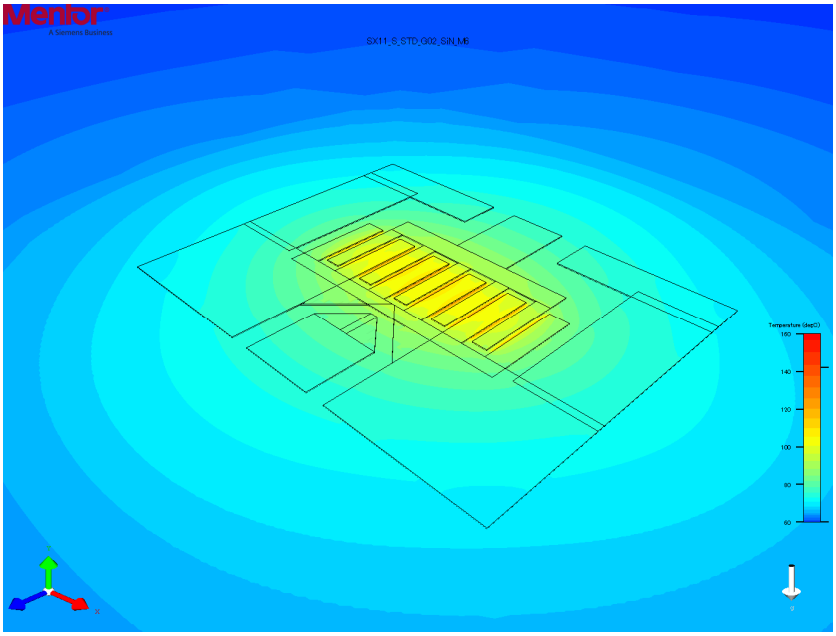


図⑥-28 シミュレーションと IR 評価による現行構造（発熱量 3.93 W）の表面温度比較

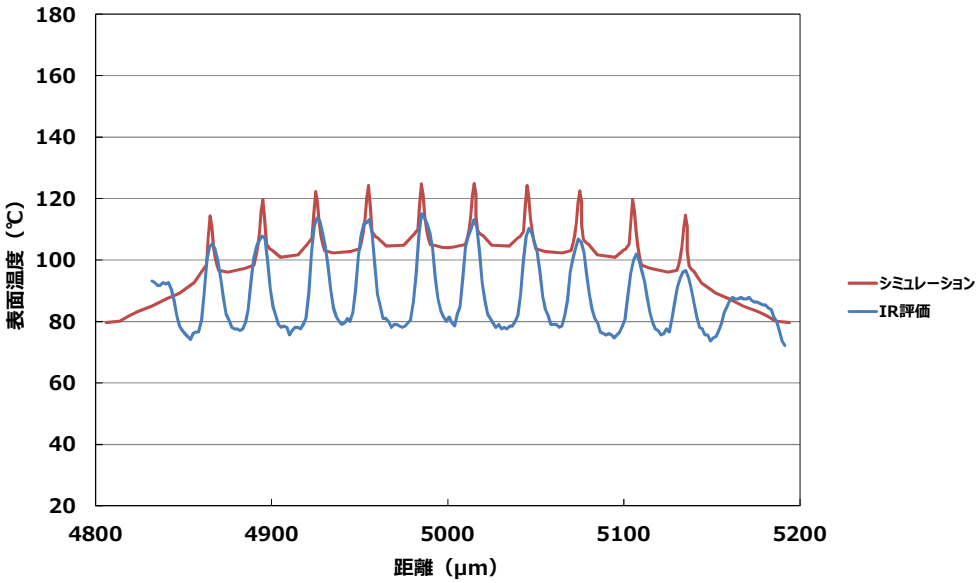
図⑥-29 は、シミュレーションした SiN パッシベーション膜と金属電極・配線を施した現行構造の熱分布（60～160℃スケール表示）である。図⑥-30 は、シミュレーションと IR 評価による SiN 膜と金属電極・配線を施した現行構造の表面温度の比較を示している。結果として、ピーク位置でシミュレーションと IR 評価の温度差は、平均 13℃に縮まることが分かった。シミュレーションにより表面ピーク温度から求めた現行構造の熱抵抗は 16.5℃/W と、IR 評価による実測値と一致している。一方、金属電極・配線上でシミュレーションと IR 評価の温度差は平均 24℃と差が大きい。金属電極・配線上は放射率の影響から温度が低く見積もられているように推測される。また、シミュレーションによれば、図⑥-31 に示すように GaN 層の温度は表面温度よりも約 17℃高く、IR では真の熱源の温度を過小評価していると推測される。

表⑥-8　SiN パッシベーション膜、金属電極・配線のパラメータ

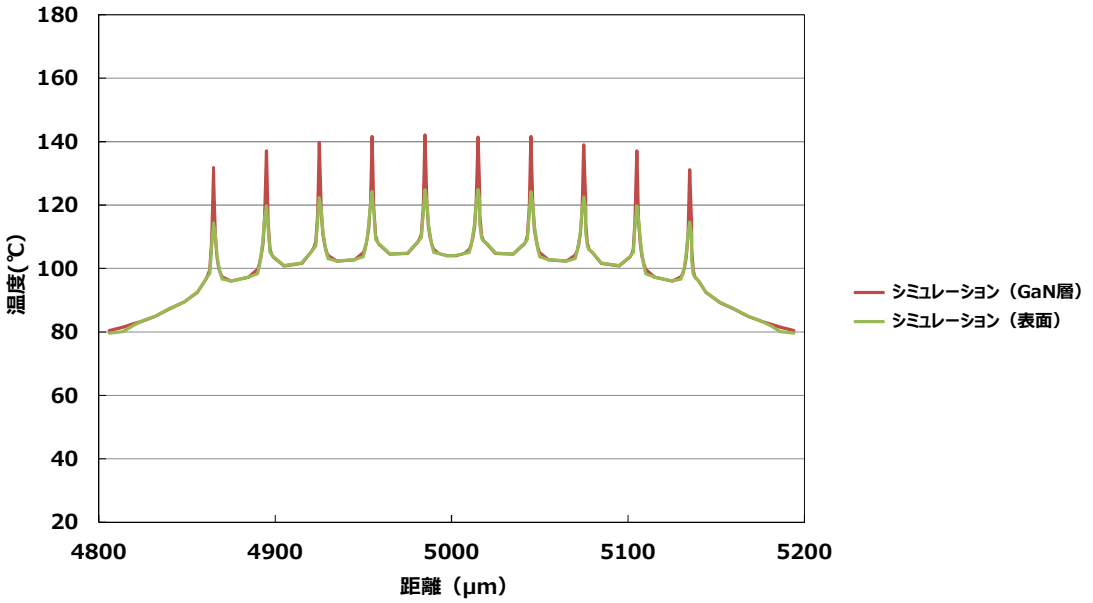
パラメータ	SiN	Al	Au
熱伝導率 (W/mK)	1.1	201	296
膜厚（μm）	1	0.5	1.5



図⑥-29 シミュレーションした SiN 膜と金属配線を施した現行構造（発熱量 3.93 W）の熱分布（60～160℃スケール表示）



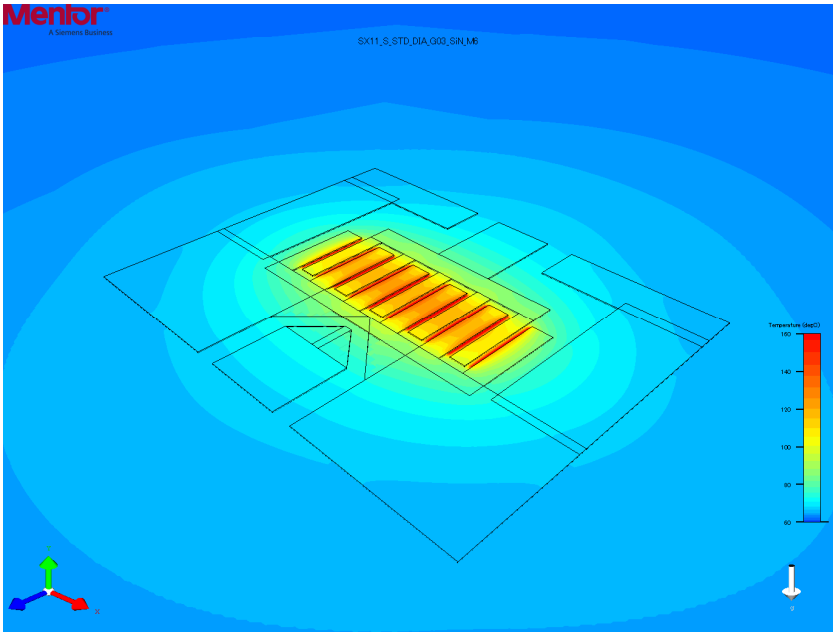
図⑥-30 シミュレーションと IR 評価による SiN 膜と金属配線を施した現行構造（発熱量 3.93 W）の表面温度比較



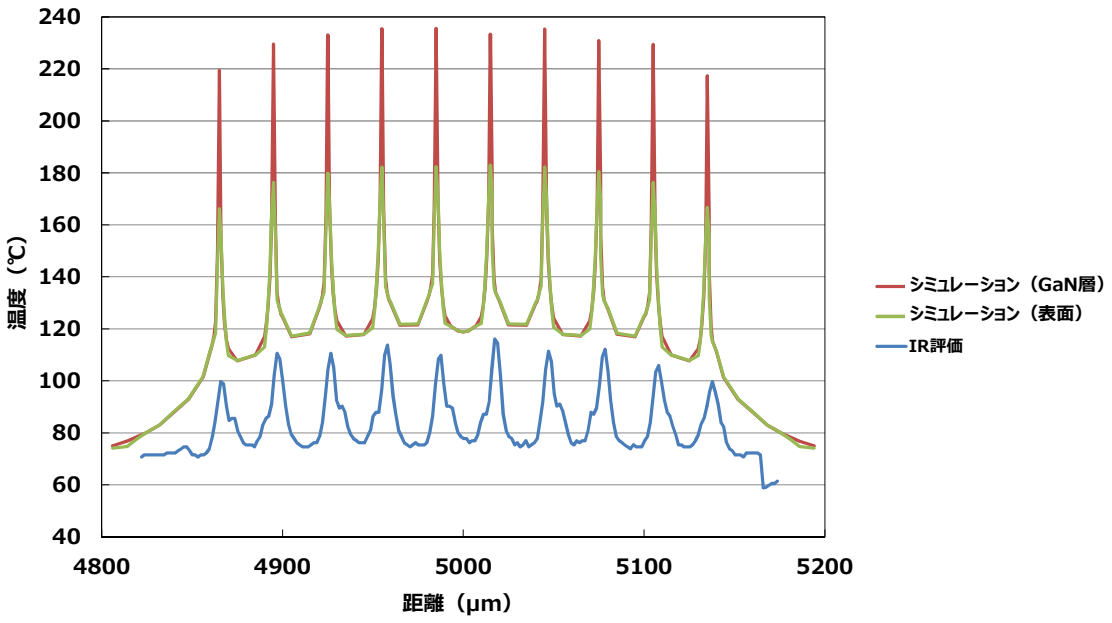
図⑥-31　シミュレーションによる SiN 膜と金属配線を施した現行構造（発熱量 3.93 W）の表面温度と GaN 層温度の比較

上述と同様に、SiN パッシベーション膜と金属電極・配線を施した、実物により近いダイヤモンド接合構造での熱シミュレーションを実施した。図⑥-32 に、シミュレーションした SiN 膜と金属配線を施したダイヤモンド接合構造（発熱量 12 W）の熱分布（60～160℃スケール表示）を示す。また、図⑥-33 は、シミュレーションによる SiN 膜と金属配線を施したダイヤモンド接合構造の表面温度、GaN 温度、IR 実測温度の比較を示している。結果として、シミュレーションにより表面温度から求めたダイヤモンド接合構造の熱抵抗は 10.3℃/W で、先にシミュレーションした現行構造より 38%低減可能であることがわかった。しかしながら、ピーク位置でシミュレーションと IR 評価の温度差は平均 69℃と非常に大きく、金属電極・配線上でシミュレーションと IR 評価の温度差も平均 41℃と上述の現行構造のシミュレーションよりも温度差が大きくなっていることがわかった。これらの要因としては、接合技術の改善による SiC/ダイヤモンド界面熱抵抗の低減、また、ワイヤーボンディングを介した熱伝導など別のルートの放熱を考慮する必要があるかもしれない。

以上のように、ダイヤモンド接合により統合デバイス（最終試作（I））の熱抵抗は、IR 評価では現行構造の 1/3、シミュレーションでは 38%低減した。ただし、ダイヤモンド接合構造のシミュレーションにおいては、定性的な傾向は一致しているが、ピーク温度には大きく差があり、他の放熱メカニズムを考える必要がある。



図⑥-32 シミュレーションした SiN 膜と金属配線を施したダイヤモンド接合構造
（発熱量 12 W）の熱分布（60～160℃スケール表示）



図⑥-33　シミュレーションによる SiN 膜と金属配線を施したダイヤモンド接合構造の
表面温度、GaN 温度、IR 実測温度の比較（発熱量 12 W）

⑥－７　まとめ

本研究の最終年度となる平成 29 年度までに、SiC/ダイヤモンド構造の界面熱抵抗依存性およびダイヤモンド基板の熱伝導率依存性の熱シミュレーションを行い、実際に SAB 接合した SiC/ダイヤモンド構造の界面熱抵抗でトータル熱抵抗を従来よりも 30%低減可能かどうかを検討した。さらに統合デバイス（最終試作（I））の SiC/ダイヤモンド接合を実施し、熱分布評価を行い、熱シミュレーション結果との整合性を検討した。

結果として、以下のことがわかった。

・実際に SAB 接合した最新の SiC/ダイヤモンド界面熱抵抗 6.72E-8 m^2K/W で、288 W 級 GaN HPA のトータル熱抵抗の 30%低減は実現可能である。

・現行構造モデルに SiN パッシベーション膜と金属電極・配線を付加することにより、シミュレーションから求めた熱抵抗は IR 評価による実測値と一致している。

・ダイヤモンド接合構造ではピーク領域でシミュレーションと IR 評価の温度差が大きく、接合技術の改善による SiC/ダイヤモンド界面熱抵抗の低減、ワイヤーボンディングを介した熱伝導等別ルートの放熱を考慮する必要がある。

・ダイヤモンド接合により統合デバイス（最終試作（I））の熱抵抗は、IR 評価では現行構造の 1/3、シミュレーションで 38%低減した。

以上のように実測した熱パラメータを用いた熱シミュレーションを行い、実現可能なデバイス構造での放熱の最適化を図った。さらに熱抵抗を従来構造より 30%低減するために必要な SiC/ダイヤモンドの界面熱抵抗を熱シミュレーションにより見極め、接合プロセス技術にフィードバックを行った。さらに統合デバイス（最終試作（I））の熱抵抗を実測し、シミュレーションとの整合性を検証した。

参考文献

[1] P. C. Chao, K. Chu and C. Creamer, CS MANTECH Conference, 179 (2013)

[2] K. Hirama, Y. Taniyasu, and M. Kasu, Appl. Phys. Lett. **98**, 162112 (2011)

[3] F. Ejeckam, D. Babić, F. Faili, D. Francis, F. Lowe, Q. Diduck, C. Khandavalli, D. Twitchen, and B. Bolliger, 2014 IEEE 30th SEMI-THERM Symposium.

[4] J. W. Pomeroy, M. Kuball, 2014 IEEE CSICs.

[5] K. K. Chu, T. Yurovchak, P. C. Chao, C. T. Creamer, 2013 IEEE CSICS.

[6] D.Altman, M. Tyhach, J. McClymonds, S. Kim, S. Graham, J. Cho, K. Goodson, D. Francis, F. Faili, F. Ejeckam and S. Bernstein, IEEE 14th ITHERM Conference, 1199 (2014)

[7] Y. Won, J. Cho, D. Agonafer, M. Asheghi, and K. E. Goodson, IEEE Transactions on Components, Packaging and Manufacturing Technology, **5**, No. 6, 737 (2015)

１．１．７　⑦接合用切削・研磨技術の開発

開発概要

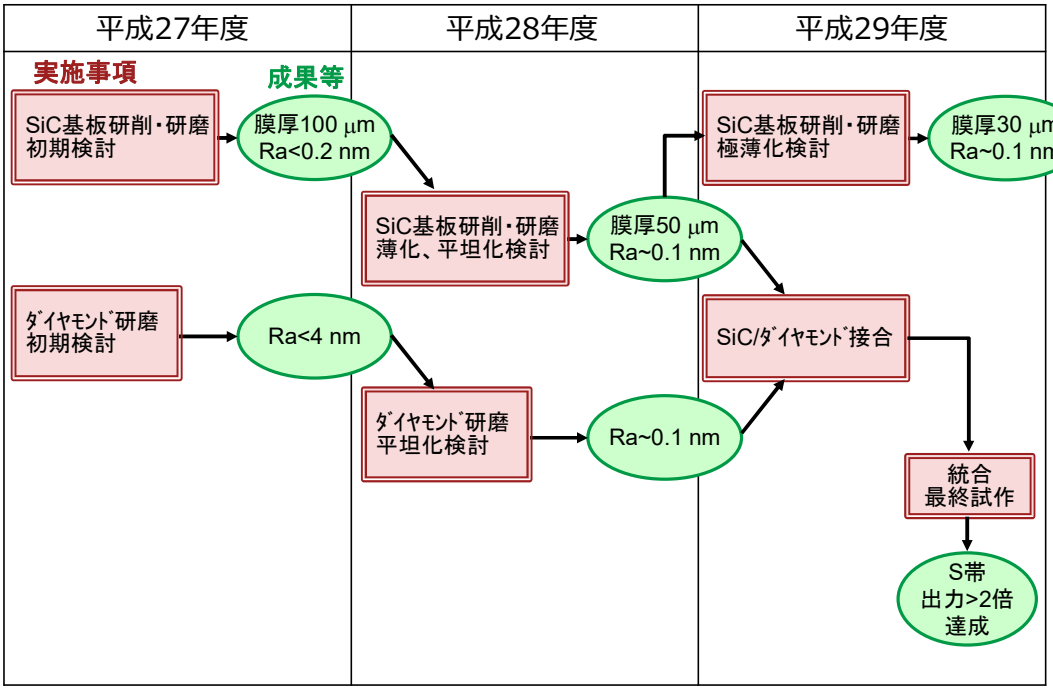
本項で報告する「⑦接合用切削・研磨技術の開発」は、熱抵抗低減に必須な SiC 基板の薄層化技術２および SiC とダイヤモンドの接合プロセスに不可欠な表面研磨技術を確立し、開発技術を「⑧接合プロセス技術開発」へ適用することでデバイスの放熱特性向上に貢することを目的とした。

本研究の概要は次のとおりである（開発フローチャート図⑦-1）。

平成 27 年度は SiC 研削・研磨およびダイヤモンドの研磨の初期検討を実施し、100 μm まで薄化した SiC において 0.2 nm 以下、ダイヤモンドにおいて 4.0 nm 以下の平均表面粗さ（Ra）を実現した。

平成 28 年度は SAB への適用を狙って SiC およびダイヤモンドの更なる平坦化を追求すると共に、放熱性の向上に有利な SiC の薄層化を行い、目標値 SiC 膜厚 50 μm, Ra　0.1 nm 以下を実現した。また、ダイヤモンドの平坦化についても CMP、機械研磨のいずれにおいても約 0.1 nm の Ra が得られ、目標値 0.3 nm 以下を達成した。

平成 29 年度は、高放熱なデバイス構造の実現を目指し、SiC 膜厚を 30 μm まで薄膜化可能な切削・研磨技術を確立した。目標とする研磨表面の Ra は 0.1 nm（AFM）である。さらに、薄化した SiC 基板端は脆弱となるため、クラックやチッピングを抑制するウェハーサポート技術を開発した。



図⑦-1 本技術の開発フローチャート

⑦－１　本技術の開発意義

デバイスの高出力化にはIn系HEMTの適用・改善やオーミック電極技術の向上などに加え、発熱量の増加を緩和する放熱の構造設計が重要となる。ダイヤモンドは熱伝導率が2000 W/mKと極めて高く、比較的熱伝導率の高いSiC(400 W/mK)と比べても5倍程度ある。そのため、ダイヤモンドをヒートスプレッダとして用いたGaN on ダイヤモンドは高放熱技術として有力な構造であり、主にDARPA(Defense Advanced Research Projects Agency)等で先行研究が行われている[1-4]。GaN on ダイヤモンドの作製方法としてはダイヤモンド上へのGaN成長[2]、ダイヤモンド貼り合わせ[3,4]等が報告されているが、本研究では高品質なInAlN系エピ構造を使いこなす必要があるため、低温でのダイヤモンド貼り合わせ技術の適用が望ましい。しかしながら、従来のダイヤモンド貼り合わせ技術にはGaNとダイヤモンドとの界面に数10 nmのDielectric Layerの接合層が用いられるため、その界面での熱抵抗が懸念される。

本研究では、GaNチップとダイヤモンドを直接接合させることで低い界面熱抵抗の実現を狙い、そのための表面活性化接合 SAB(Surface Activated Bonding)法の検討を開始した。SAB法はArのFAB (Fast Atomic Beam) あるいはArイオンビームを照射して物質表面を活性化し、活性化面同士を高真空中で常温接合させる手法である。SAB法を適用するには接合面を平滑にすることが必須であることから、SiC研削・研磨およびダイヤモンドの研磨検討を実施した。

⑦－２　実験手法

⑦－２－１　SiC切削、研磨

本研究において、SiC研削は当社所有2軸自動グラインダー装置を用いて荒研削、仕上げ研削を行った。砥石番手は、荒研削#1500、仕上げ研削#30000である。スピンドルの送りレート，回転数およびステージの回転数は、荒研削の場合、20 μm/min, 1200 rpm, 50 rpm , 仕上げ研削の場合、5 μm/min, 600 rpm, 25 rpmとした。まず、残し膜厚130 μmまで荒研削を行った後、残し膜厚100 μmまで仕上げ研削を行った。さらに残し膜厚100 μmから75 μmまで研削した際には、10 μm荒研削後、15 μm仕上げ研削を行った。それ以降は仕上げ研削のみで処理した。その後、化学機械研磨 (Chemical Mechanical Polishing：CMP) は当社所有CMP装置でSiC専用スラリーを用い、処理した。プラテン/ウェハの回転数は、60/61 rpmである。本CMPではSiCはほとんど削れない。最後に当社所有スクラブ洗浄装置で洗浄液を用いて研磨面をスクラブ洗浄した。研削後、レーザー顕微鏡を用いてSiC膜厚の面内分布を評価した。また、CMP後、原子間力顕微鏡 (Atomic Force Microscope：AFM) にて評価した。

⑦－２－２　ダイヤモンド研磨

一般的に基板表面には多量の異物が付着しており研磨前に洗浄が必要である。特にダイヤモンド表面の異物はアセトンや NMP 等の有機洗浄では除去できず、外部メーカのチップ洗浄機（中性洗浄液を流しながらブラッシング）でも洗浄効果を確認できなかった。

様々な洗浄手法による効果を検証した結果、唯一 CMP 後洗浄機で洗浄効果が認められたことから、全ての試料の研磨前後にこの洗浄機の工程を用いた。ダイヤモンドの研磨は SiC-CMP 用のスラリーを用いて CMP を行った。CMP においては広域な凹凸や深い凹凸を平坦化することが困難であったことから、機械研磨も検討した。ダイヤモンド研磨はプロセス条件を選定した後、外注加工にて機械研磨作業を行った。研磨前後のラフネスは AFM で評価を行った。また、最終的なデバイスではチップ面積以上の接合が要求されることから光学測定による広域面積での三次元プロファイルも併せて取得した。

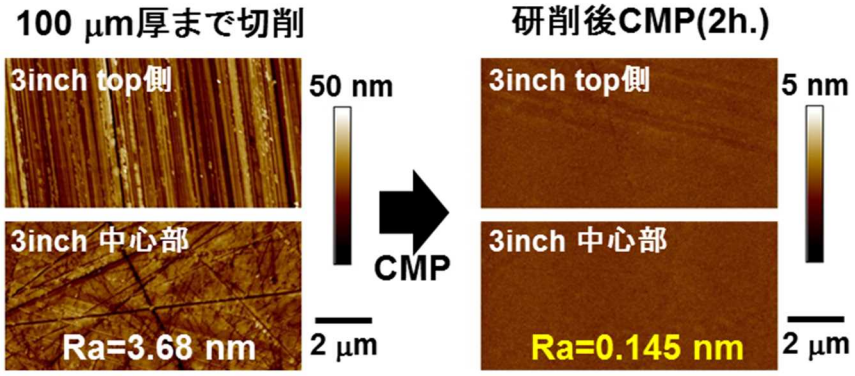
⑦－２－３　ウェハーサポート

SiC を 30 μm まで薄化した際にクラックやチッピングが発生することが懸念されるため、形状の異なる 2 種類のウェハエッジトリミング加工を施した。ウェハエッジを SEM で観察した後、4inch サファイアサポートキャリアに接着剤で 3inch SiC 基板を貼り付けた。研削面は C 面である。

⑦－３　結果と考察

⑦－３－１　SiC 基板研削・研磨

平成 27 年度には SiC 研削・研磨の初期検討を実施した。３インチ SiC 基板を厚さ 100 μm まで薄層化した表面のラフネスは、AFM 計測による Ra で 3.68 nm であった。高いラフネスは中心部の切削痕に起因するため、中心エリアにおける CMP について研磨時間延長による最適化を実施した。その結果、研磨時間を 2 時間以上とすることで、設定目標である 0.2 nm 以下の Ra を実現できることがわかった。図⑦-2 に CMP 前後における SiC 表面ラフネスの比較を示す。

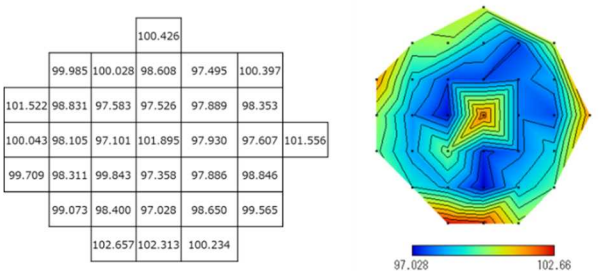


図⑦-2　CMP 前後における SiC 表面ラフネスの比較

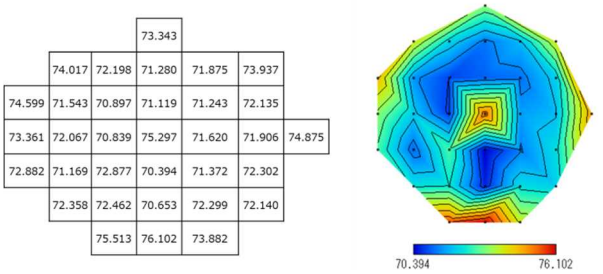
平成 28 年度には SAB への適用を狙って SiC およびダイヤモンドの更なる平坦化を追求するとともに、放熱性の向上に有利な SiC の薄層化を行い、目標値 SiC 膜厚 50 μm, Ra 0.1 nm 以下を実現した。

図⑦-3 は研削後にレーザー顕微鏡で評価した SiC 基板厚の面内分布を示している。また、表⑦-1 は研削後の SiC 膜厚面内分布まとめである。狙いの SiC 基板厚は 100, 75, 50 μm である。結果として、SiC 膜厚の平均値は狙い値に対して±2.5 μm の範囲となっている。さらに、SiC 膜厚による高低差(Range)の変化はほとんどなく 5.6 μm±0.13 μm で、均一に研削できていることがわかった。このため、SiC 膜厚が薄くなると膜厚の面内分布が悪く見えるのは SiC 膜厚の絶対値が小さくなっているためである。しかしながら、SiC 膜厚 50 μm まで均一に研削できることがわかった。さらに、図⑦-4 は SiC 基板の CMP 後表面 AFM 像で、表⑦-2 は AFM 評価まとめである。Ra はいずれも 0.1 nm 未満となっている。

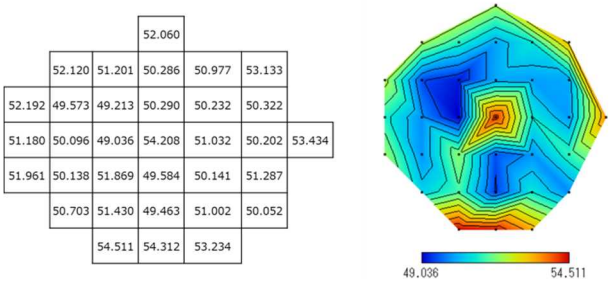
SiC 膜厚 50 μm までの研削・CMP では、SiC 基板のクラックやエッジチッピング等もほとんど見られなかったが、図⑦-5 に示すように、基板エッジは、さらなる薄化とともにナイフ形状となるため、チッピングやクラックが入りやすいことが懸念される。



(a)100 μm 厚（研削後）



(b)75 μm 厚（研削後）

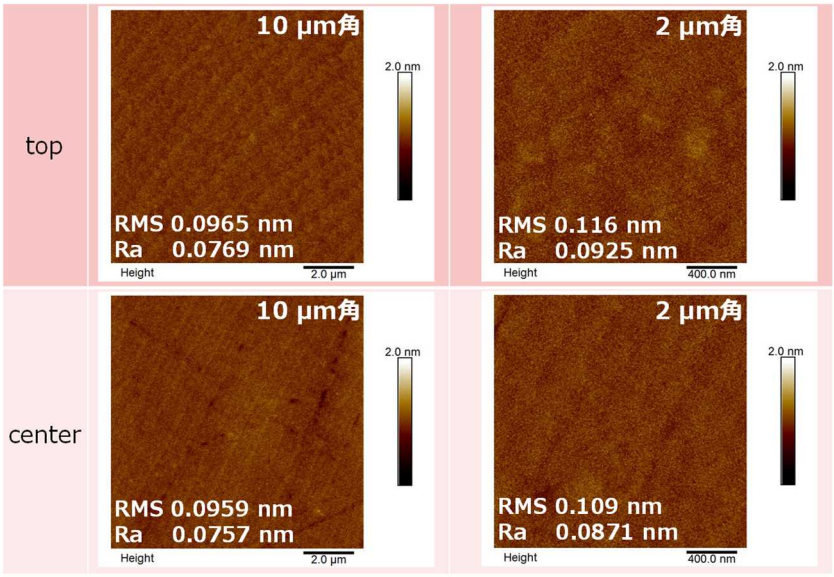


(c)50 μm 厚（研削後）

図⑦-3 SiC 基板厚の面内分布

表⑦-1 研削後の SiC 膜厚面内分布まとめ

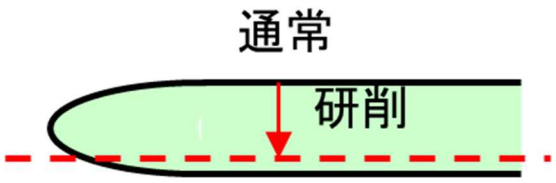
	100 μm 狙い	75 μm 狙い	50 μm 狙い
Average.(μm)	99.174	72.562	51.226
Max.(μm)	102.657	76.102	54.511
Min.(μm)	97.028	70.394	49.036
Unif.(%)	2.838	3.933	5.344
Range.(μm)	5.629	5.708	5.475



図⑦-4　CMP 後 SiC 基板表面 AFM 像

表⑦-2 CMP 後 SiC 表面の AFM 評価まとめ

	Center		Top	
	10 μm 角	2 μm 角	10 μm 角	2 μm 角
RMS (nm)	0.0956	0.109	0.0965	0.116
Ra (nm)	0.0757	0.0871	0.0769	0.0925



図⑦-5 基板エッジ概略図

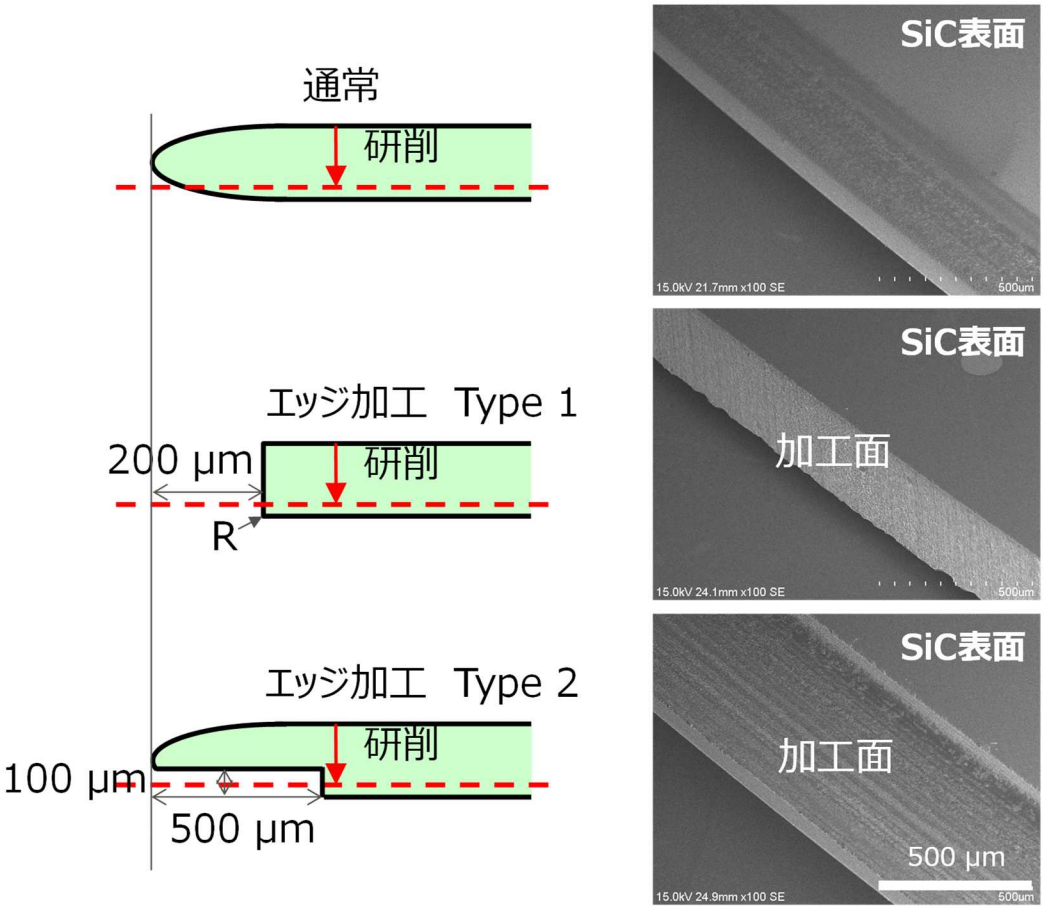
そこで、最終年度となる平成 29 年度は、クラックやチッピングを抑制するウェハーサポート技術を開発し、ウェハエッジトリミング加工を行った SiC 基板について 30 μm 厚までの研削・CMP を実施した。

図⑦-6 は、研削前の SiC 基板のエッジトリミング加工形状と SEM 像である。2 種類のエッジトリミング加工形状は Type1, 2 とし、Type1 は SiC 基板エッジを垂直形状に 200 μm トリミング加工を、Type2 は表面側基板エッジを階段形状に深さ 100 μm, 幅 500 μm にトリミング加工を施した。これにより SiC 膜厚 100 μm 未満になるまで研削した際に SiC 基板エッジ形状はナイフ状にはならない。

上述のエッジトリミング加工を施した SiC 基板を膜厚 30 μm まで研削した後の膜厚面内分布を表⑦-3 にまとめる。結果として、SiC 膜厚の平均値は狙い値に対して-0.3～1.7 μm の範囲となっている。さらに、SiC 膜厚による高低差（Range）の変化はほとんどなく 2.6～3.2 μm で、均一に研削できていることがわかった。なお、SiC 膜厚が薄くなると膜厚の面内分布が悪く見えるのは SiC 膜厚の絶対値が小さくなっているためである。また、図⑦-7 に示すように 30 μm 厚まで研削後、SiC 基板のクラックやエッジチッピング等は見られなかった。エッジトリミング加工により薄化した際のナイフエッジ化を防ぐとともに、ウェハーサポートに用いた接着剤がウェハエッジを保護することにより、30 μm 厚まで薄化しても SiC 基板のクラックやエッジチッピングを発生させなかったと推測される。

図⑦-8 は 30 μm 厚 SiC 基板（Type 1）の CMP 後表面 AFM 像で、表⑦-4 は AFM 評価まとめである。ウェハー中央部、トップ部の平均面粗さ Ra はいずれも 0.1 nm となっており、こちらも平成 29 年度の目標値を達成した。

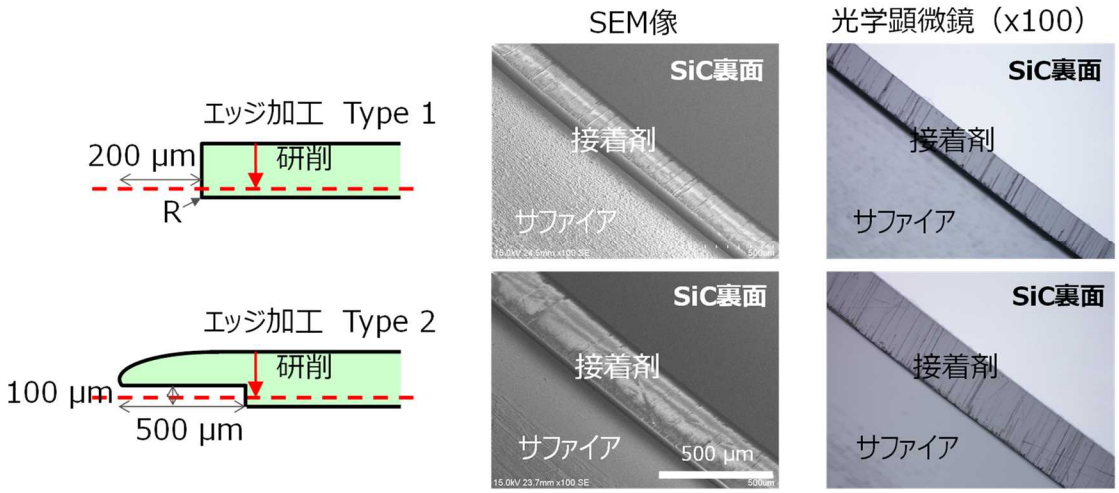
以上のように、クラックやチッピングを抑制するウェハーサポート技術を開発し、SiC 膜厚を 30 μm まで薄膜化可能な切削技術、および、平均面粗さ Ra= 0.1 nm（AFM）の研磨技術を確立した。



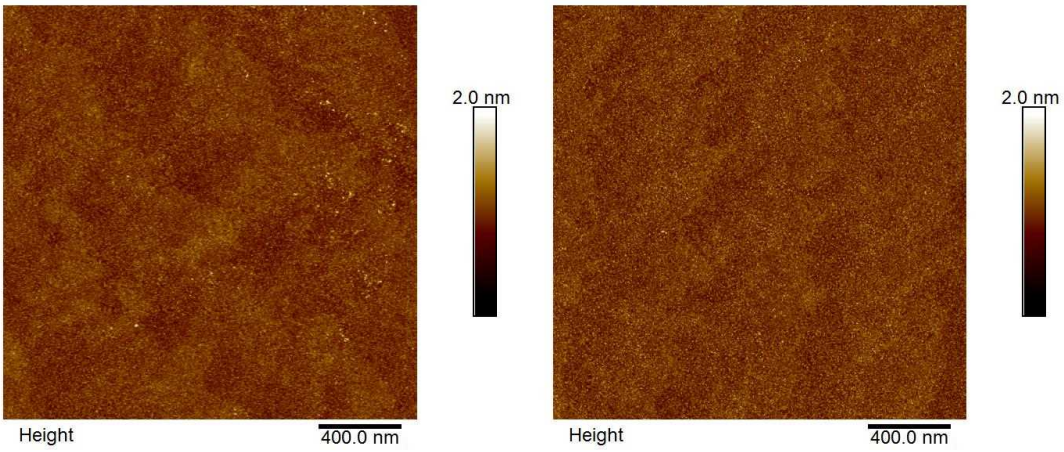
図⑦-6 SiC ウェハエッジ加工形状と SEM 像

表⑦-3 研削後の SiC 膜厚面内分布まとめ

	Type 1	Type 2
Average.(μm)	31.716	29.678
Max.(μm)	33.124	31.149
Min.(μm)	30.502	27.919
Unif.(%)	4.134	5.442
Range.(μm)	2.622	3.230



図⑦-7 30 μm まで研削後の SiC ウェハのエッジ（SEM, 光学顕微鏡）



Center　　Top

図⑦-8　CMP 後 30 μm 厚 SiC 基板（エッジ加工 Type 1）表面の AFM 像（2 μm 角）

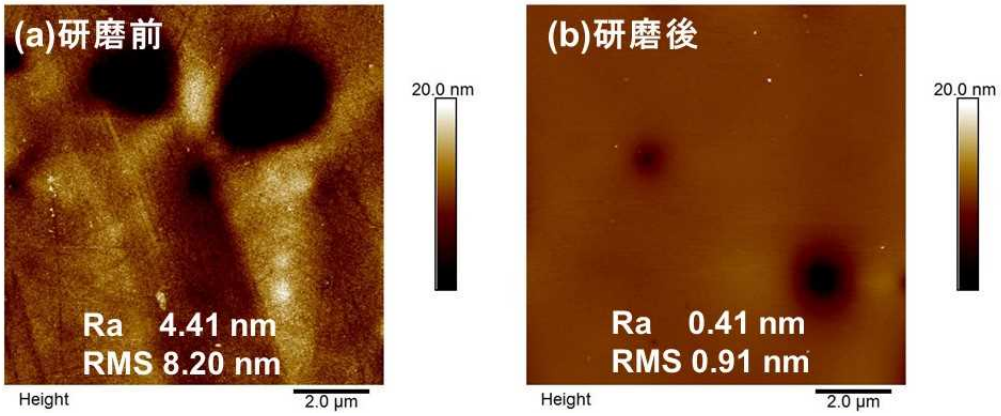
表⑦-4 CMP 後 30 μm 厚 SiC 表面（エッジ加工 Type 1）の AFM 評価まとめ

	Top		Center	
	10 μm 角	2 μm 角	10 μm 角	2 μm 角
RMS (nm)	0.158	0.170	0.106	0.128
Ra (nm)	0.126	0.136	0.0846	0.101

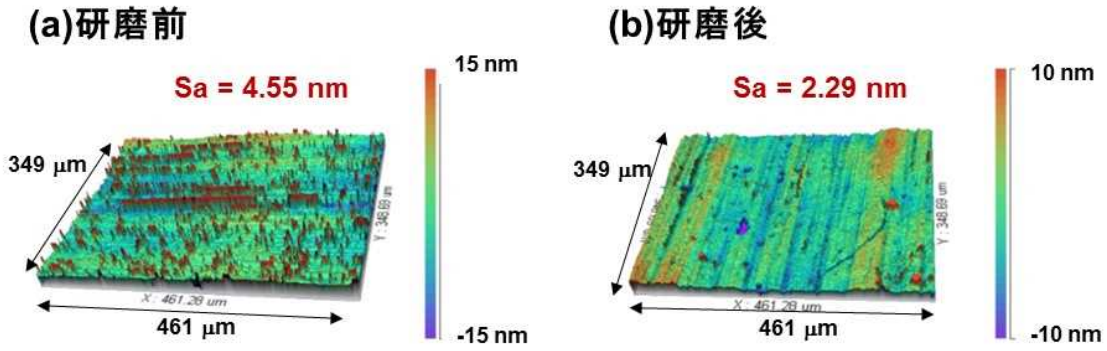
⑦－３－２　ダイヤモンド研磨

平成 27 年度にはダイヤモンド研磨の初期検討を実施した。研磨前後におけるダイヤモンドの AFM 像(10 μm 角)を図⑦-9 に示す。なお研磨は SiC-CMP 向けのスラリーを用い、累計 14 時間の処理を実施した。

図⑦-9 から明らかなように、ダイヤモンドへの CMP は平滑化に十分効果があり、凹凸の一部がまだ残存するが、AFM の視野角においては本研究の指標となる 4 nm 以下の Ra を達成できた。一方、光学測定による数百μm の広域 3 次元プロファイルの比較では（図⑦-10)、全体的な平滑化は観察されるものの、スクラッチ痕が解消されていないことがわかった。表面活性化接合では未研磨部における接合不良が熱抵抗を増大させると考えられることから、広域面での平滑性にも着眼した改善が必要であることがわかった。



図⑦-9　ダイヤモンド研磨前後の AFM 像;(a)研磨前, (b)研磨後



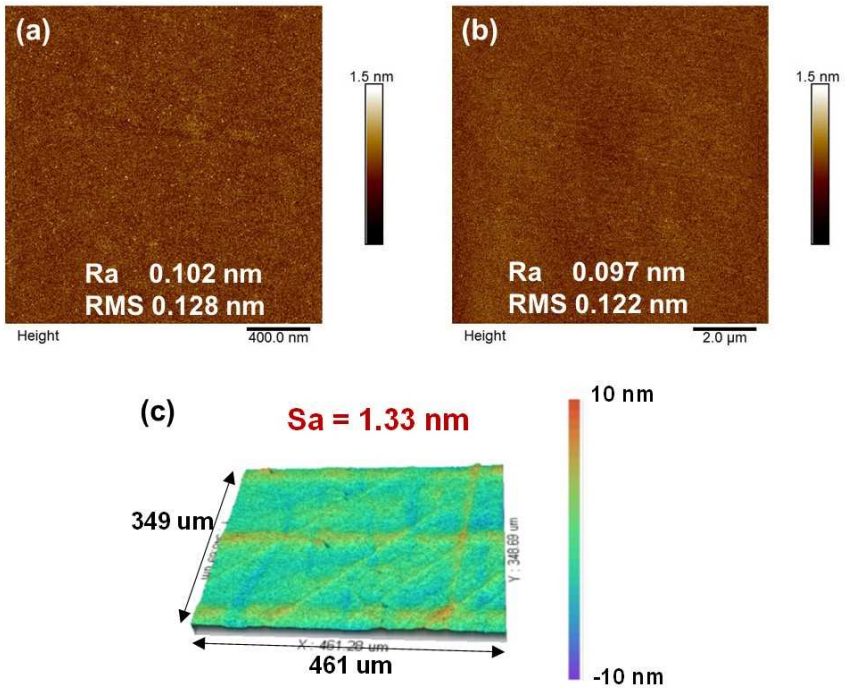
図⑦-10　ダイヤモンド研磨前後の 3 次元プロファイル;(a)研磨前, (b)研磨後

上述のとおり、ダイヤモンド表面の面粗さは微小領域の粗さに加え、広域（数百μm）における膜のうねりの寄与も大きいことが明らかとなったため、平成 28 年度には、光学的手法による広域評価も併せて実施し、ダイヤモンド研磨技術の最適化を図った。

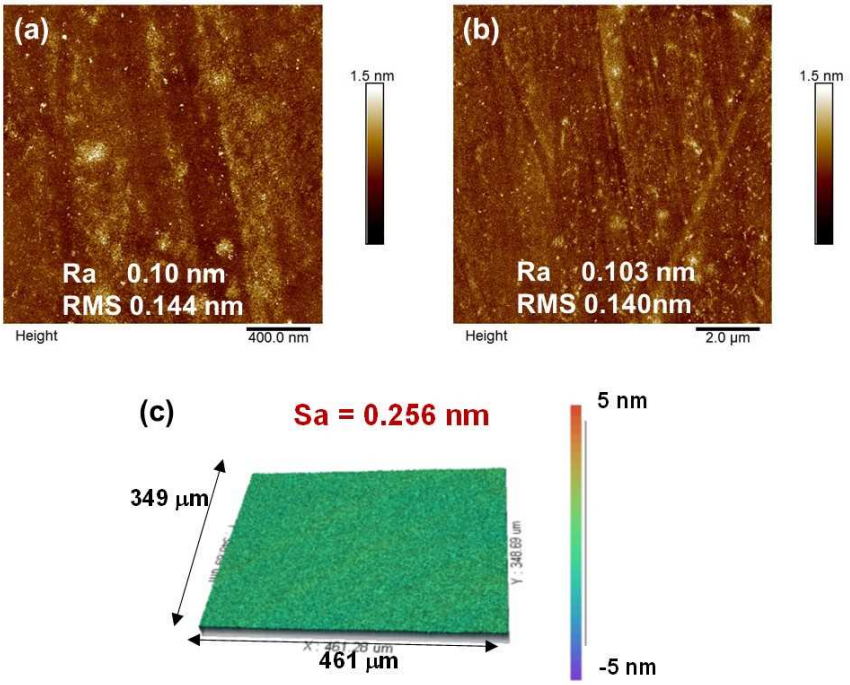
まず、ダイヤモンドの中で広域な領域の凹凸が少ない試料を選別し、SiC-CMP 用スラリーによる平坦化を試みた。研磨後の AFM 像および光学測定による広域 3 次元プロファイルを図⑦-11 に示す。結果、14 時間の CMP 実施によって 0.1 nm 程度の Ra を実現し、接合に十分に適用できるような平坦性が実現できた。また、広域の 3 次元プロファイルにおいては Sa 値 1.33 nm となり、接合にも適用できるレベルともいえるが、初期状態にある大きな凹凸を平坦化することは困難であった。

次に機械研磨によるダイヤモンドの研磨表面を図⑦-12 に示す。機械研磨によって広域の光学的評価において Sa= 0.256 nm の平坦性が得られ、大きなサイズの凹凸を機械研磨で平坦化できることが確認できた。AFM による評価でも機械研磨で十分に平滑化できることがわかった。ただし、CMP で得られる面よりもスクラッチのようなものが多くみられ、機械研磨による物理ダメージも懸念される。したがって、機械研磨によって大きな凹凸を平坦化し、それに続いて CMP を行って仕上げ面を得ることが最も効果的な手法である。

以上のように CMP、機械研磨のいずれにおいても約 0.1 nm の Ra が得られ、目標値 0.3 nm 以下を達成した。ダイヤモンド研磨技術の開発は平成 28 年度までに完了した。



図⑦-11　CMP による研磨後のダイヤモンド表面;(a)2 μm 角 AFM 像,
(b)10 μm 角 AFM 像, (c) 3 次元プロファイル



図⑦-12 機械研磨による研磨後のダイヤモンド表面;(a)2 μm 角 AFM 像,
(b)10 μm 角 AFM 像, (c) 3 次元プロファイル

⑦－４　まとめ

本研究の最終年度となる平成 29 年度までに SiC とダイヤモンドの表面活性化接合（SAB）が実現可能な SiC 研削・研磨技術、および、ダイヤモンド研磨技術の開発を完了した。

・SiC 研削・研磨については、クラックやチッピングを抑制するウェハーサポート技術を開発し、SiC 膜厚を 30 μm まで薄膜化可能な切削技術、および、平均面粗さ Ra= 0.1 nm（AFM）の研磨技術を確立した。

・ダイヤモンド研磨については、大きな凹凸や深い凹凸を平坦化するには機械研磨が優れ、AFM レベルで平坦な面を得るには CMP が優れることがわかった。平均面粗さ Ra= 0.1 nm 程度（AFM）の研磨技術を確立した。

参考文献

[1] J.D. Blevins *et al*., CS MANTECH Conference Technical Digest, 105 (2014)
[2] M. Alomar *et al*., Electron. Lett. 46, 299 (2010).
[3] J.G. Felbinger *et al*., IEEE Electron Device Lett., **28**, 948 (2007)
[4] D.Altman *et al*., IEEE 14th ITHERM Conference, 1199 (2014)

１．１．８ ⑧接合プロセス技術開発

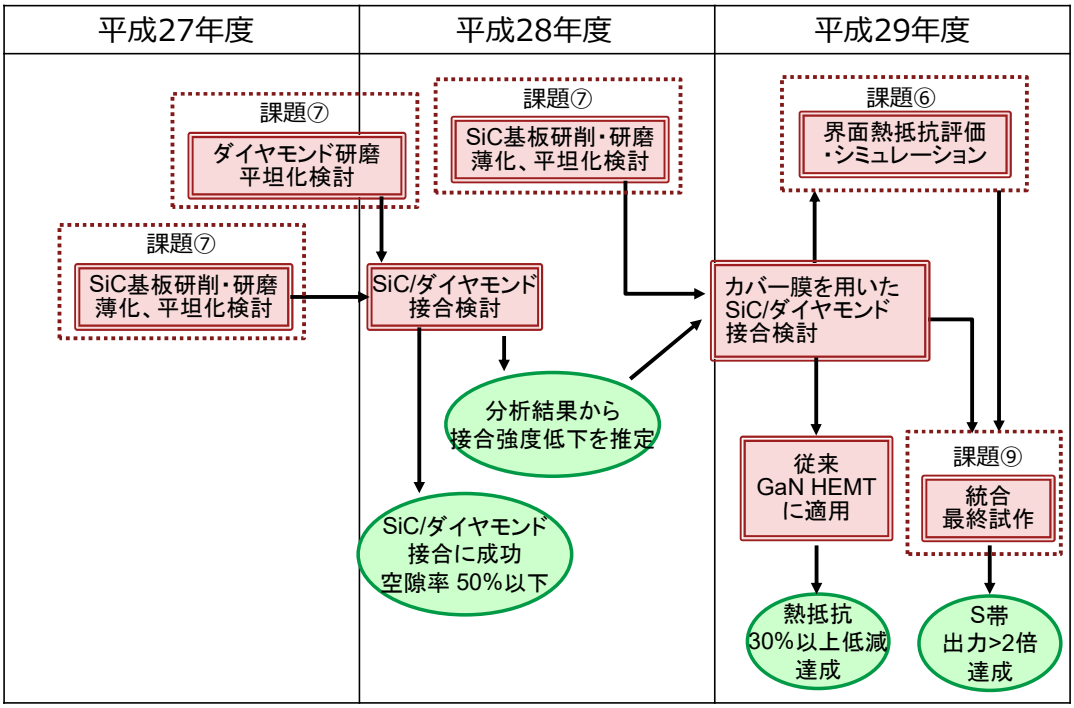
開発概要

本項で報告する「⑧接合プロセス技術開発」では、GaN-HEMT の放熱性を向上させるダイヤモンドヒートスプレッダの構造を実現するため、表面活性化接合 SAB(Surface Activated Bonding)法を用いた SiC とダイヤモンドの接合技術を開発した。開発は「⑥高放熱設計・熱評価」および「⑦接合用切削・研磨技術」と連携して行い、さらに、本開発技術を「⑨要素技術統合向けインテグレーション」に適用することで、本プロジェクトで開発した GaN-HEMT の高出力動作を可能とすることを目的とした。

本研究の概要は次のとおりである（開発フローチャート図⑧-1)。

平成 28 年度は、SiC とダイヤモンドの接合について、SAB 法を検討した。SiC、ダイヤモンドともに Ar 照射により接合面の表面粗さは増大したが、600 秒以下の照射時間では接合可能な平坦性が維持されることがわかった。一方、Ar 照射によりダイヤモンド表面に非晶質層が形成され、接合強度低下の要因になることが示唆された。

平成 29 年度は、接合強度を向上させるためにダイヤモンド上に Ti カバー膜を用いる新規の接合技術を開発し、ボイドのない強固な SiC/ダイヤモンド接合を実現した。Ti カバー膜を用いた SiC/ダイヤモンド接合技術を GaN-HEMT に適用し、従来のデバイスと比べて熱抵抗を約 1/3 に低減する優れた放熱構造を実現した。



図⑧-1 本技術の開発フローチャート

⑧－１　本技術の開発意義

デバイスの高出力化には In 系 HEMT の適用・改善やオーミック電極技術の向上などに加え、発熱量の増加を緩和する放熱構造の設計が重要となる。ダイヤモンドは熱伝導率が 2000 W/mK と極めて高く、比較的熱伝導率の高い SiC(400 W/mK)と比べても 5 倍程度も優れている。そのため、ダイヤモンドをヒートスプレッダとして用いた GaN on ダイヤモンドは高放熱技術として有力な構造であり、主に DARPA(Defense Advanced Research Projects Agency)等で先行研究が行われている[1-5]。GaN on ダイヤモンドの作製方法としてはダイヤモンド上への GaN 成長[2,3]、ダイヤモンド貼り合わせ[4,5]等が報告されているが、本研究では高品質な In 系エピ構造を使いこなす必要があるため、低温でのダイヤモンド貼り合わせ技術の適用が望ましい。しかしながら、従来のダイヤモンド貼り合わせ技術には GaN とダイヤモンドとの界面に数 10 nm の Dielectric Layer の接合層が用いられるため、その界面での熱抵抗の増加が懸念される。本研究では、GaN デバイスの SiC 基板とダイヤモンドを直接接合させることで低い界面熱抵抗の実現を狙い、そのための表面活性化接合 SAB(Surface Activated Bonding)法の検討を開始した。

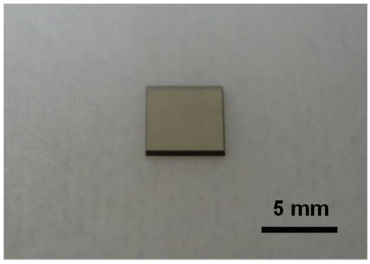
SAB 法は Ar の FAB (Fast Atomic Beam) あるいは Ar イオンビームを照射して物質表面を活性化し、活性面同士を高真空中で常温接合させる手法である。FAB は高速の中性原子ビームであり、イオンビームよりも一粒子当たりのエネルギーが大きいことから、表面の活性化に適している。また、イオンビームよりも接合界面への不純物の混入が少ないという特徴があることから、本研究では Ar FAB を用いた SAB 法を採用した。また、SAB 法を適用するには接合面を平滑化することが必須であり、一般的には Ra ＜ 0.5 nm 程度の平坦性が要求される。

本研究では 28 年度までに接合に必要な SiC とダイヤモンドの研磨技術を確立し、SiC とダイヤモンドの接合にも成功した。29 年度は SiC/ダイヤモンドの接合を改善するとともに、その技術を GaN-HEMT on SiC のデバイスに適用して従来構造から熱抵抗を 30%低減する優れた放熱構造の実現を目指した。

⑧－２　実験手法

⑧－２－１　基板

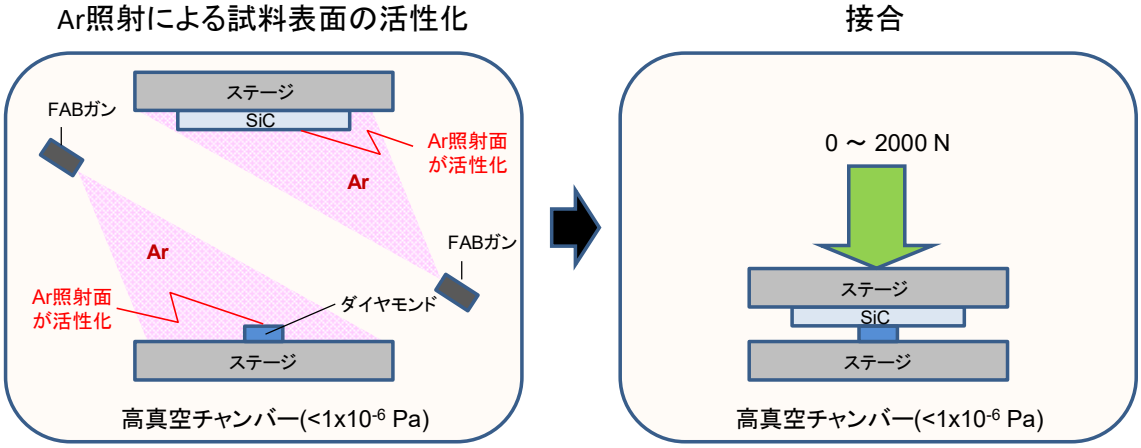
基板には、T 社製の 3 インチ SiC 基板、ダイヤモンドには E 社製ダイヤチップを用いた(図⑧-2)。SiC、ダイヤモンドともに接合予定面を研磨し、SiC の Ra を 0.15 nm 以下(AFM 評価)、ダイヤモンドの Ra を 0.2 nm 以下として接合の検討に用いた。研磨の詳細は「⑦接合用切削・研磨技術の開発」を参照されたい。



図⑧-2　E 社製ダイヤチップ(研磨前)

⑧－２－２　接合方法（SAB 法）

接合には SAB 法を用いた。SAB による SiC 基板とダイヤモンドの接合のイメージを図⑧-3 に示す。SAB 法では 3×10^{-7} Pa～1×10^{-6} Pa の高真空中で SiC 基板とダイヤモンドに Ar FAB（電圧 1 kV）を照射し、表面を活性化した。活性化とは表面のコンタミや酸化層を除去し、ダングリングボンドを生成させることであり、それぞれの基板の活性面同士を合わせることで新たに結合を生じさせ、接合を実現する。



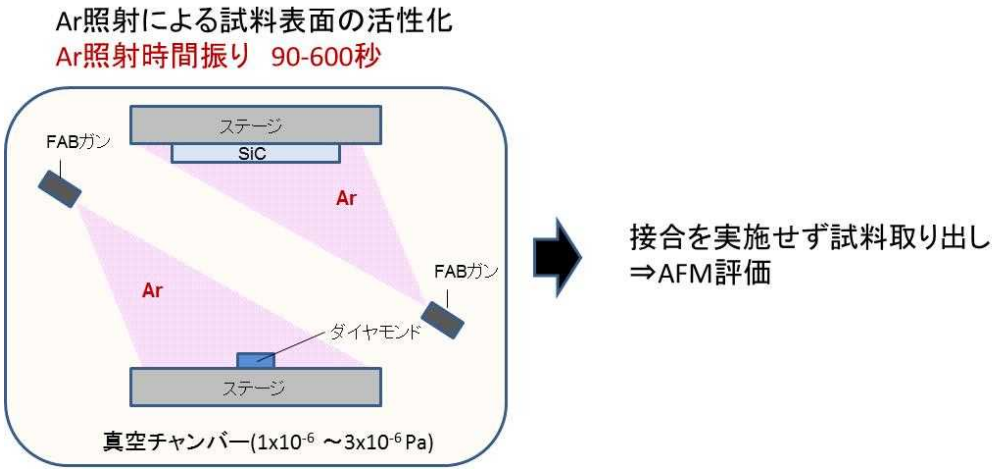
図⑧-3　SAB 法による接合実験の実施イメージ

⑧－３　結果と考察

⑧－３－１　SiC およびダイヤモンドへの Ar 照射実験

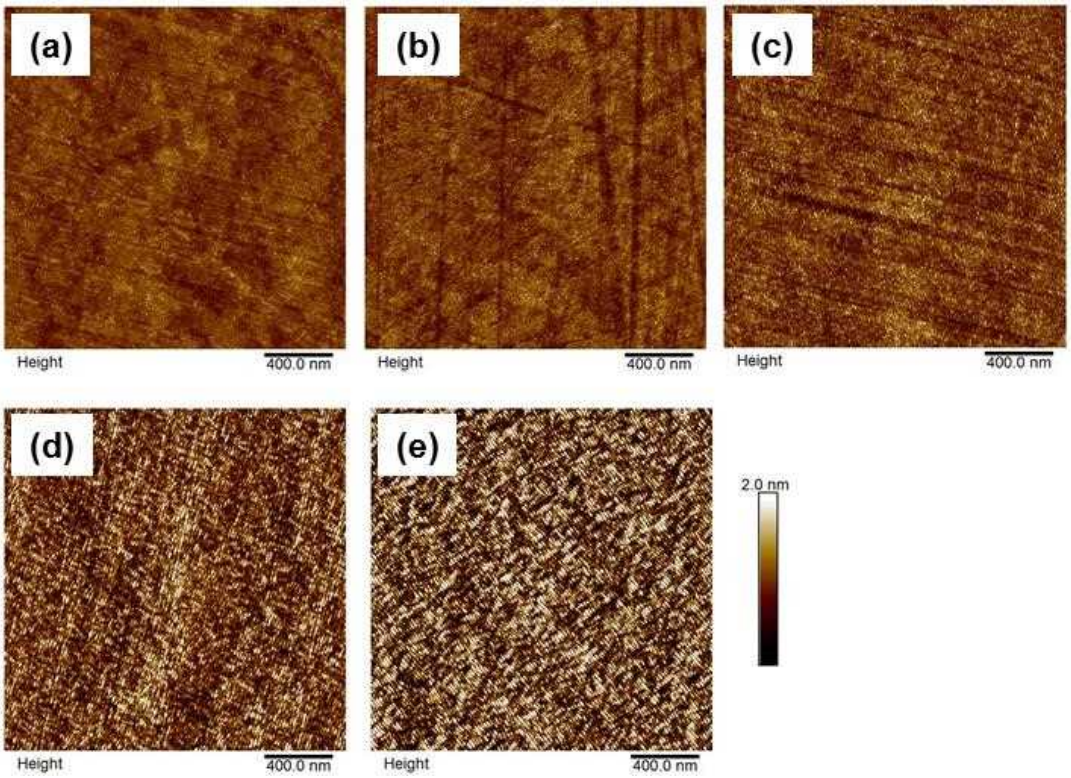
SAB 法による接合には試料に Ar または他の希ガスを照射して表面を活性化することが必須である。しかしながら、基板に Ar を照射すると表面の平滑性が損なわれ、接合に支障をきたす可能性もある。そこで Ar 照射による試料表面への影響を評価するため、SiC(C 面)およびダイヤモンドへの Ar 照射実験を実施した。

手法としては図⑧-4 のように、SAB 法と同じ接合チャンバーを用い、Ar を 90 秒から 600 秒の範囲で照射し、その照射面を AFM で評価した。

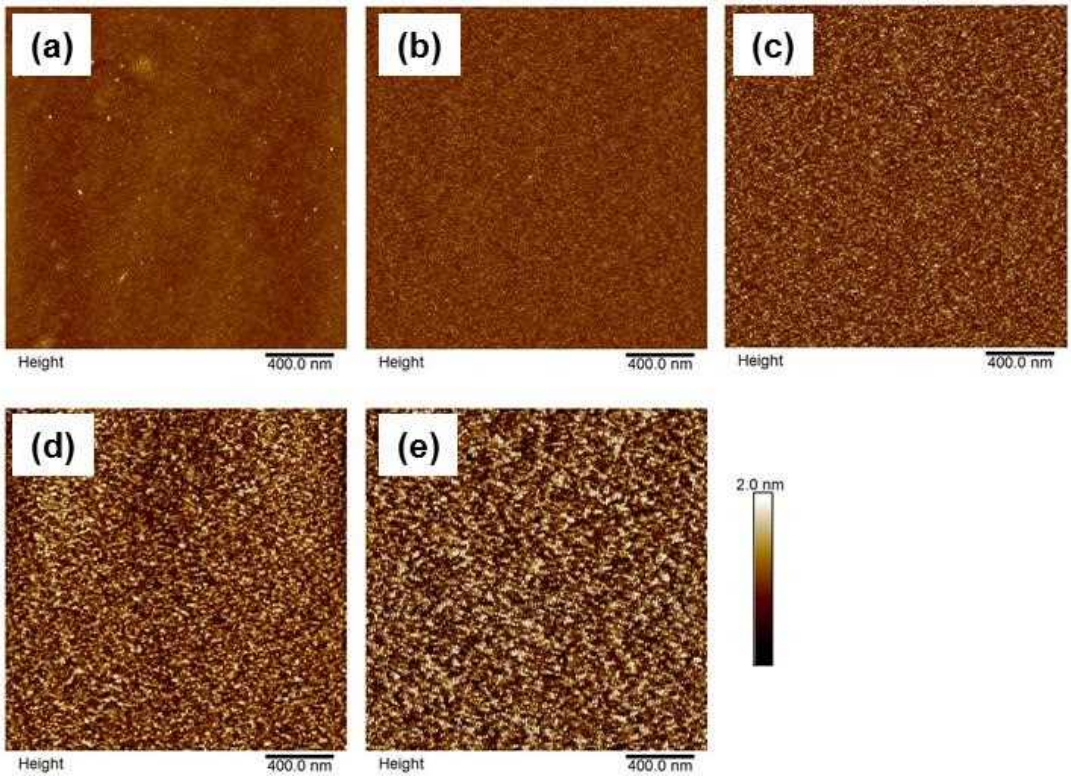


図⑧-4　　Ar 照射実験のイメージ

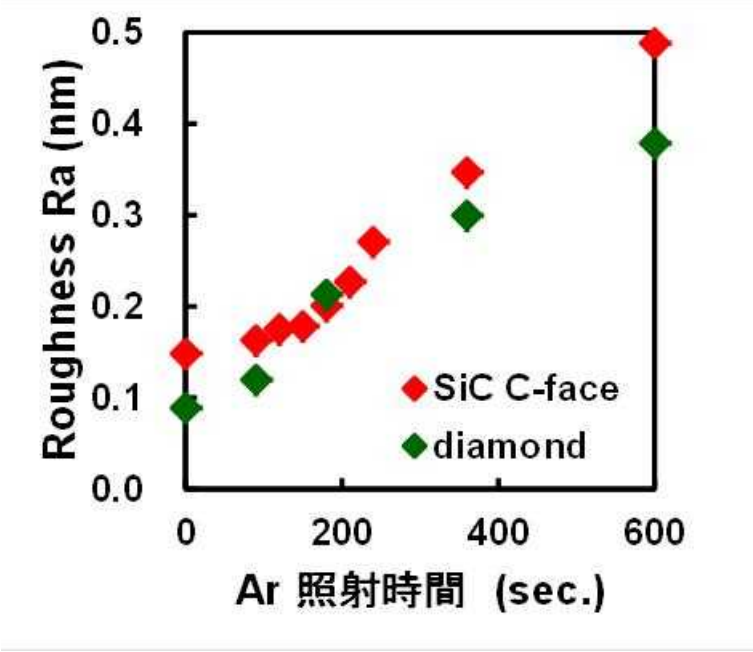
図⑧-5 に Ar 照射後の SiC の AFM 像（2 μm 視野）、図⑧-6 にダイヤモンドの AFM 像（2 μm 視野）を示す。また、Ar 照射時間と表面粗さの関係を図⑧-7 に示す。これらの結果が示すように、Ar 照射により表面粗さが増大するものの、照射時間 600 秒においても Ra ＜ 0.5 nm と接合に適用可能なレベルで平坦性を維持できることを確認した。



図⑧-5　Ar 照射後の SiC(C 面)の AFM 像(2 μm 視野)；
(a)照射なし，(b)90 秒，(c)180 秒，(d)360 秒，(e)600 秒



図⑧-6　Ar 照射後のダイヤモンドの AFM 像(2 μm 視野)；
(a)照射なし，(b)90 秒，(c)180 秒，(d)360 秒，(e)600 秒



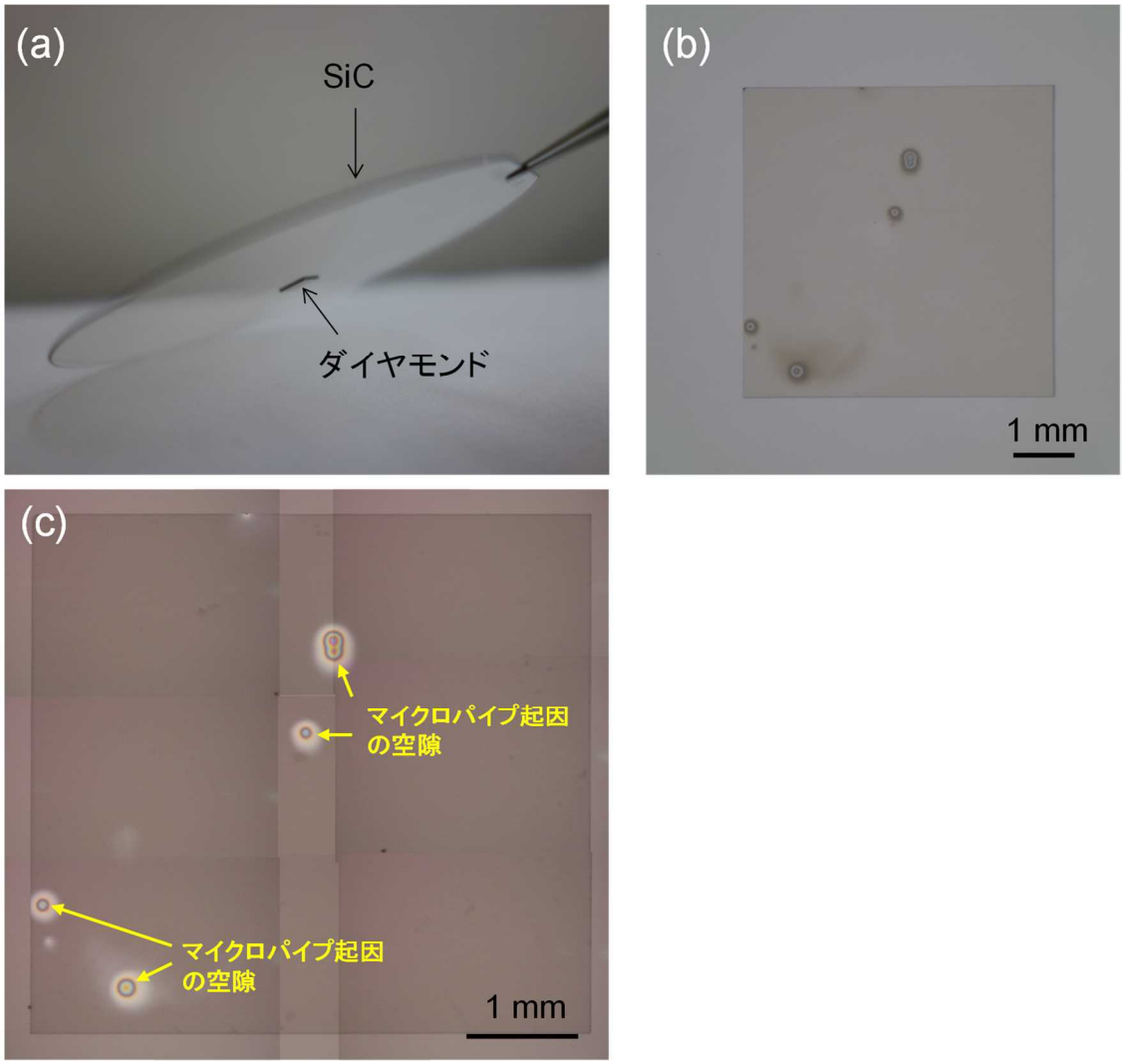
図⑧-7　SiC およびダイヤモンドの表面粗さ Ra と Ar 照射時間の関係

⑧－３－２　SiC/ダイヤモンドの接合（接合プロセス改善前）

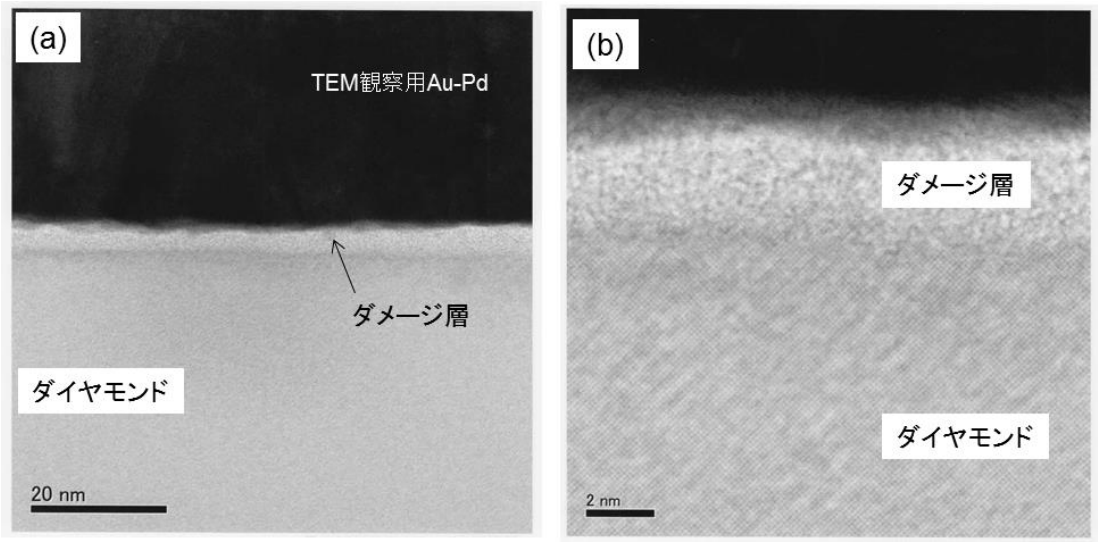
3 インチの SiC(C 面)と 5 mm×5 mm のダイヤモンドの接合を検討した。Ar の照射時間には表面荒れ(Ra の上昇)の影響が比較的小さい 180 秒を選択した結果、空隙率 2～3%の接合に成功して平成２８年度に目標とした空隙率 50%以下を十分に達する結果を得た（図⑧-8)。図⑧-8(c)は接合した試料を SiC 側から観察し、複数の光学顕微鏡像を繋ぎ合わせたものである。白く見えるところは空隙で、直径 0.2 mm～0.5 mm 程度の円形状の空隙は SiC 基板のマイクロパイプが CMP によって拡大したものである。このマイクロパイプの拡大は SiC 基板の品質差によって生じることがあり制御は困難である。また、SiC/ダイヤモンドの接合強度は十分ではなく、物理的な負荷により剥離しやすいことが大きな問題と判明した。

剥離の原因を探るため、Ar 照射したダイヤモンド表面を評価した。図⑧-9 は Ar FAB を 90 秒照射したダイヤモンドにおける表面近傍の断面 TEM (Transmission Electron Microscopy)の結果であり、表面から 3～4 nm 厚程度のダメージ層が生成されていることが確認された。また、X 線反射率法 XRR (X-Ray Reflectivity)を用いてダメージ層の評価を行い、測定データの臨界角度（全反射から急激に反射強度が低下する角度）からダメージ層の密度、さらに振幅から膜の厚さを算出した。90 秒および 360 秒の Ar 照射から得られた XRR の結果を図⑧-10 に示す。また、XRR のフィッティングデータから算出した表面変質層の厚さ・密度と Ar 照射時間の関係を図⑧-11 に示す。これらの結果、

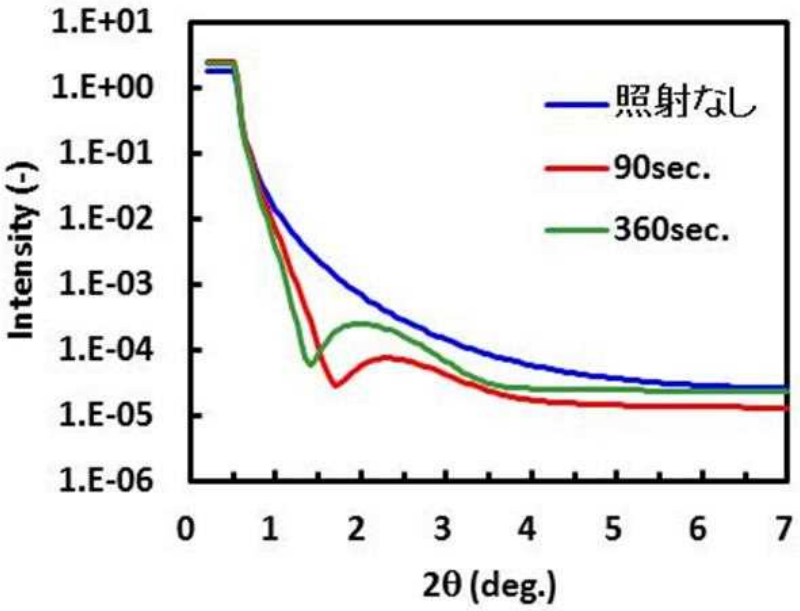
Ar 照射でダイヤモンド表面に低密度の層が形成され、照射時間とともに厚膜化する傾向がみられた。試料表面の密度は Ar 照射前に 3.5 g/cm^3 であったのに対し、90 秒の照射で 2.5 g/cm^3、360 秒の照射で 2.2 g/cm^3 まで低下した。このことは Ar 照射によって結晶性ダイヤモンドから非晶質に改質したことを示しており、ダイヤモンドの密度：3.51 g/cm^3[6]と、非晶質のカーボンの密度：2.0 g/cm^3 以下[6]のそれぞれの物性値と近い値となっている。また、ダイヤモンド表面の結合が Ar 照射によって sp^3 から sp^2 に変わることが大阪市立大からも報告されており[7]、この非晶質層は 3 次元的な結合である sp^3 をほとんど有さず、sp^2 とファンデルワールス力によって成り立つ非常に脆い層と推定される。また、sp^2 の結合が増加すると接合に必要な表面のダングリングボンドが減少するため、接合には不利になる。これらのことから、SiC/ダイヤモンドの接合界面に非晶質炭素が生じることが SiC/ダイヤモンドの接合強度を低下させる要因になったと推測できる。なお、非晶質炭素の熱伝導率は 10 W/mK 未満であり、ダイヤモンドの数百分の 1 あるいは数千分の 1 程度しかないため、この層が厚くなると熱抵抗を増加させ放熱性低下の原因にもなる。



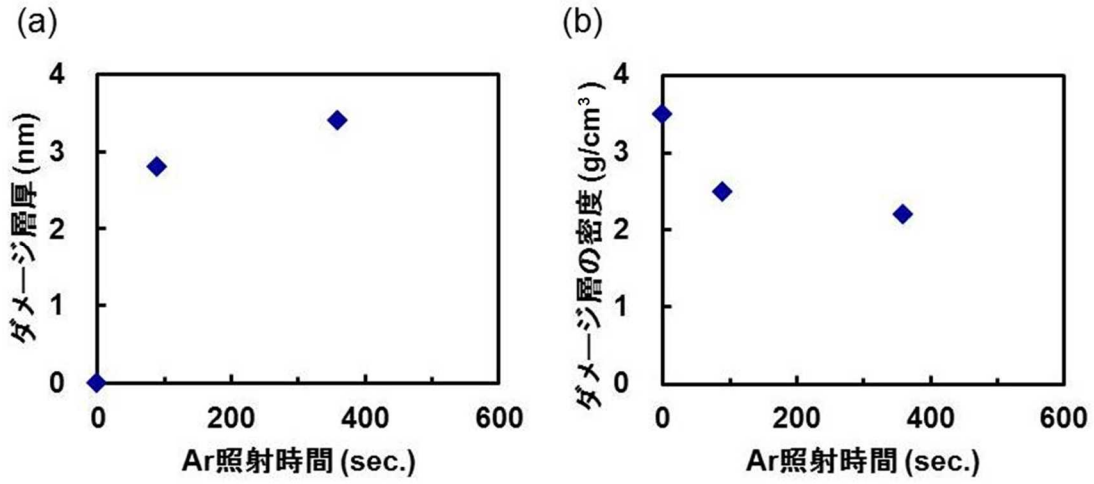
図⑧-8　接合した SiC/ダイヤモンド；(a)全体写真，(b)SiC 側から観察した実体顕微鏡像、(c)SiC 側から観察した光学顕微鏡像（9 個の画像をマージ）



図⑧-9　Ar FAB 照射後のダイヤモンドの断面 TEM 像;(a) 2,000,000 倍, (b) 10,000,000 倍



図⑧-10　ダイヤモンドの Ar 照射表面の XRR 結果



図⑧-11　XRR から得た Ar 照射時間と表面改質層の関係;
(a)ダメージ層の膜厚, (b)ダメージ層の密度

⑧－３－３　ダイヤモンドへのカバー膜の検討（接合の改善）

カバー膜のコンセプト

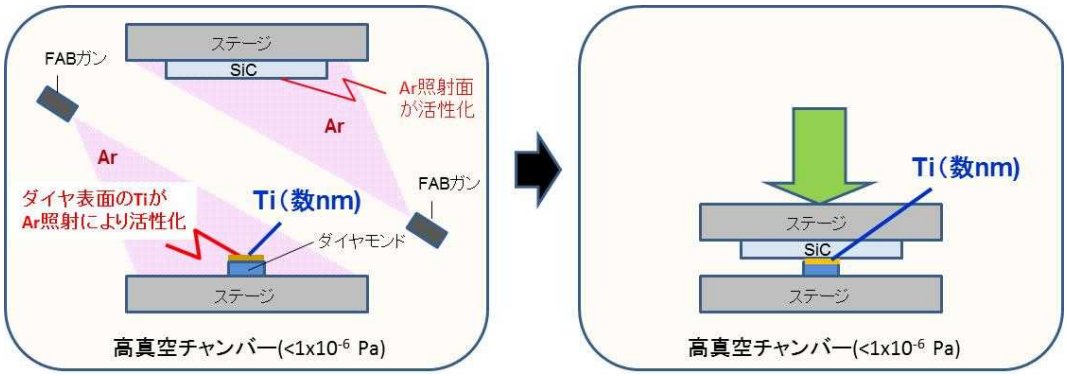
接合界面の非晶質炭素が接合強度を低下させると考え、SAB の Ar 照射時にダイヤモンドをカバーする膜の採用を検討した。カバー膜に要求される特性としては以下の 1)～6)などがあげられる。

1)ダイヤモンドとの密着性が良好である。
・・・接合強度の観点から必須である。
2)厚さの制御が可能である。
・・・膜が厚いと熱抵抗を増加させる懸念があり、nm オーダーでの膜厚制御が要求される。
3)形成される自然酸化膜が薄い。
・・・接合時の Ar 照射で自然酸化膜の除去が必要である。自然酸化膜が厚く、除去が困難になると接合に支障をきたす。
4)膜の平坦性が良い。
・・・SAB で接合するためには膜表面の平坦性が極めて重要である。
5)Ar FAB を照射しても表面粗さが劣化しにくい。
・・・接合時の Ar 照射による表面の平坦性の劣化が SAB に適用可能なレベルである必要がある。

6)熱伝導率が高い

・・・熱伝導率が低い材料を用いると熱抵抗を増大させる懸念がある。

これらを考慮してダイヤモンド表面を Ti スパッタ膜でカバーすることを検討した。Ti カバー膜を用いた SAB による接合のイメージを図⑧-12 に示す。Ti スパッタ膜に関してはこれまでの予備検討から要求特性の 1)～3)は問題ないと考えられることから、本報告書では 4)、5)について検討した。また、Ti の熱伝導率は 21.6 W/mK[8]であり、他の金属と比べて熱伝導率は高くないが、膜を数 nm に薄く制御できれば問題にはならないと考える。



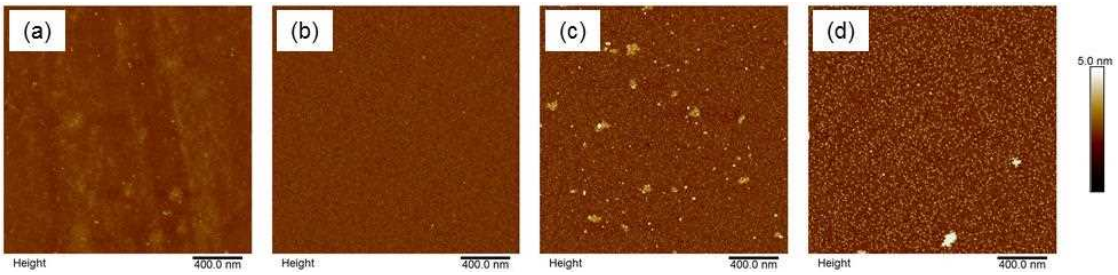
図⑧-12　Ti カバー膜を用いた SAB による接合の実施イメージ

ダイヤモンドに成膜した Ti のモフォロジと Ar 照射への耐性

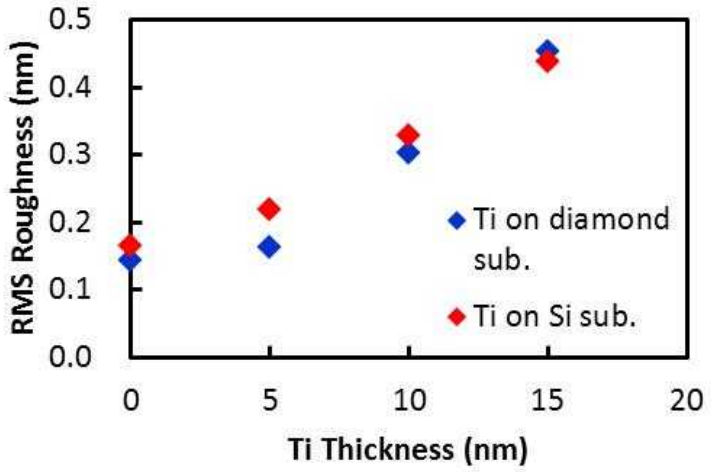
Ti の表面モフォロジを図⑧-13 に、Ti 膜厚と表面粗さの関係を図⑧-14 に示す。これまでの検討では AFM から得られる Ra によって面粗さを判断していたが、以降は RMS によって判断する。RMS には微細な凹凸がより大きく反映されるため、接合面の評価に適切と考えたためである。検討の結果、Ti の膜厚増加により表面粗さが増大することが確認され、特に 10 nm 以上で Ti が凝集する傾向もみられた。ただし、15 nm も含めて接合に適用可能な平坦性を有しているといえる。また、図⑧-14 に示すように、下地がダイヤモンドでも Si でも Ti のモフォロジは同等であることが確認できたため、以降は Si 基板上に成膜した Ti も検討に用いた(研磨済ダイヤモンドの数量に限りがあるため)。

次に図⑧-15 および図⑧-16 に示すように、Ti の Ar FAB に対する耐性の評価を AFM で行ったところ、比較的長い照射時間（例えば 240 秒）を用いても Ti 表面に著しい荒れが生じることはなく、Ar FAB に対して十分に耐性がある（平滑性が損なわれにくい）

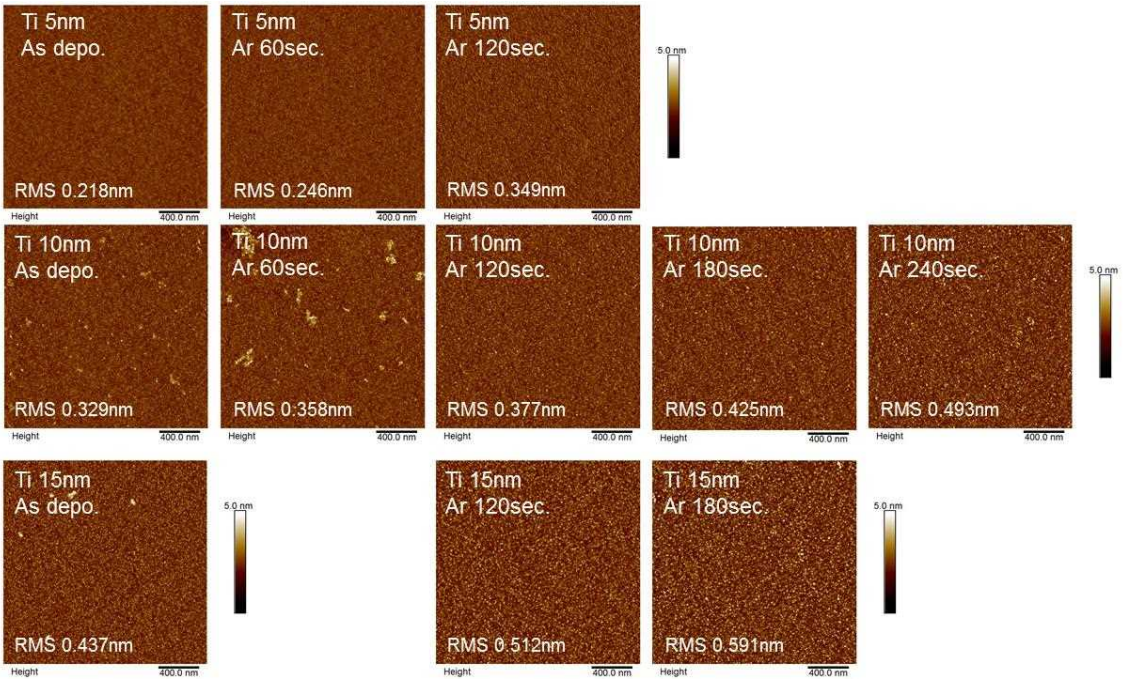
ことを確認した。図⑧-17 は Ar FAB 照射時間と Ti 膜厚（XRR による算出）の関係である。Ar FAB による Ti のエッチングレートは 1.2 nm/min.程度であり、Ti の自然酸化膜を 0.5～2 nm 程度とすると、Ti の活性化には 120 秒程度の Ar 照射が妥当である。



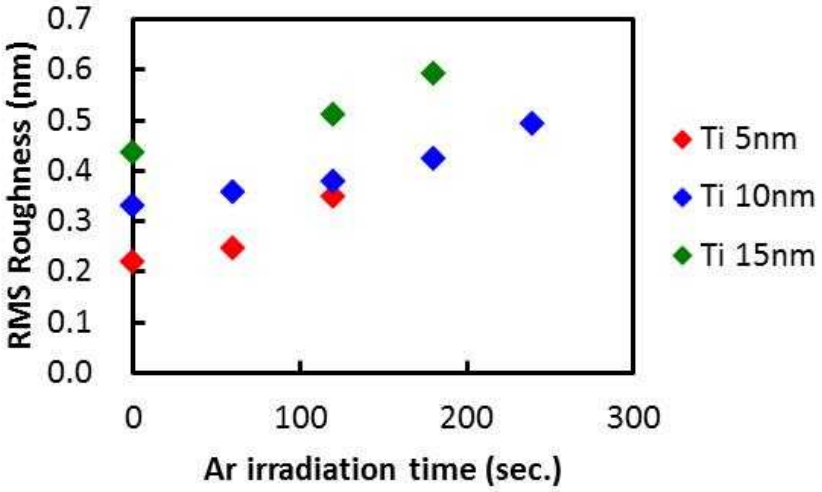
図⑧-13　ダイヤモンド上に成膜した Ti の表面モフォロジ;(a)Ti 成膜無し(ダイヤモンドの研磨面), (b)Ti 5 nm, (c)Ti 10 nm, (d)Ti 15 nm



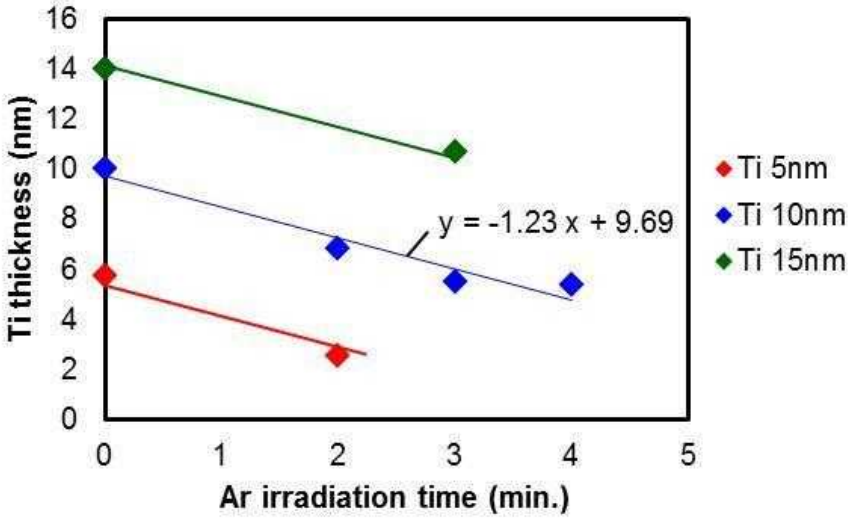
図⑧-14　ダイヤモンド上および Si 上に成膜した Ti の厚さと表面粗さ(RMS)の関係



図⑧-15　Ar FAB 照射後の Ti の表面モフォロジ（Si 基板を使用）



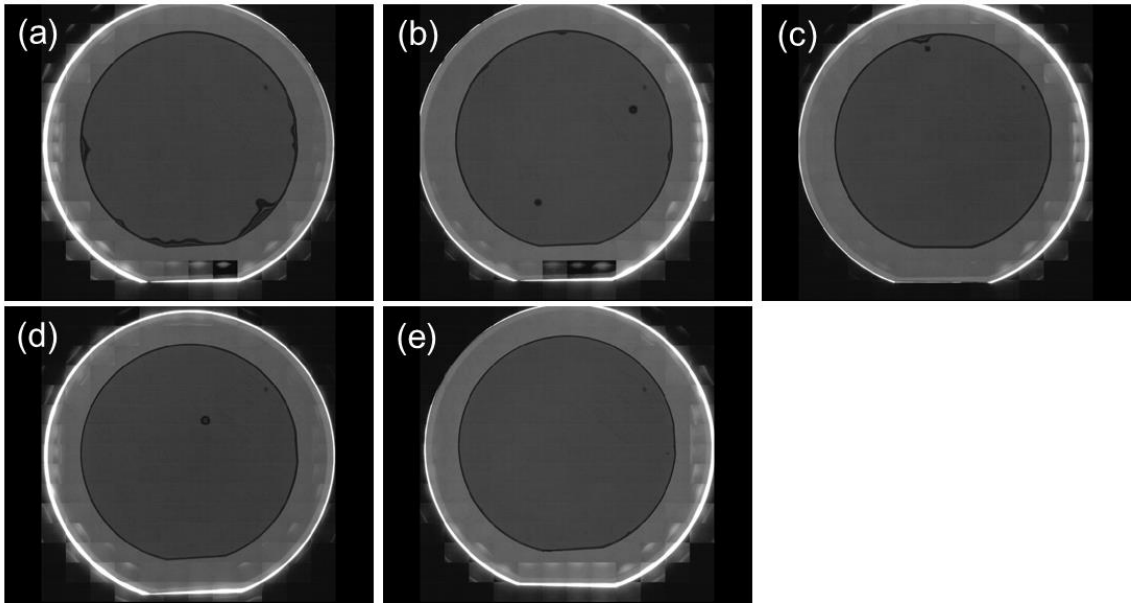
図⑧-16　Ar FAB 照射時間と Ti の表面粗さ(RMS)の関係（Si 基板を使用）



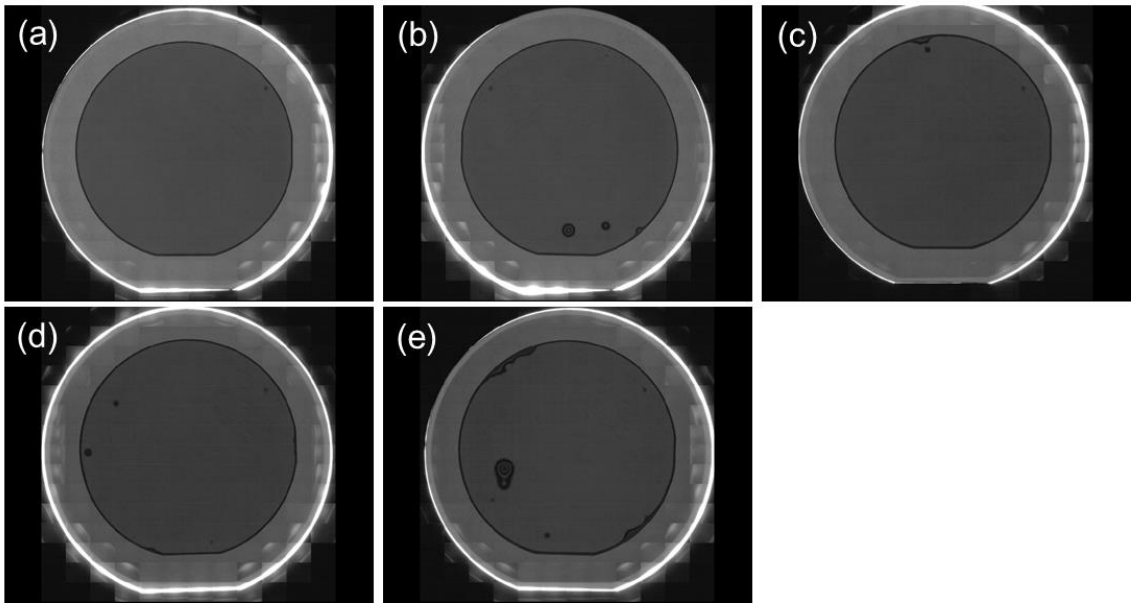
図⑧-17　Ar FAB 照射時間と Ti 膜厚の関係(Si 基板を使用)

Ti 厚さと Ar FAB 照射の最適化検討（Si 使用）

Ti カバー膜を用いた SiC/ダイヤモンド接合の事前検討として、Ti カバー膜を成膜した Si（3 インチ）と Si（4 インチ）の接合を行った。図⑧-18 および図⑧-19 は接合した Si/Si の IR（赤外線）画像であり、図中の黒い箇所が空隙である。全ての接合において空隙率が 3%以下と概ね接合できたが、Ar 照射が 60 秒の時と Ti が 15 nm の時には比較的広範囲で空隙がみられた。Ar 照射 60 秒では Ti 酸化膜の除去が不十分の可能性があり、Ti 15 nm の時には表面荒れが空隙の生成に繋がっているとみられる。Ti の初期厚が薄いと Ar 照射により Ti が消失し、厚いと表面荒れのリスクがある。また、Ar 照射が短いと Ti の酸化膜除去が不十分となり、照射が長いと表面が荒れや Ti 消失のリスクがある。本検討では Ti 厚さや Ar 照射時間において十分なマージンを確認できた Ti 5～10 nm、Ar 照射 120 秒を条件の候補とした。



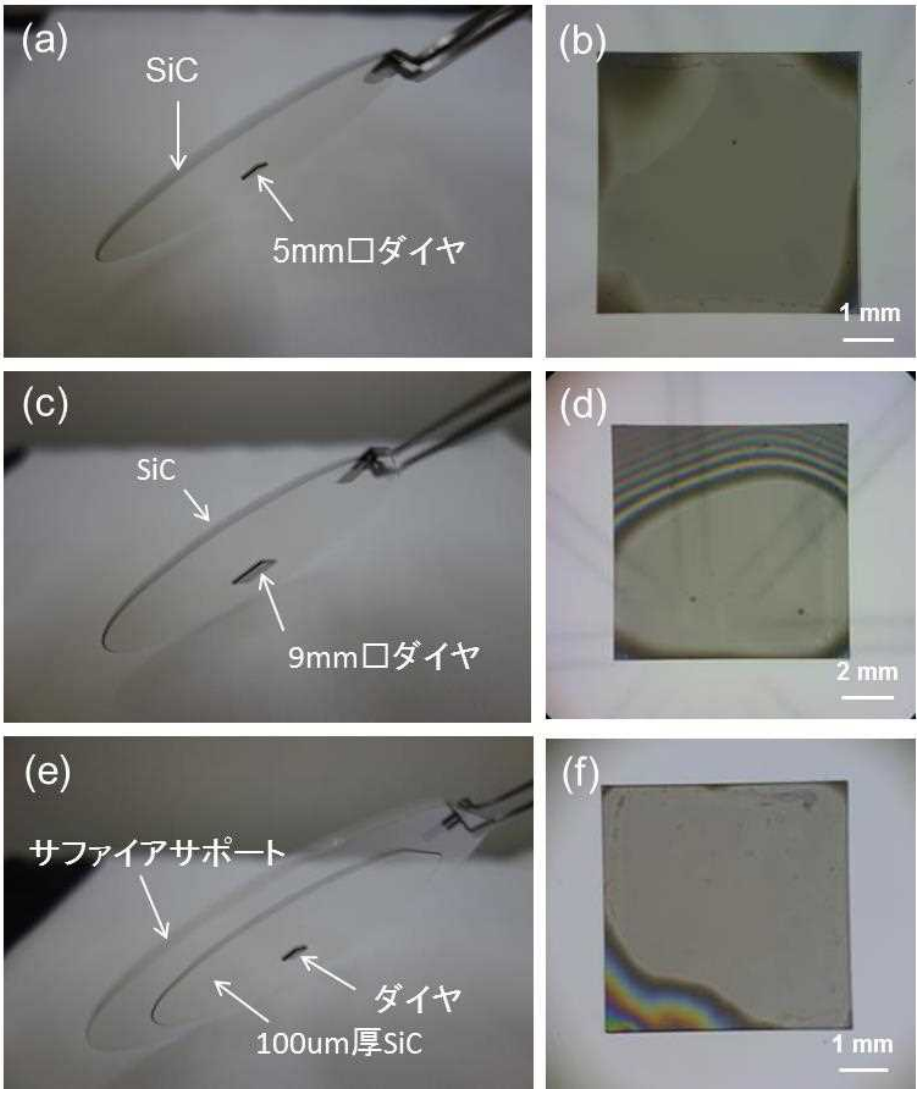
図⑧-18　Ti カバーSi と Si の接合実施結果(Ti 10 nm で固定)；(a)Ar 照射 60 秒, (b) Ar 照射 90 秒, (c) Ar 照射 120 秒, (d) Ar 照射 180 秒, (e) Ar 照射 240 秒



図⑧-19　Ti カバーSi と Si の接合実施結果(Ar 照射 120 秒で固定)；
(a)Ti 5 nm, (b)Ti 7.5 nm, (c)Ti 10 nm, (d)Ti 12.5 nm, (e)Ti 15 nm

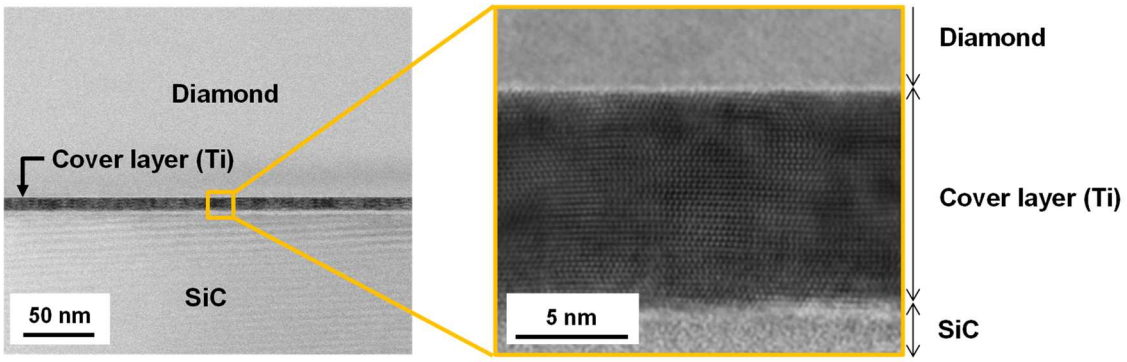
ダイヤモンド / SiC 接合の実施

Ti カバー膜を用いた本技術を 5 mm×5 mm および 9 mm×9 mm のダイヤモンドの SiC への接合に適用し（図⑧-20)、研削・CMP により薄化した SiC にも適用可能であることを示した（図⑧-20(e)）。さらに断面 TEM 像（図⑧-21）に示すように、カバー膜を用いた SiC/ダイヤモンド接合の断面には空隙はなく、良好な接合界面が形成しており、またダイヤモンドに非晶質層のない狙い通りの構造となっていることを確認した。なお、Ti の厚さは 8 nm 程度であるが、成膜する厚さを調整することで薄くすることは可能である。また、接合はプロセスに耐えうる十分な強度を有しており、接合後に物理的な力を加えても剥れが生じることはなかった。



図⑧-20　作製した SiC/ダイヤモンド接合;
(a)接合試料 A[*1] の全体写真, (b)接合試料 A の SiC 側から観察した実体顕微鏡像,
(c)接合試料 B[*1] の全体写真, (d)接合試料 B の SiC 側から観察した実体顕微鏡像,
(e)接合試料 C[*3] の全体写真, (f)接合試料 C の SiC 側から観察した実体顕微鏡像

[*1] 接合試料 A：5 ㎜×5 ㎜ ダイヤと SiC の接合
[*2] 接合試料 B：9 ㎜×9 ㎜ ダイヤと SiC の接合
[*3] 接合試料 C：5 ㎜×5 ㎜ ダイヤと 100 μm まで薄化した SiC の接合



図⑧-21　Ti カバー膜を適用して接合した SiC/ダイヤモンドの断面 TEM 像

⑧－３－４　SiC/ダイヤモンド接合技術のデバイスへの適用

SiC/ダイヤモンド接合のデバイス適用フロー

チップ化した GaN on SiC デバイスを用いてダイヤモンドとの接合を行った。これまでは SiC ウエハとダイヤモンドの接合について検討したが、ここでは SiC 基板を有する GaN-HEMT への適用について述べる。薄化し、かつチップ化した SiC を接合に用いるためには工程の工夫が必須である。開発した工程フローを下記（1）～（6）の順に説明する。

（1）GaN on SiC デバイスを Si サポート基板に貼付

接合に用いる GaN-HEMT をサポート基板に貼付した。詳細には GaN-HEMT 表面をレジストで保護し、熱可塑性の接着剤を使用して接着を行った。

（2）SiC 基板を薄化、CMP

GaN-HEMT の SiC を 50 μm まで薄化し、CMP によって平滑化を行った。SiC の表面粗さは AFM での評価で Ra= 0.1 nm 以下を狙いとした。SiC の研削および CMP については「⑦接合用切削・研磨技術の開発」を参照されたい。SiC は 30 μm まで薄くすることも可能であるが、「⑥高放熱設計・熱評価」で 50 μm の薄化でも十分に熱抵抗低減が可能であることが示されている。本検討では接合時の荷重で SiC が割れるリスクを低減するため、50 μm の薄化とした。

（3）ダイヤモンドをサファイアサポート基板に貼付

接合に用いるダイヤモンドの研磨条件と表面モフォロジ、さらに表面の洗浄方法につ

いては「⑦接合用切削・研磨技術の開発」を参照されたい。

(4) カバー層(Ti)成膜

表面活性化接合時にダイヤモンド表面にアモルファス層が形成されることを防止するために、スパッタにより Ti を製膜した。なお、「⑧-4-3　ダイヤモンドへのカバー膜の検討（接合の改善)」において、5 nm～15 nm の Ti 厚みで接合可能であることを確認しており、本件は 7.5 nm の Ti 厚みとした。

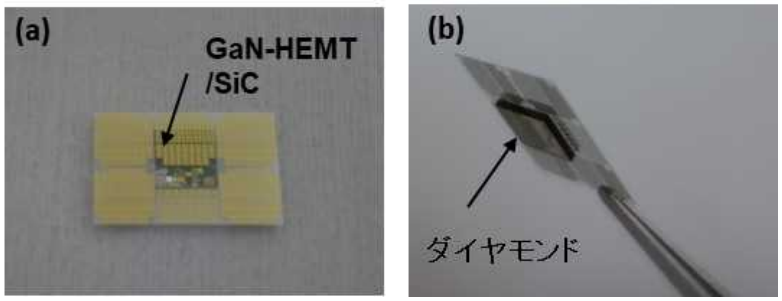
(5) 表面活性化接合

GaN-HEMT の SiC 基板とダイヤモンドの接合を表面活性化接合で実施した。これまでの検討結果から Ar 照射時間は 120 秒とした。また、接合時の荷重が大きいと 50 μm の薄い SiC が割れる傾向があったため、5 mm×5 mm のダイヤモンドを用いる場合は 70 kg、9 mm×9 mm のダイヤモンドを用いる場合は 200 kg を最適条件とした。

(6) GaN-HEMT on SiC/ダイヤモンドを SiC 研削用サポート基板から剥離

ダイヤモンドに接合した GaN-HEMT on SiC/ダイヤモンドを研削用サポート基板(Si)から剥離した。

以上の工程によって GaN-HEMT とダイヤモンドを接合した。本接合プロセスでは接合後に試料をサポート基板から剥離する工程で強い物理的負荷および熱的負荷がかかるがそれに耐えうる強固な SiC/ダイヤモンド接合が得られたといえる。

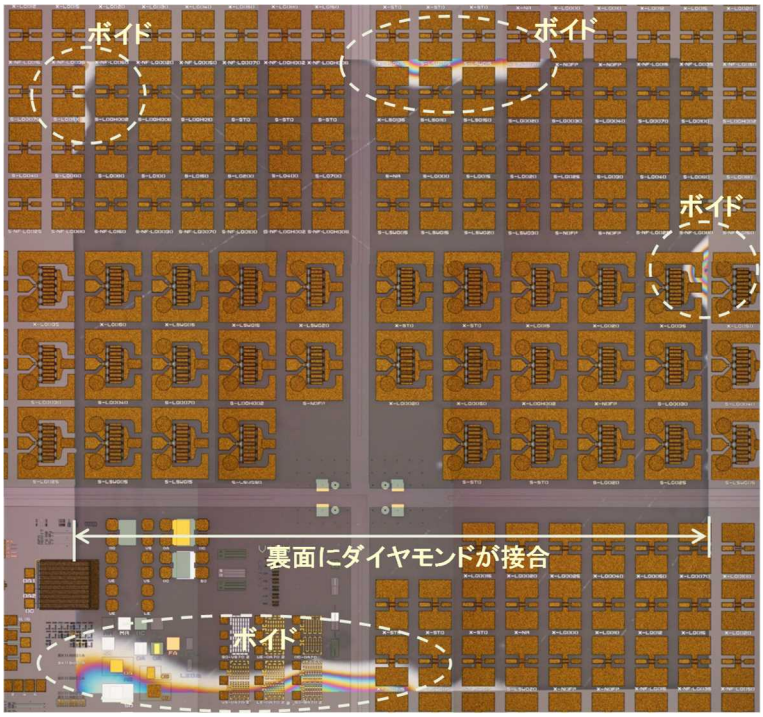


図⑧-22　完成後の GaN-HEMT / ダイヤモンド

接合試料の光学顕微鏡観察

ダイヤモンドに接合した GaN-HEMT の外観および光学顕微鏡像を図⑧-22、23 に示す。図⑧-23 においてダイヤモンドの基板端部に空隙が形成されているものの、中心付近は問題なく接合できることを確認した。熱抵抗の評価の詳細は「⑥高放熱設計・熱評価」を参照されたいが、ダイヤモンドの接合によって従来デバイスに比べて 1/3 程度の熱抵

抗となることが示され、本検討の目標値である熱抵抗 30%低減を大幅にクリアした。



図⑧-23　ダイヤモンドに接合した GaN-HEMT の光学顕微鏡像

⑧－４　まとめ

本研究では GaN-HEMT の放熱性を向上させるダイヤモンドヒートスプレッダの構造を実現するため、SAB 法を用いた SiC とダイヤモンドの接合技術の開発を行った。

- SiC、ダイヤモンドともに Ar 照射によって接合面の表面粗さが増大する傾向がみられたが、600 秒以下の Ar 照射時間では SAB による接合可能な平坦性（Ra＜0.5 nm）が維持されることがわかった。
- Ar 照射によってダイヤモンド表面に非晶質層が形成し、SiC/ダイヤモンドの接合強度を低下させることが示唆された。
- ダイヤモンド上に Ti カバー膜を用いる新規の接合技術を開発し、ボイドのない強固な SiC/ダイヤモンド接合を実現した。その際の適切な Ti の膜厚を 5～10 nm、Ar 照射時間は 120 秒とした
- Ti カバー膜を用いた SiC/ダイヤモンド接合技術を GaN-HEMT に適用し、従来のデバイスと比べて熱抵抗を約 1/3 に低減する優れた放熱構造を実現した。

参考文献

[1] J.D. Blevins, G.D. Via, K. Sutherlin, S. Tetlak, B. Poling, R. Gilbert, B. Moore, J. Hoelscher, B. Stumpff, A. Bar-Cohen, J.J. Maurer, A. Kane, *CS MANTECH Conference Technical Digest*, 105 (2014).

[2] M. Alomar *et al*., *Electron. Lett*. **46**, 299 (2010).

[3] K. Hirama, Y. Taniyasu, M. Kasu, *J. Appl. Pys*. **98**, 162112 (2011).

[4] J.G. Felbinger, M. V. S. Chandra, Y. Sun, L. F. Eastman, J. Wasserbauer, F. Faili, D. Babic, D. Francis, F. Ejeckam, *IEEE Electron Device Lett.*, **28**, 948 (2007).

[5] D.Altman, M. Tyhach, J. McClymonds, S. Kim, S. Graham, J. Cho, K. Goodson, D. Francis, F. Faili, F. Ejeckam, S. Bernstein, *IEEE 14th ITHERM Conference*, 1199 (2014).

[6] 化学大辞典 5 縮刷版第 26 刷, 化学大辞典編集委員会, 1963 年

[7] J. Liang, S. Masuya, M. Kasu, N. Shigekawa, *Appl. Phys. Lett.* **110**, 111603(2017).

[8] 改訂 4 版金属データブック, 日本金属学会, 2004 年

１．１．９ ⑨要素技術統合向けインテグレーション

開発概要

本項で報告する「⑨要素技術統合向けインテグレーション」は、前項までに報告を行ってきた各要素技術開発を統合し、本プロジェクトの最終目標である「現行素子サイズでの従来比出力2倍のデバイス」を実証することを目的とした。

本研究の概要は次のとおりである。

表⑨-1に、統合デバイス試作ロット名と、それらに適用した要素技術の一覧を示す。平成28年度に、In系電子供給層（InAlN）をベースとした3種類の一次試作を行い、In系電子供給層とゲート絶縁膜を組み合わせた際に、低耐圧および大リーク電流が問題になることを明らかにした。

その後、平成29年度の二次試作においては、並行して開発を行っていたゲート絶縁膜を一旦非適用とし、新たに開発を行った4元系InAlGaN電子供給層を用い、表側プロセス（トランジスタ部）の統合を行った。この際、（Ⅰ）ミリ波向け、（Ⅱ）マイクロ波向けの2種類のデバイス構造を試みた。結果として、動作電圧が低いミリ波向けデバイスでは、94 GHzのW帯において従来構造比2倍の出力密度を有する回路（MMIC：モノリシックマイクロ波集積回路）を実証した。一方、より高耐圧が必要なマイクロ波向けデバイスでは、更なるリーク電流低減施策が必要であることを示した。

最終試作においては、InAlGaN電子供給層の更なる最適化（チャネル領域の電子密度抑制＋電子移動度向上）により耐圧向上を図り、またダイヤモンドの直接接合による放熱技術の統合を行った。この際、（Ⅰ）ショットキーゲート、（Ⅱ）絶縁ゲートの2種類のデバイス構造を試みた。この統合デバイス最終試作（Ⅱ）が、全要素技術を適用した構造となる。結果として、ショットキーゲートにおいては、S帯において従来構造比2倍を大きく超える22.3 W/mmの出力密度が得られた。一方、絶縁ゲートにおいては、ドレインバイアス50 Vまでの動作においてショットキーゲートを上回る出力密度が得られた。更に絶縁ゲート品では、低トラップ絶縁膜のパッシベーション膜への適用により、パワーアンプの効率特性も改善することができた。

以上のように、本研究開発にて進めてきた各要素技術を組み合わせることにより、従来構造を大きく凌駕するデバイスを実現することができた。

表⑨-1　統合デバイス試作に適用した要素技術一覧

要素技術	統合デバイス						
	一次試作			二次試作		最終試作	
	（Ⅰ）	（Ⅱ）	（Ⅲ）	（Ⅰ）	（Ⅱ）	（Ⅰ）	（Ⅱ）
①In系供給層	○	○	○	○	○	○	○
②バックバリア	○			○	○	○	○
③コンタクト		○		○	○	○	○
⑤絶縁膜			○				○
⑦切削・研磨						○	○
⑧ダイヤ接合						○	○

⑨－１　本技術の開発意義

デバイス作製にあたり複数の要素技術を同時に適用した場合、相互に影響を及ぼし合うことにより意図せず特性が低下することが予想される。そのため、本研究開発においては、要素技術の一部統合から始め、段階的に統合技術を増やして最終的に全要素技術の統合を行った。

⑨－２　試作に用いたプロセス装置及び試作ロットの運用方法

図⑨-1 に、統合デバイスの試作時に用いた主な半導体プロセス装置の一覧を示す。紫外線露光によるパターン形成、金属や絶縁膜などの薄膜形成、ガスによる掘り込み形状形成を行うドライ加工、酸・アルカリや有機溶剤などの薬液処理に分けられる。

これらの装置を用いる際には、なるべくまとめて処理をすることにより、時間や経費（工数及び材料費）の観点から効率的に運用することが可能である。本研究における統合デバイスの試作ロットにおいては、一次、二次、最終の全てにおいて、同様の処理をなるべくまとめて処理を行うことにより、効率的な運用に努めた。

図⑨-1　統合デバイス試作に用いた主なプロセス装置一覧

⑨－３　統合デバイス一次試作の概要

平成 28 年度の一次試作においては、要素技術として下記 3 種類の統合を行った。要素技術①による In 系結晶を用いた電子供給層は、本研究の目標達成のための最有力の構成要素であり、これに、要素技術②バックバリア、同③コンタクト抵抗低減技術、さらに同⑤低トラップ絶縁膜を各々組み合わせることとした。

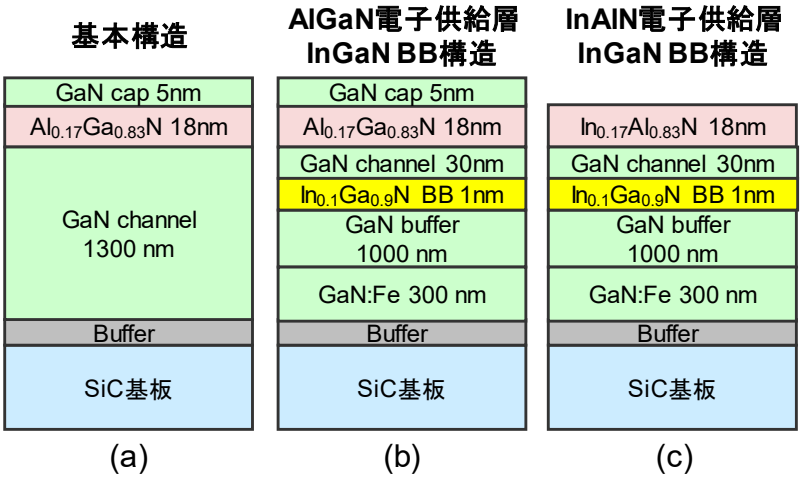
- （Ⅰ）　①In 系結晶成長技術　＋　②バックバリア技術
- （Ⅱ）　①In 系結晶成長技術　＋　③コンタクト抵抗低減技術
- （Ⅲ）　①In 系結晶成長技術　＋　⑤低トラップ絶縁膜技術

⑨－４　一次試作（Ⅰ）In 系結晶とバックバリア技術の統合

要素技術②におけるバックバリア構造は、ゲート長の短縮時もしくはドレイン電極への高電圧印加時における、オフリーク電流と呼ばれるゲート電極直下のチャネル層深くを流れる漏れ電流を抑制するために検討している。前述のとおりチャネルより基板側の伝導帯の底を持ち上げることにより、トランジスタ動作時に電子が基板側へ漏れるのを防ぐことが可能となる。平成 28 年度の要素技術②においては、ゲート電流の影響をな

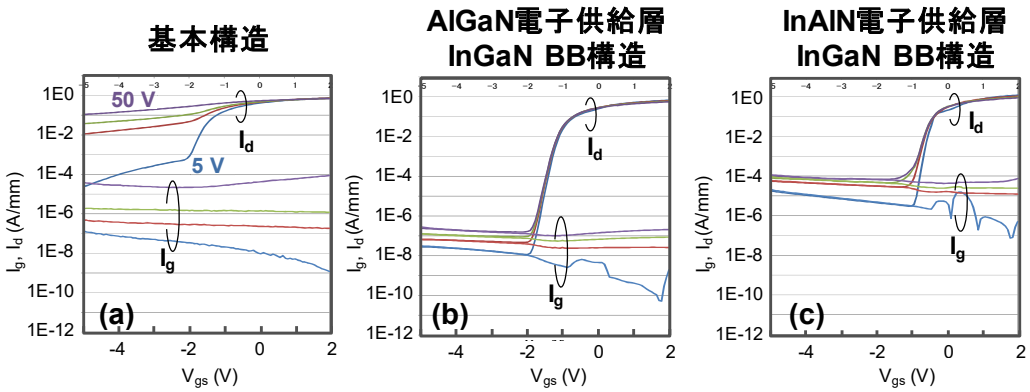
るべく排除するために、現状でゲートリーク電流を抑制する技術を有する AlGaN 電子供給層の系にて各種バックバリア構造を検討し、InGaN 材料を用いたバックバリアにより最も優れた効果が得られることを示した。本項においては、この InGaN バックバリアを、InAlN 電子供給層へ適用し、オフリークの低減効果を同様に得られるかの確認を行った。

本項で用いる結晶構造を図⑨-2 に示す。(a)基本構造、(b)AlGaN 電子供給層+InGaN バックバリアに加え、(c)InAlN 電子供給層+InGaN バックバリアを比較した。(a)および(b)のサンプルは図②-17 の(a)および(d)と同一であり、比較のため再掲した（図⑨-3 の特性も同様）。



図⑨-2　(a)BB 非適用の基本 HEMT 構造、(b)AlGaN 電子供給層+InGaN BB 構造
(c)InAlN 電子供給層+InGaN BB 構造における結晶構造の断面模式図

試作した HEMT の I_d-V_{gs} 特性を評価し、トランジスタのピンチオフ状態におけるリーク電流（オフリーク電流）について比較した。図⑨-3 に測定した I_d-V_{gs} 特性を示す。ドレイン電圧は 5 V から 50 V の範囲で、15 V ごとに測定を行った。測定したデバイスのゲート長は②-3 と同様に全て 0.12 μm である。結果として、電子供給層を InAlN にした場合でも、サブスレッショルド領域におけるオフリーク電流増加は殆ど見られなかった。ドレイン電圧を 50 V まで印加してもピンチオフ不良は確認されず、バックバリアが意図したとおりに機能していることを確認することができた。但し、InAlN 電子供給層においてはゲートリーク電流が多いため、続く試作ではこの抑制の施策も併せて統合することとした。



図⑨-3　(a)BB 非適用の基本 HEMT 構造、(b)AlGaN 電子供給層+InGaN BB 構造
(c)InAlN 電子供給層+InGaN BB 構造における I_d-V_{gs} 特性

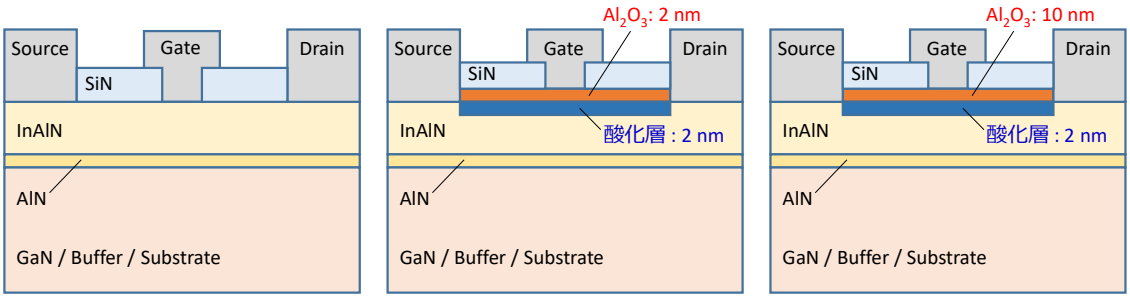
⑨－５　一次試作（Ⅱ）In 系結晶とコンタクト抵抗低減技術の統合

本項では、InAlN 電子供給層と、要素技術③におけるコンタクト抵抗低減技術の組み合わせについて言及する。「③コンタクト抵抗低減技術の開発」の結果に示すとおり、平成 28 年度の検討結果としては、オーミック電極のコンタクト抵抗を低減させる試みとしては、イオン注入よりも選択再成長技術が優れていることが分かった。なお、「③コンタクト抵抗低減技術の開発」においては、当初より In 系電子供給層を用いて要素技術の実験を行った。その理由としては、In を含む材料は AlGaN と比べ成長温度が非常に低いことに起因し、選択再成長時における温度を含めた成長条件を、再度見直す必要が生じてしまうからである。

結果として、In 系電子供給層＋選択再成長技術により、0.1 Ωmm という極めて良好なコンタクト抵抗を得ることができた。本試作を行った当初、最終統合に向けて懸念される事項として、前述の InGaN バックバリアの再成長時における劣化、半導体最表面のプロセス履歴がデバイス特性に与える悪影響を考えていた。具体的には、オフリーク電流やゲートリーク電流の増加によるパワー測定時の破壊、半導体表面の電子トラップによるパワー特性の劣化などが挙げられる。しかしながら、続く二次試作、最終試作において、これらに起因した特性劣化は見られなかった。

⑨－６　一次試作（Ⅲ）In 系結晶と低トラップ絶縁膜の統合

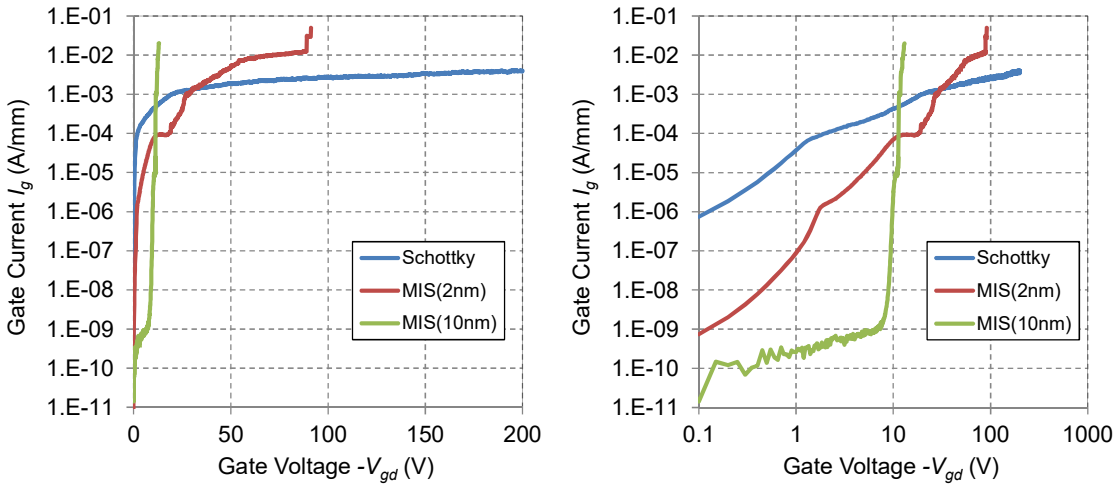
最後に、要素技術⑤の低トラップ絶縁膜技術に関する検討を行った。この絶縁膜は、MIS 構造のゲート絶縁膜及び電極間のパッシベーション膜として用いている。図⑨-4 に、本実験にて比較検討を行った HEMT 構造の断面模式図を示す。InAlN 電子供給層を有する通常のショットキーゲートに対し、平成 28 年度に開発した絶縁膜を、膜厚を変更して比較を行った。具体的には、下層の InAlN の酸化膜は 2 nm で固定し、ALD 法による Al_2O_3 膜の膜厚を 2 nm 及び 10 nm の 2 種類形成した。



(a) ショットキーゲート　(b) MISゲート(Al_2O_3:2 nm)　(c) MISゲート(Al_2O_3:10 nm)

図⑨-4　統合デバイス一次試作（Ⅲ）における HEMT 構造の断面模式図

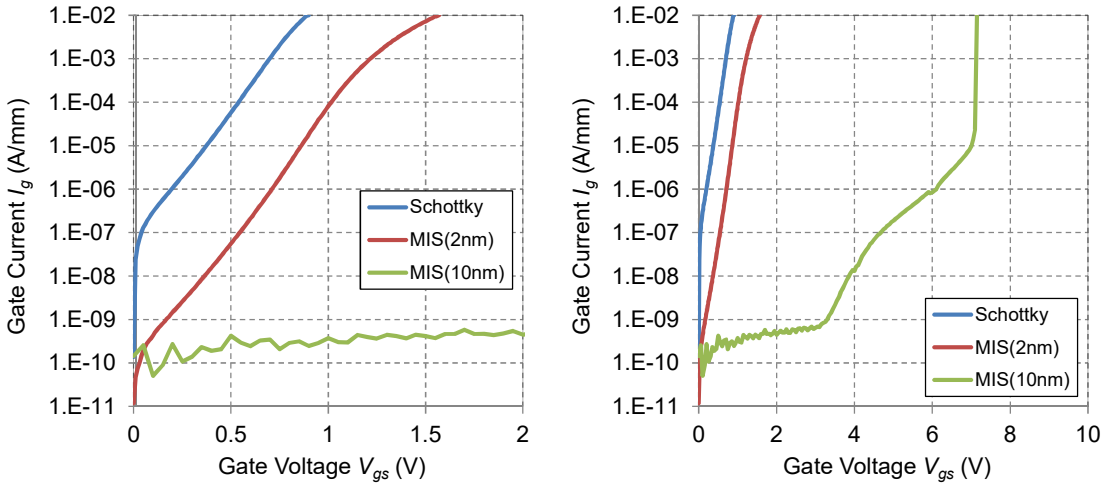
図⑨-5 に、これら 3 種類の構造のゲート・ドレイン間における 2 端子逆方向特性を示す。横軸のゲート電圧に対し、(a)は線形表示、(b)は対数表示である。これらの結果より、MIS 構造にすると、低電圧側はゲート電極に挿入された絶縁膜の効果でリーク電流が小さいものの、破壊耐圧が非常に低いことが分かる。これは、ゲート絶縁膜のリーク電流が低いことにより、ゲート電極へ逆方向電圧を印加した際にゲート電極端の電界強度が大きくなり、破壊しやすくなったためと考えられる。絶縁膜が 2 nm と薄い構造においては、ショットキー電極と 10 nm-MIS 構造の間の特性を示している。なお、破壊耐圧は、MIS(10 nm)がおよそ 10 V、MIS(2 nm)が 90 V、ショットキー電極が 200 V 以上であった。但し、ショットキー電極は、破壊こそしないものの、リーク電流が極めて大きく、パワーアンプ動作時における入力信号を増加させた際の発熱に起因した破壊が懸念される。



(a) 横軸: 線形表示　(b) 横軸: 対数表示

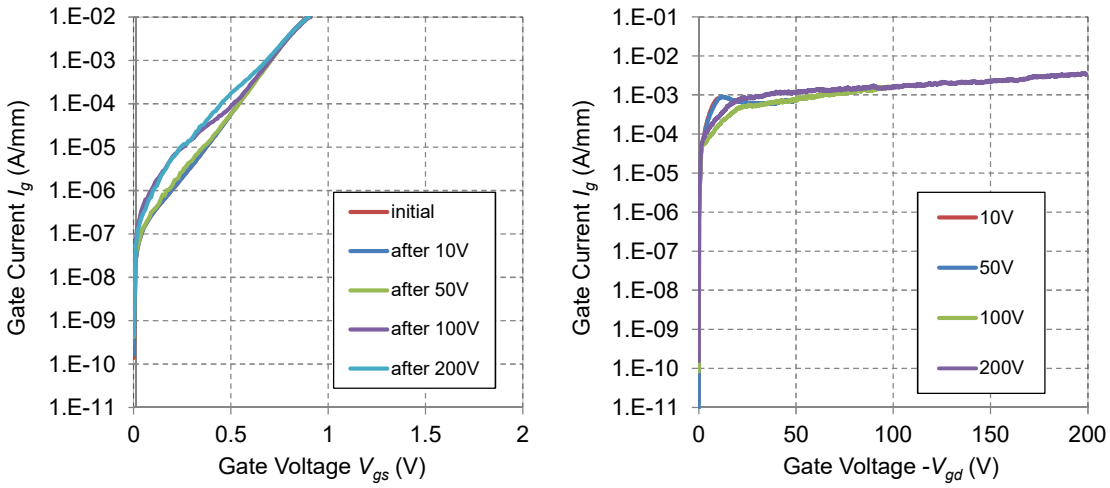
図⑨-5　ゲート・ドレイン 2 端子逆方向特性

次に、図⑨-6 に、ゲート・ソース間における 2 端子順方向特性を示す。MIS(10 nm)においては、ゲート絶縁膜がしっかり挿入されていることから、電流値は測定限界まで低い値を示し、7 V 程度で破壊した。一方、MIS(2 nm)においては、バリアハイトの高いショットキー電極のような振る舞いをしている。これは、絶縁膜の厚みが 2 nm と薄く、電子がトンネルを起こしているためと考えられ、MIS 構造であるものの、疑似ショットキー電極ともいえる。なお、順方向耐圧が高いとパワー測定時により大きな入力電力を印加することができるため、トランジスタ動作の観点からは好ましい。



図⑨-6　ゲート・ソース 2 端子順方向特性

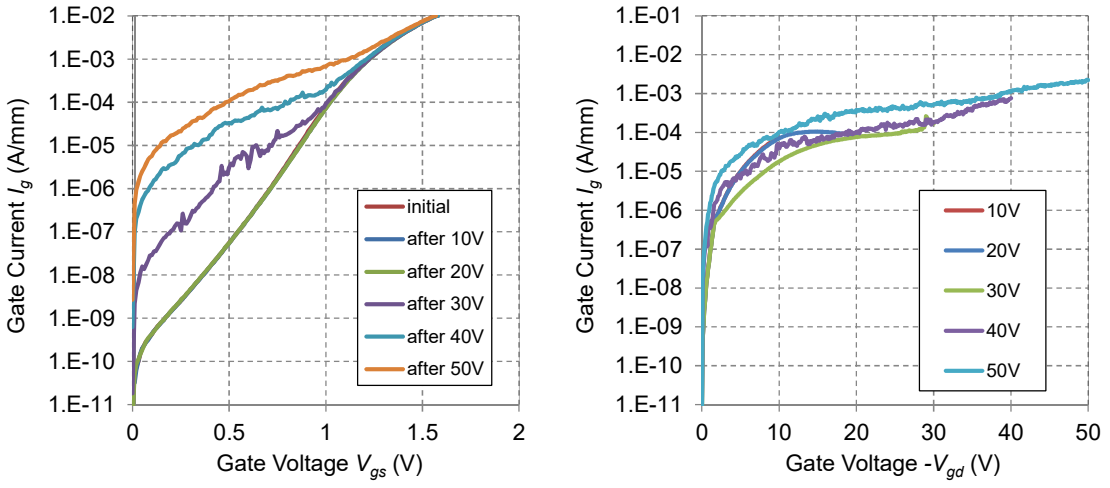
次に、ショットキーゲートと MIS(2 nm)構造において、順方向特性の劣化の様子を調査した。まず図⑨-7 に、ショットキーゲートの場合を示す。初期特性を順方向で測定後、逆方向に 10 V の sweep 測定を行い、再び順方向の特性を測定する。その後、逆方向を 50 V, 100 V, 200 V と徐々に増加させていき、その都度順方向の特性を比較する。結果として、ショットキーゲートの場合は、50 V までは順方向の波形は全く変化が無く、100 V, 200 V 印加後に、低電圧側にわずかにハンプ形状が見られた。また、逆方向特性のリークレベルに関しては、100 V 以下でトラップの充放電と思われる特性が見られるものの、顕著な劣化は観察されなかった。



(a) ゲート順方向特性　　(b) ゲート逆方向特性

図⑨-7　ショットキーゲートにおける順方向特性の劣化の様子

一方、図⑨-8 に、2 nm 厚の MIS ゲートの場合を示す。測定手法は図⑨-7 と同様であるが、逆方向の印加電圧を下げ、10 V から 50 V までとした。こちらは順方向特性の劣化が顕著に観察された。逆方向 20 V 印加までは変化が無いが、30 V 印加後に順方向リーク電流の増加が見られ始め、さらに 40 V, 50 V と印加するにつれ増加し続けた。2 nm の薄膜 MIS ゲートはバリアハイトの高い疑似ショットキー電極と前述したが、この接合は、このままでは劣化しやすく、何らかの対策が必要であることが分かった。



(a) ゲート順方向特性　　(b) ゲート逆方向特性

図⑨-8　2 nm 厚の MIS ゲートにおける順方向特性の劣化の様子

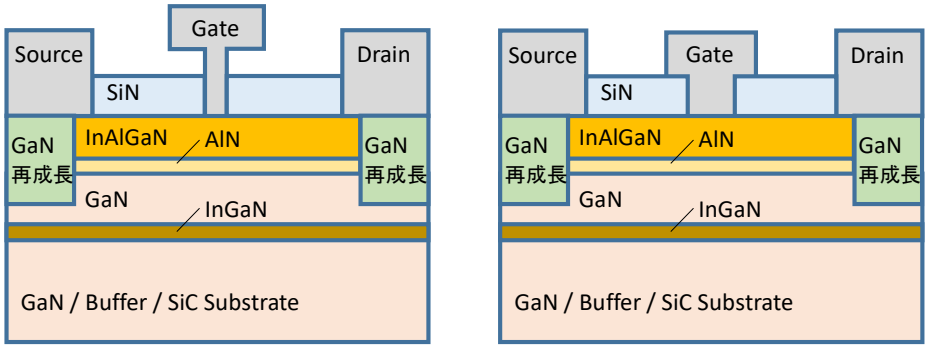
⑨－７　一次試作のまとめ

最終年度における各要素技術の統合の前段階として、一部技術の組み合わせを行い、それらの整合性の調査や新たな課題の抽出を行った。バックバリア、コンタクト抵抗技術に関しては、In 系電子供給層との組み合わせにより充分な効果を得ることができた。課題としては、ゲート絶縁膜を挿入した際のトランジスタ耐圧が挙げられる。低トラップ絶縁膜の開発により、ゲートリーク電流の小さな膜は得られているものの、劣化しやすいため、破壊耐圧としてはショットキー電極に比べかえって下がってしまう。もちろん、ゲート絶縁膜の厚みを極端に増やせば耐圧は向上するはずだが、いわゆるゲートの効き（相互コンダクタンス：g_mなどの指標で表す）は低下する方向となる。

この後の開発は、ショットキー電極のゲートリーク電流低減、MIS 構造における破壊耐圧の向上、の 2 つの方向性が考えられる。

⑨－８　統合デバイス二次試作の概要

平成 29 年度の二次試作においては、前項の結果を受け、MIS 構造を有しないショットキーゲートによるデバイスを試作した。要素技術としては、①In 系結晶を用いた電子供給層、②バックバリア、③コンタクト抵抗低減技術の統合を行った。①In 系電子供給層においては、一次試作において課題となったゲートリーク電流を更に低減させるため、「①InAlN、InAlGaN 系結晶成長技術の開発」において検討を行った 4 元系の InAlGaN を電子供給層として用いることとした。この InAlGaN は、成長温度を上げることにより結晶品質を高めることが可能である。これにより、InAlN よりも高耐圧が期待できる。なお、図⑨-9 に、二次試作における HEMT 構造の断面模式図を示す。本試作においては、2 種類のデバイスを検討した。1 つは、ミリ波帯向け短ゲートデバイス（ゲート長：0.08 μm）であり、動作電圧が 10～20 V 程度と低いため、耐圧が低い状態でも各要素技術の効果を確認しやすいメリットがある。もう 1 つは、マイクロ波帯向けの比較的長いゲート長（0.25～0.5 μm）のデバイスであり、より高い出力を目指す構造である。

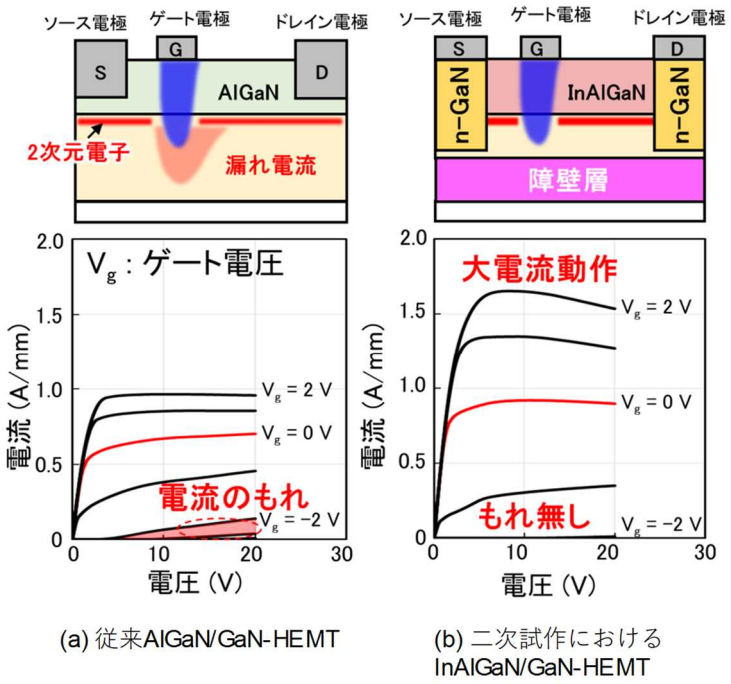


(a) 二次試作（Ⅰ）ミリ波デバイス　　(b) 二次試作（Ⅱ）マイクロ波デバイス

図⑨-9　統合デバイス二次試作における HEMT 構造の断面模式図

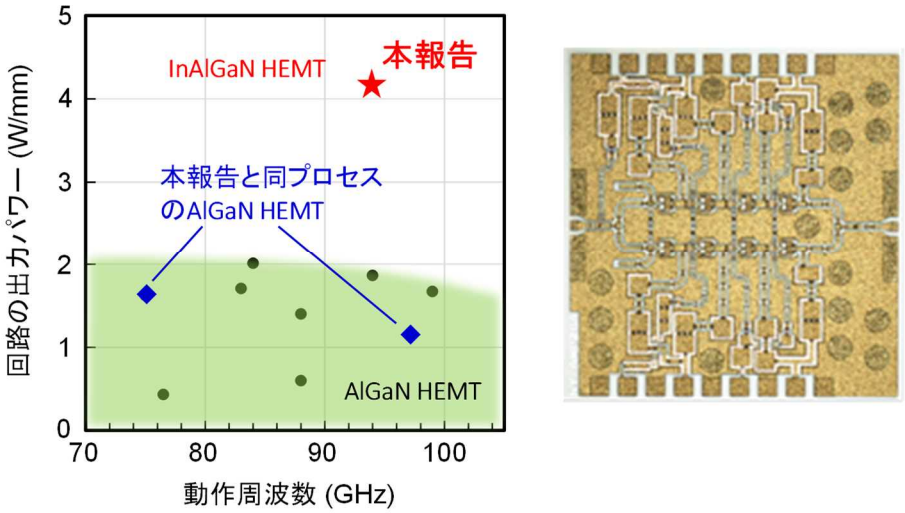
⑨－９　二次試作（Ⅰ）ミリ波帯向けデバイス

図⑨-10 に、作製した HEMT の 3 端子特性の結果を示す。In 系電子供給層による 2DEG 濃度増加および、オーミック電極部の再成長技術によるコンタクト抵抗低減により、従来の AlGaN/GaN-HEMT に比べ、電流値は 1.5 倍以上と大幅に増加した。一方、バックバリアの効果により、ゲート長 0.08 μm の短ゲートデバイスにおいても、漏れ電流を大幅に低減させることに成功した。



図⑨-10　従来及び新構造での HEMT 特性の比較

図⑨-11 に、W 帯（75-110 GHz）における、MMIC の CW（連続波）動作による出力パワーのベンチマーク図を示す。従来、MMIC のパワー評価は AlGaN 電子供給層によるものであり、およそ 2 W/mm が最大値であった。今回、94 GHz 帯において 4.16 W/mm という従来比 2 倍超の高い出力密度を有する MMIC を実現させることができた。また、発熱の観点からより高い信頼度が求められる CW 動作においても焼損は見られなかった。



図⑨-11　W 帯 MMIC ベンチマーク及び試作した MMIC 写真

⑨－１０　二次試作（Ⅱ）マイクロ波帯向けデバイス

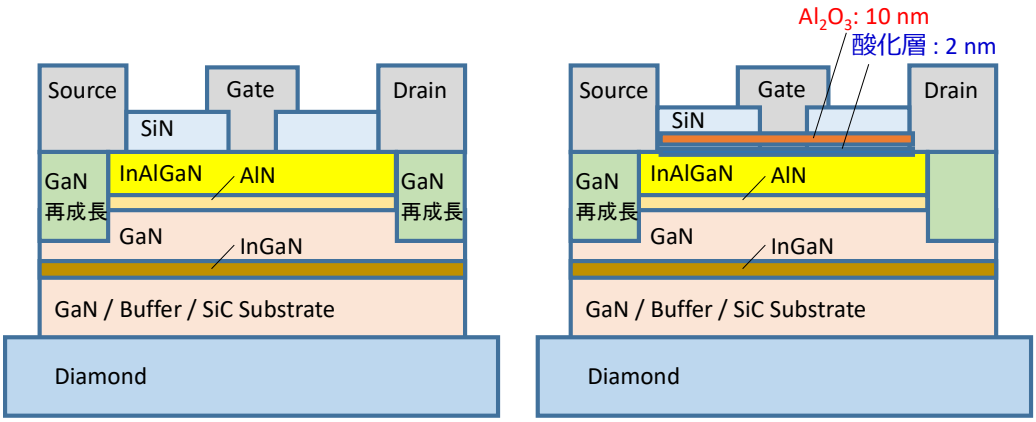
二次試作（Ⅱ）では、同（Ⅰ）のデバイス諸元を変更し、マイクロ波帯においてより高出力を目指す構造とした。ゲート長は 0.25 μm から 0.5 μm クラスであり、1～10 GHz 帯程度に対応したものとなっている。本試作においては、電子供給層に 4 元系の InAlGaN を用いており、前述の通り、リーク電流低減が期待できる。結果として、50 V 印加時におけるゲートリーク電流は、一次試作の-3 乗 A/mm 台（図⑨-5）から-4 乗 A/mm 台（図⑨-13）へ 1 桁低減させることができた。しかしながら、パワー評価を行うためには更に 1 桁のゲートリーク電流の低減を実現させることが好ましく、次項の最終試作において新たな改善施策を行うこととした。

⑨－１１　統合デバイス最終試作の概要

最終試作においては、全要素技術の統合を目的とした。表⑨-1 及び図⑨-12 に示すように、最終試作（Ⅰ）では、ショットキーゲートにおいて、ダイヤ接合を含めた絶縁膜以外の要素技術を統合した。また、同（Ⅱ）においては、ゲート絶縁膜を含めた全要素技術の統合を行った。ダイヤ接合に際しては、「⑦接合用切削・研磨技術の開発」に示すように、SiC 基板を研削により 50 μm にまで薄化し、CMP 処理による平坦化後に接合を行った。

また、最終試作においては、二次試作から更なるゲートリーク電流の低減を目指し、InAlGaN 電子供給層の変更を行った。具体的には、「①InAlN、InAlGaN 系結晶成長技術の開発」及び「④高電流構造シミュレーション」に示す通り、InAlGaN 電子供給層による 2DEG 部のキャリア密度低減を行った。これによりバイアス印加時の電位分布を変調し、ゲート端の電界集中を緩和することによりゲートリーク電流の低減を図った。なお、

併せて 2DEG の移動度を向上させることにより、デバイスのシート抵抗は同程度にとどめ、ドレイン電流の低下を防いだ。

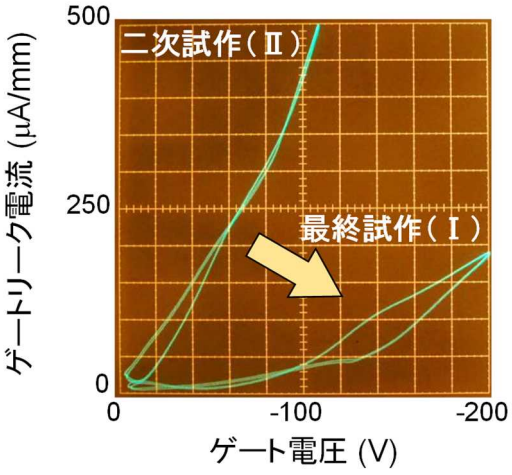


(a) 最終試作(Ⅰ)ショットキーゲート　　(b) 最終試作(Ⅱ)MISゲート

図⑨-12　統合デバイス最終試作における HEMT 構造の断面模式図（再掲）

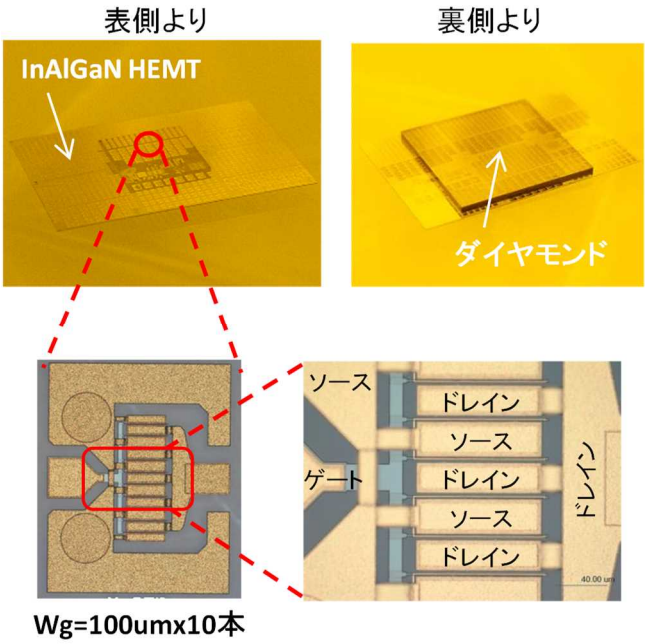
⑨－１２　最終試作（Ⅰ）ショットキーゲート

前述の改善 InAlGaN 電子供給層の効果を図⑨-13 に示す。カーブトレーサによる、ゲート-ドレイン電極間の 2 端子逆方向特性である。二次試作（Ⅱ）から最終試作（Ⅰ）の電子供給層変更により、ゲートリーク電流を大幅に低減させることができた。50 V 印加時におけるゲートリーク電流は、二次試作の-4 乗 A/mm 台から-5 乗 A/mm 台へ 1 桁低減しており、一次試作から比べると 2 桁低減させることができた。



図⑨-13　二次試作(Ⅱ)と最終試作(Ⅰ)でのゲートリーク電流の比較

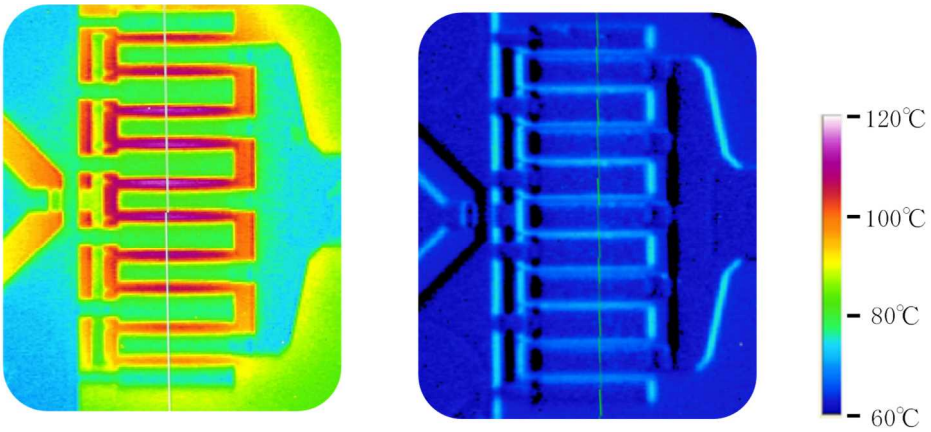
最終試作（Ⅰ）のダイヤ接合後の様子を図⑨-14 に示す。「⑧接合プロセス技術開発」で示すように SiC 基板の裏面側にダイヤモンドは強固に接合されている。後述の、熱抵抗測定、パワー測定は、図示のゲート幅 1 mm の櫛歯型の単体トランジスタを用いた。



図⑨-14　最終試作にてダイヤ接合したサンプル及び測定トランジスタ

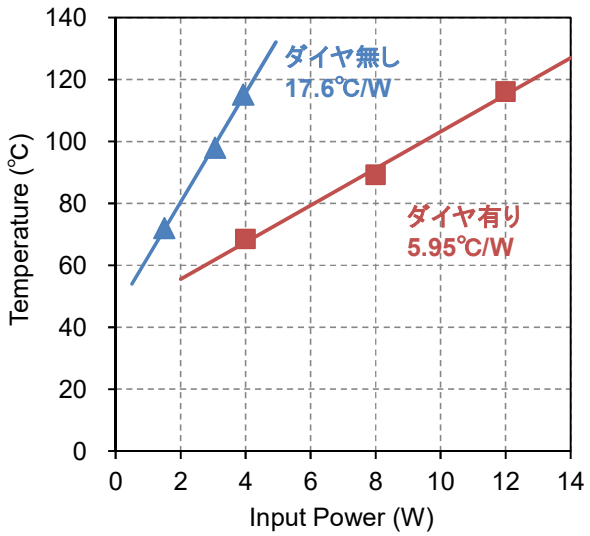
次に、ダイヤモンドによる放熱効果を検証するため、赤外線カメラを用いて、パワー入力時の表面温度の様子を評価した（IR 評価）。図⑨-15 に、4 W 印加時のトランジスタ表面の赤外線像を示す。ダイヤ有無を比較しており、カラーバーの範囲は揃えてある。図から明らかなように、ダイヤ接合無しのサンプルは 4 W の入力において最大で 120℃近くまで上昇しているものの、ダイヤ接合有りのサンプルは 70℃程度に抑えられている。ダイヤモンドのヒートスプレッド効果は絶大であることが分かった。

図⑨-16 に、IR 評価において入力パワーを振った際の最大表面温度をプロットしたグラフを示す。このグラフの傾きが、熱抵抗と呼ばれるパラメータであり、この値が低いほど放熱性に優れた構造であるといえる。図から分かるように、ダイヤ有無の両サンプル共、プロットは良い線形性を示しており、評価が妥当であることを示唆している。熱抵抗の値は、ダイヤ接合無しのサンプルが 17.6℃/W、ダイヤ接合有りのサンプルが 5.95℃/W であった。ダイヤを接合することにより、SiC 基板上 GaN-HEMT の熱抵抗をおよそ 3 分の 1 に低減させることが可能となった。



(a) ダイヤ無し　　(b) ダイヤ有り

図⑨-15　パワー(4 W)印加時における発熱状態の比較

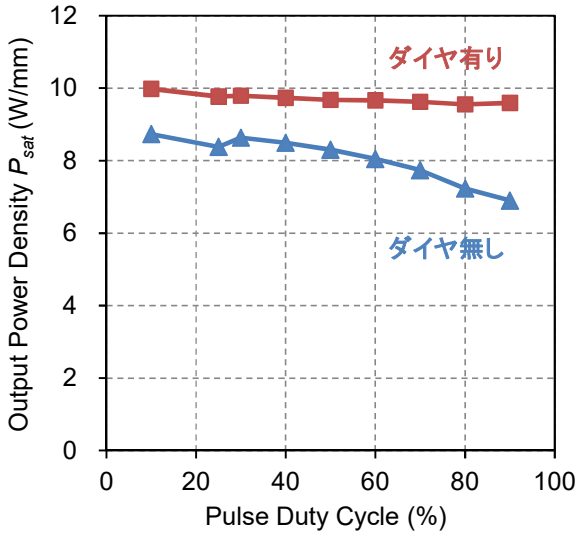


図⑨-16　熱抵抗評価におけるダイヤ有無の比較（再掲）

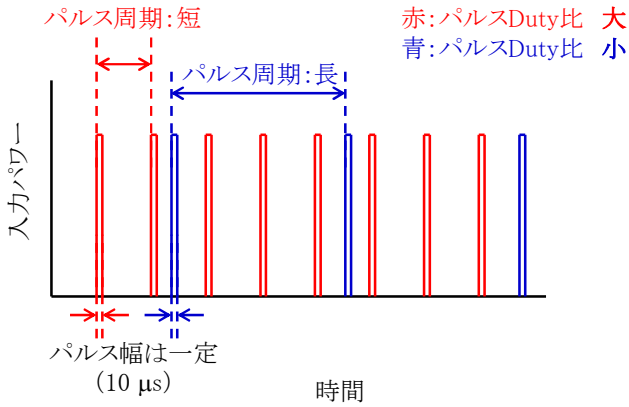
最後に、パワー測定の結果を示す。チューナーにより最適なインピーダンス整合点を求め、その整合条件でのトランジスタへの入力パワーと出力パワーの相関(P_{in}-P_{out}特性)を評価した（ロードプル評価)。

まず、S 帯（3 GHz 帯）でのロードプル評価において、図⑨-17 に、V_{ds} を 50 V に固定した際の、出力パワー密度のパルス Duty 比依存を示す。パルス幅は 10 μs にて固定し、Duty 比を振る際はパルス周期を変化させた。図⑨-18 にパルス測定の概要を示す。ダイヤ接合無しのサンプルは、パルス Duty 比が増える、つまりパルス占有率が増加するに従い、熱の影響により出力が下がってくる。一方、ダイヤ接合有りのサンプルは、その減少分がかなり抑制されていることが分かる。10%パルスと 90%パルスの差分は、ダイ

ヤ無しで 1.83 W/mm、ダイヤ有りで 0.39 W/mm であり、熱による影響を 80%近く低減させることが可能となった。



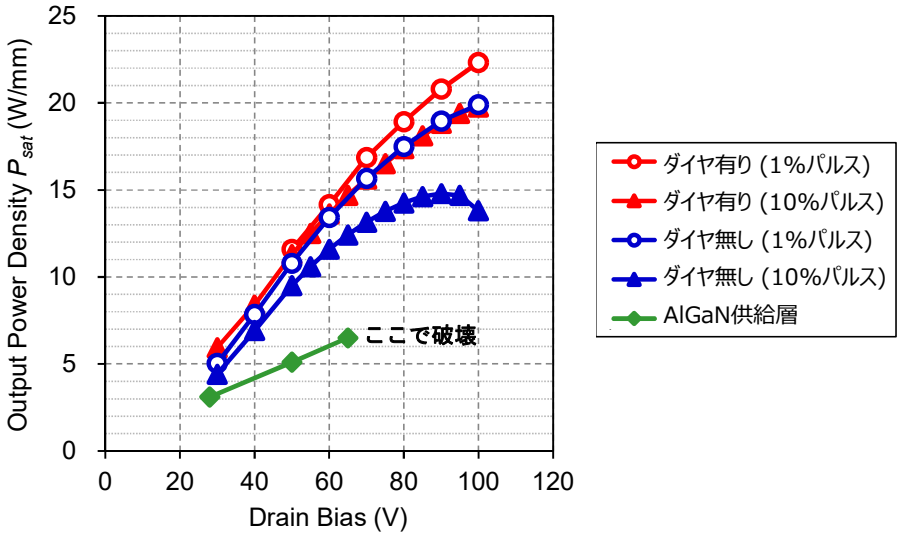
図⑨-17　出力パワー密度のパルス Duty 比依存



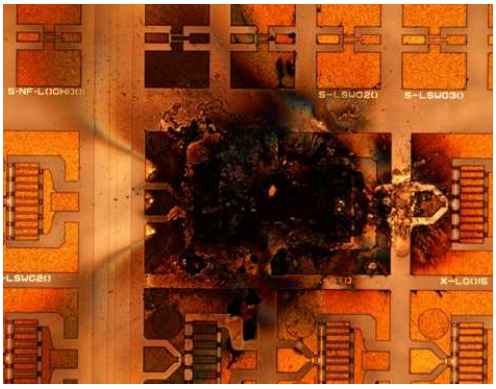
図⑨-18　パルス測定の概要

次に、同じく S 帯において、P_{in}-P_{out} 特性の飽和出力の動作電圧依存を取得した（図⑨-19）。なお、ダイヤ有り無し両サンプル共に、銅プレートに銀ペーストにて実装を行っている。最終試作（Ⅰ）のサンプルにおいては、ダイヤ有り無しに関わらず、動作電圧 100 V まで破壊することなく測定できた。一方、同様のプロセスにて作製した通常の AlGaN/GaN-HEMT のサンプルを図中の緑色のプロットにて示す。AlGaN 電子供給層では 2 種類の Al 組成共に 70 V 程度で破壊してしまうものが散見される（図⑨-20：破壊後のサンプル写真）が、本研究成果の InAlGaN 電子供給層は非常に強固なデバイスを実現させることができた。これは、スペーサ層の挿入による InAlGaN 電子供給層の内部電界低

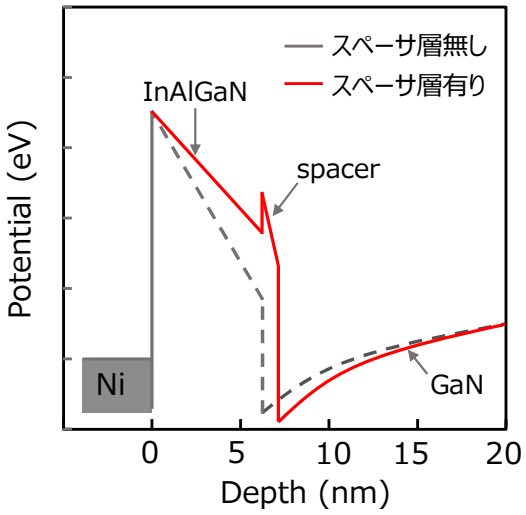
減を、メカニズムの可能性の一つとして考えている。図⑨-21 はゲート電極直下のエネルギーバンド図であり、線の傾きが電界強度を表している。スペーサ層の挿入により、InAlGaN 層の内部電界強度が抑制されていることが分かる。また、図⑨-19 では、パルス Duty 比やダイヤ有無の差も確認できた。これは、熱の影響がある場合、主に移動度低下などの原因により特性が劣化することを示している。ダイヤ接合をすることにより、パルス 10%において 14.8 W/mm から 19.8 W/mm へ、パルス 1%においては、19.9 W/mm から 22.3 W/mm へと大きく改善することができた。10%のダイヤ有り品と 1%のダイヤ無し品がほぼ重なった特性を示していることから、ダイヤ接合により、およそ 10 倍の熱量を放熱処理できていることが分かった。また、今回は所有する設備の関係で動作電圧の最大値は 100 V だが、ダイヤ接合における 1%パルス測定では、更に出力が向上される可能性がある。同様のプロセスにて作製した S 帯 AlGaN/GaN-HEMT のパワー密度（図中の緑色のプロット）は 6.5 W/mm 程度であり、本研究での 22.3 W/mm はこれを 3 倍以上と大きく凌駕することができた。



図⑨-19　最終試作（Ⅰ）における出力パワー密度の動作電圧依存



図⑨-20　パワー測定時の破壊サンプルの例



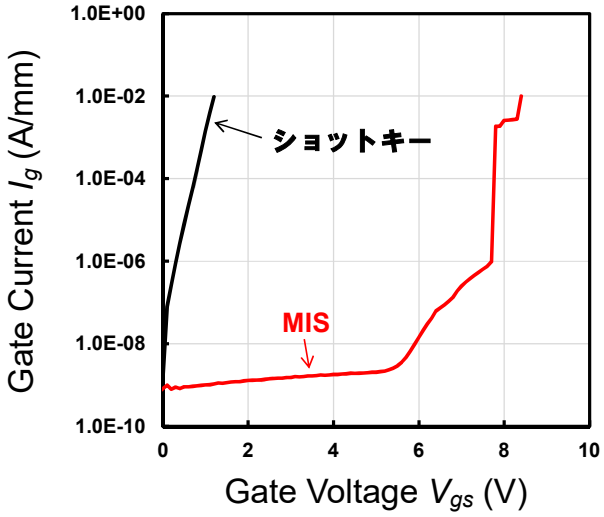
図⑨-21　ゲート電極直下のエネルギーバンド図（模式図）

⑨－１３　最終試作（Ⅱ）MIS ゲート

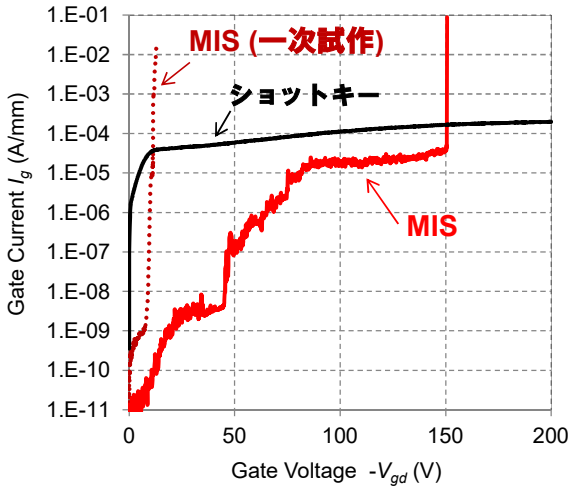
MIS ゲートの最大の利点は、ショットキーゲートに比べて順方向ゲート耐圧を大きくできる点にある。パワーアンプにおいて入力電力を増加させた場合、ドレイン電圧とゲート電圧のバランスにより、ゲート電極とその直下の半導体の間に順方向の立ち上がり電圧以上の電位差が生じると、ゲート電流が一気に流れて出力電力が頭打ちとなってしまう。ショットキーゲートの順方向立ち上がり電圧は、概ね半導体と電極金属の材料物性に起因したショットキーバリアハイトで決まる。そこで、飽和領域での順方向ゲートリーク電流を抑制するため、MIS ゲートが有効となる。最終試作（Ⅱ）では、「⑤In 系窒化物半導体向け低トラップ絶縁膜技術の開発」で開発を進めてきた“低トラップ絶縁膜”を MIS ゲートに適用し、DC 特性、及びパワー特性の評価を行った。

図⑨-22 は順方向ゲートリーク電流を MIS とショットキーで比較した結果である。この結果から、MIS ゲートの採用により順方向耐圧が 7.7 V にまで向上し、ゲート電圧を 7 V 程度まで振り込めることがわかった。

図⑨-23 は、2 端子逆方向耐圧測定の結果である。MIS ゲートのリーク電流は V_{gd}= -40 V において 3.5×10^{-9} A/mm と、ショットキーゲートよりも 3～4 桁ほど低い値を示している。その後、リーク電流が徐々に増加し、最終的には 150 V 前後で絶縁破壊に至った。最終試作では、InAlGaN 電子供給層による 2DEG 部のキャリア密度低減により、ゲート端の電界集中が緩和しているため、MIS ゲートの耐圧も一次試作より大幅に向上したが、ショットキーゲートを上回る耐圧は得られなかった。この点については、現状における MIS ゲートの課題であり、今後改善していく必要がある。

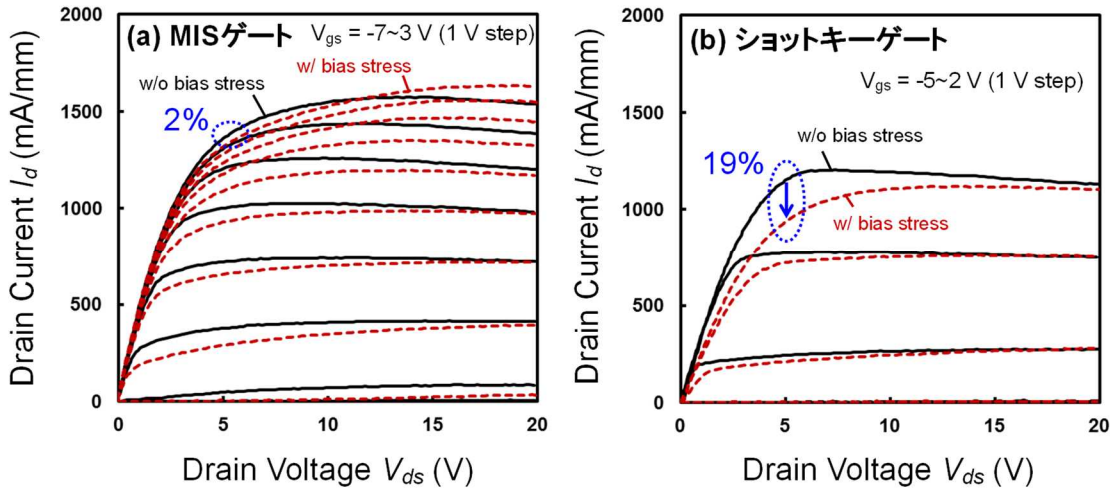


図⑨-22　順方向ゲートリーク電流



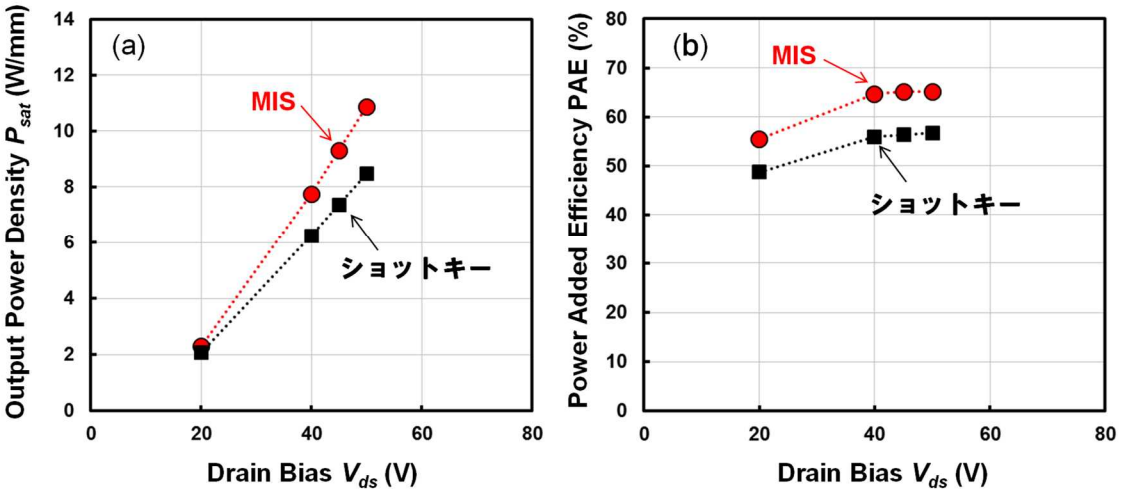
図⑨-23　最終試作（Ⅱ）における 2 端子逆方向耐圧

次に、試作したデバイスの 3 端子パルス I-V 評価を行った（パルス I-V の評価方法については「②バックバリア成長技術の開発」を参照)。MIS ゲートの特性を図⑨-24 (a)に、ショットキーゲートの特性を図⑨-24 (b)に示す。この結果から、ショットキーゲートの最大ドレイン電流は 1200 mA/mm 程度（@ V_{gs}= 2 V）であるのに対し、MIS ゲートは V_{gs}= 3 V において 1550 mA/mm と、順方向に振り込むことで最大ドレイン電流が 30%程度向上することがわかった。また、電圧ストレス印加後（V_{ds}= 20 V）のドレイン電流減少率から電流コラプスを見積もると、MIS ゲートの採用により電流コラプスが大きく抑制されることがわかった（ドレイン電流減少率が 19%から 2%に低減)。これは、「⑤In 系窒化物半導体向け低トラップ絶縁膜技術の開発」で述べたように、絶縁膜である Al_2O_3 の成膜前に In 系電子供給層の表面を水蒸気処理することで、Al_2O_3/InAlGaN 界面における電子トラップが低減した効果と考えられる。



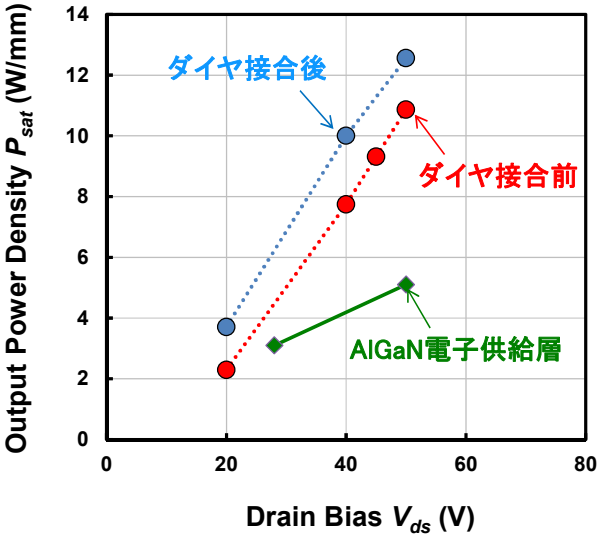
図⑨-24　パルス I-V 測定による電流コラプス評価

次に、S 帯において、ロードプル評価における P_{in}-P_{out} 特性の動作電圧依存性をウェハ状態で取得した（図⑨-25)。図⑨-25 (a)に出力パワー密度（P_{sat})、図⑨-25 (b)に電力付加効率（PAE: Power-Added Efficiency）の評価結果を示す。この結果から、各動作電圧において P_{sat} は MIS ゲートの方が高く、出力特性が向上していることがわかる。これは、図⑨-22 で示したように、MIS ゲートは順方向ゲートリーク電流が低く、より高い順方向電圧を印加できるため、ドレイン電流が増加した効果と考えられる。また、図⑨-25 (b)に示す効率の動作電圧依存からは、MIS ゲートの採用により効率が 10%程度向上することが明らかとなった。これは、MIS ゲート形成時の界面改質（パッシベーション膜/InAlGaN）によって電子トラップが低減し、電流コラプスが抑制された効果と考えられる。



図⑨-25　出力パワー密度，電力付加効率の動作電圧依存性

最後に、統合デバイスの裏面にダイヤモンドを接合し、P_{in}-P_{out} 特性を評価した結果を図⑨-26 に示す。通常の AlGaN/GaN-HEMT のサンプルを図中の緑色のプロットにて示す。この結果から、動作電圧 50 V における MIS ゲートの出力パワー密度は 12.6 W/mm と、ダイヤモンド接合前の値（10.9 W/mm）よりも更に向上することが明らかとなった。これは最終試作（Ⅰ）で述べたように、ダイヤモンドを用いた放熱により、移動度低下など、特性劣化要因が抑制された効果と考えられる。今回の評価では、MIS ゲートの耐圧により、動作電圧の上限は 50 V としたが、今後、低トラップ絶縁膜の絶縁性を向上するとともに、デバイス構造の工夫によりゲート絶縁膜部での電界緩和が実現した際には、動作電圧を上げることで更にパワー特性が向上すると期待できる。



図⑨-26　出力パワー密度の動作電圧依存性

⑨－１４　まとめ

本研究開発にて進めてきた要素技術を統合することにより、デバイスの高性能化を図った。統合時にゲートリーク電流及び破壊耐圧という新たな課題も明らかになり、これらを解決することで、デバイス特性の大幅な向上を達成した。なお、統合にあたっては、各要素技術の適用数を徐々に増やすことにより、全部で 7 通りの試作を行った。本研究開発の最終結果として、ミリ波帯、マイクロ波帯の両周波数帯において、最終目標である「現行素子サイズで従来比出力 2 倍」を充分に達成させることができた。

１．２　研究課題終了後の将来性

本研究は、革新的な高出力・高周波デバイスの実現に必須となる 3 つの要素技術についてヘテロ構造最適化の観点から基礎的研究を推進し、要素技術群を融合したデバイスの試作・実証から最終目標となる現行素子サイズで従来比出力 2 倍を達成した。本研究のモチベーションは我が国の科学技術発展への貢献に深く根ざすことから、研究を通じて得られた成果の将来性と波及効果を以下に論じる。

学術分野（基盤的有効性）への波及効果

本研究は、従来の AlGaN 結晶ではなく In 系結晶を電子供給層に適用することを特徴の一つとする。In 系 HEMT 構造は 2002 年の発表以降、10 nm 以下の薄い電子供給層でありながら高密度の 2 次元電子ガスが得られる利点により、特に高周波デバイスとしての研究が精力的に進められた。しかし、報告される優れた高周波特性とは対照的に、ゲートリーク電流やオフリーク電流が極めて大きく、これまで高出力デバイスとして十分に検討された例は少なかった。

以上の状況にある中、本研究は図 17 に示すように、これまでの AlGaN/GaN-HEMT 構造をも凌ぐ電圧にてパワーアンプの動作を実証し、従来比およそ 3 倍となる革新的な出力密度を達成した。これは In 系 HEMT 構造において世界初の成果であり、In 系は低耐圧故に高出力デバイスとして不適であるとするこれまでの常識を覆すものである。In 系材料の真のポテンシャルを引き出すことで、In 系 HEMT 構造が高周波デバイスのみならず、高出力デバイスとしても有効性が実証された本研究の意義は極めて大きい。

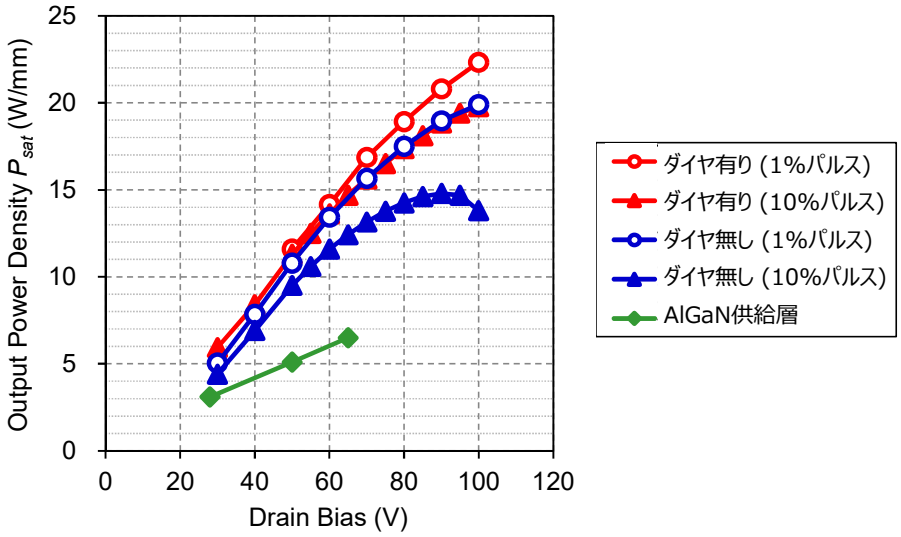


図 17 最終試作（Ⅰ）における出力パワー密度の動作電圧依存（再掲）

本研究において高い出力密度を達成した背景には、In 系 HEMT 構造における課題の本質を理解し、学術的な深い洞察の下に高出力化に向けた適切なアプローチを行ったことにある。

先に述べたように、In 系 HEMT 構造はその高い電子密度から高周波・高出力デバイスとして期待されてきた。一方、本研究では、電子密度とデバイス特性との相関をシミュレーションにて解析し、高濃度な電子密度に起因した耐圧低下を明らかにした。この知見を基に、In 系結晶/GaN チャネル層における構造最適化を実施して高出力化を実現する最適な電子密度を見出すに至った。具体的には電子供給層内部の電界強度が電子供給層とスペーサ層の分極電荷量の関係に左右される点に着目し、電子供給層内部の電界強度を抑制する結晶組成制御を行った。

以上のように、本研究は内部電界強度に着眼したヘテロ界面制御によりデバイス動作時の耐圧向上を実現したものである。基本原理の理解の下で飛躍的な高出力化を達成し、更なる高性能化に向けた指針を示した本研究の学術的価値は高い。

さらに、高出力化に向けた普遍的な課題として自己発熱による性能低下が存在する。そこで本研究ではダイヤ基板を用いた高放熱構造を提案し、ヘテロ構造の最適化を推進して熱抵抗を従来比 1/3 にまで削減することで、デバイス動作時の温度を大幅に低下させることに成功した（図 12）。なお、本研究で開発したダイヤ接合技術は In 系結晶に限らず、発熱課題を有するデバイスへの応用が可能である。従って、ダイヤモンド接合技術は本研究成果を契機として広範な分野への波及効果が期待できる。

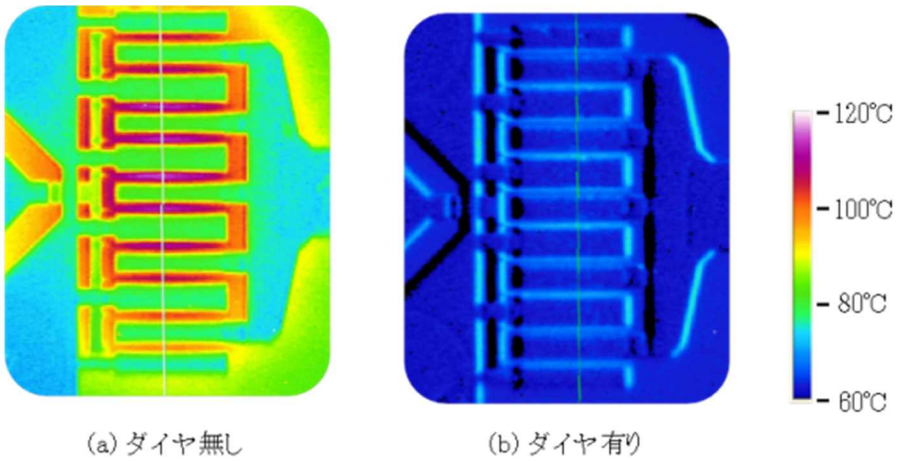


図 12　パワー印加時の発熱状態比較（再掲）

民生分野（実用的有効性）への波及効果

本研究成果により実現した高出力・高周波デバイスは、実用的有効性が極めて高い。

マイクロ波およびミリ波帯パワーアンプの民生分野への波及としては、主に無線通信、レーダー、加熱応用が見込まれる。これらの詳細について以下に説明する。

無線通信分野においては、W 帯（75 GHz～110 GHz）と呼ばれる高周波領域での応用が期待できる。モバイル通信による無線データトラフィックは、近年、爆発的な増加を見せており、これに対応する大容量の次世代無線通信ネットワークの構築が求められている。W 帯は電波を利用できる周波数帯の幅が広く、通信速度を飛躍的に高めることができる。このため、本質的に大容量無線通信に向いている周波数とされているが、現行のデバイスでは高出力化が困難なため通信可能距離が短い。そのため、更なる長距離・大容量化のためには、パワーアンプの出力密度を増加させることが求められる。本研究においては、新材料の適用とヘテロ接合の制御により W 帯において圧倒的な出力密度のデバイスを実現することができた（図 14）。本技術を活用することで次世代無線通信ネットワークの飛躍的な進展が期待できる。

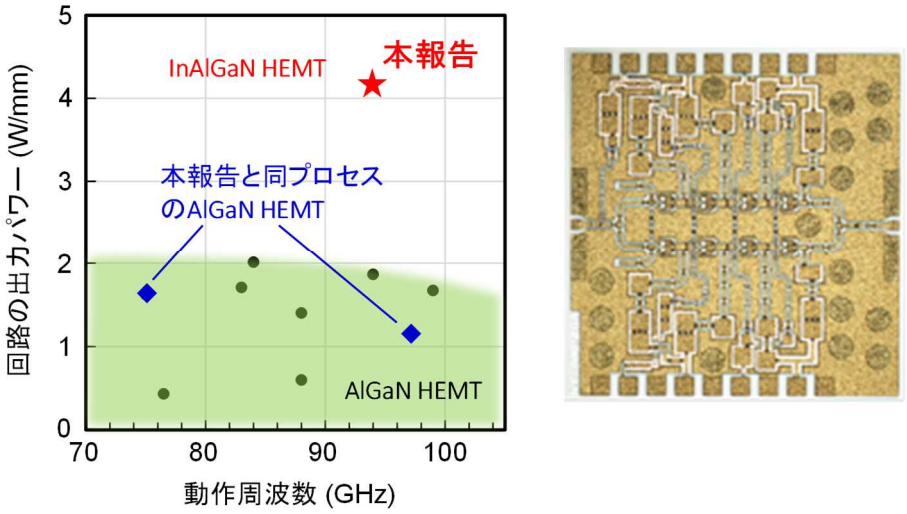


図 14 W 帯 MMIC ベンチマークと試作した MMIC 写真（再掲）

次にレーダー応用としては、気象や航空管制レーダーへの適用が想定される。特に気象レーダーに関しては近年のゲリラ豪雨予測など、より広範囲・高精細な情報のニーズが高まっている。本研究で開発した In 系 HEMT デバイスは広い周波数帯において既存デバイスを凌駕する出力性能を実現していることから、製品性能の向上を目的としたデバイスのリプレースなどレーダー市場への波及効果が見込まれる。

最後にマイクロ波を用いた加熱応用について言及する。従来のマグネトロンやヒーターを用いた加熱用途に対し、固体素子を用いたマイクロ波加熱では、小型・軽量・高効率・長寿命など豊富なメリットを有する。また、素子配置や位相制御によって局所加熱や均質加熱なども容易となる。一方加熱応用においては、レーダー用途に代表されるパルス出力ではなく連続波による運用が求められるため、素子発熱による性能低下への対処が課題となっていた。

本研究では、ダイヤモンドヒートスプレッダの直接接合を用いた高放熱技術により、連続波においてもパルス波と同等の出力を持続的に得ることができた（図 16）。この成果により高出力固体素子の発熱課題は解消されたことから、今後は GaN 素子の高いメリットを活かした加熱応用技術の実用化が進むと期待される。

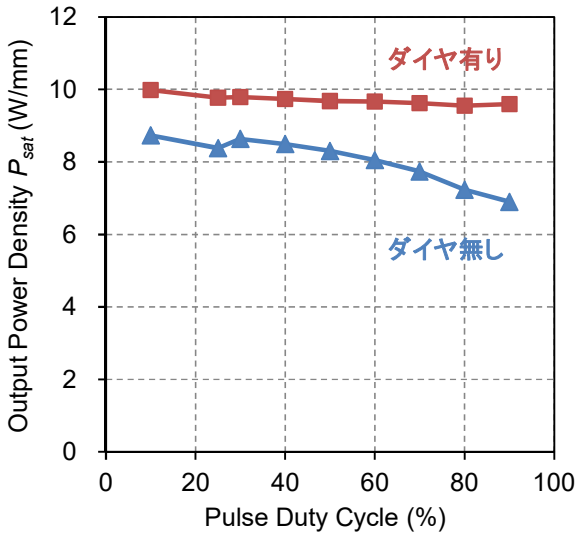


図 16 出力パワー密度のパルス Duty 比依存（再掲）

続いて、本研究成果の更なる発展を目的として取り組みを検討している研究項目を以下に 3 点列記する。いずれの技術も開発難易度が高く、学術的および実用的価値を有する。

1） 無線通信、レーダー、加熱などの応用例における普及を後押しするためには、出力のみならず「高効率化技術」も重要となる。効率の改善により消費電力を低減させることが可能であり、結果としてデバイスやシステム運用におけるランニングコストの低減にもつながる。本研究においても、要素技術⑤の低トラップゲート絶縁膜を半導体最表面のパッシベーション膜として適用することにより、効率の改善を確認することができた。

２） 無線通信やレーダー応用では送信に加えて電波の受信も必要である。現在、受信側アンプにはGaAsなどの異なる材料が広く利用されているが、GaN系材料への置き換えが可能となれば、同一材料、同一チップによるコストメリットが享受できる。そのため、受信側に求められる低雑音性能をGaN素子で実現する「低雑音化技術」の開発が重要である。

３） パワーアンプとして回路の大電流動作、高周波動作を実現する場合、基板を貫通するVIAホールが必要になる場合がある。今後は、ダイヤ接合基板における「貫通VIAホールの形成技術」が有用であると考える。

本研究成果の今後の発展や波及にあたっては、生産化の観点としてスループットおよび製造再現性が、コストの面ではダイヤモンド利用がボトルネックになることが想定される。本研究で得られた解決の見通しも含めて以下に説明する。

１）低抵抗コンタクト層における再成長工程のスループット

1.1に述べたとおり、MBE法による再成長工程は、スループットや製造歩留りの点で大きな障害となる。本研究では低抵抗再成長層の形成をMBE法による実証した後、量産時の実用性を考慮してMOCVD法による再成長技術の確立に着手した。MOCVD法は表面マイグレーションの点でMBE法に対して不利であり、成長温度の低温化が困難なことから技術的難度は高かったが、MBE法と同等の低いコンタクト抵抗を優れた量産性で実現するに至った。これは低抵抗再成長工程を量産技術として適用するための画期的な成果である。

２）MOCVD法によるIn系HEMT結晶の製造再現性

ヘテロ構造最適化の一つとして、電子供給層とGaNチャネル層の間に位置するスペーサ層の平坦化を進めた。開発当初、スペーサ層の平坦化はⅢ族原料供給量を増加させることで実現できることが明らかとなった。しかし、その開発条件を適用すると、2 nm程度の薄いスペーサ層では成長時間が数秒程度まで短くなるため、10～20 rpm程度で回転する自公転式の商用反応炉においては、1回転以内に成長が終了する。この結果、成長基板面内での膜厚分布が顕著となるなど成長再現性が悪化するため、量産技術としての適用は困難と判断した。そこで、本研究では成長再現性を考慮した成長条件の見直しを実施することで、表面平坦性を維持したまま、成長時間を10～20秒程度まで増加させることに成功した。本成果は将来の量産性を見据えた上で重要な成果であり、成長再現性の課題解決に向けた指針を示すものである。

３）ダイヤ基板を利用した高放熱構造の製造コスト

本研究では、熱伝導率が最も高い単結晶ダイヤ基板を採用しているが、商用化に際しては製造コストを圧迫する。一方で、CVD ダイヤ成長技術は着実に生産性が向上しており、1 インチ基板で比較すると単位面積当たり 1/3 程度までコストを圧縮できる。さらに CVD ダイヤ成膜は原理的に異種基板上への大面積成長が可能であり、今後はさらに低コスト化が進むことも期待出来る。CVD ダイヤは熱伝導率の観点で単結晶ダイヤに劣るものの、本研究では CVD ダイヤ基板（～1000 W/mK）を想定した熱伝導率においても高い放熱性能が得られることを熱シミュレーションで確認している。従って、今後低コスト化が進めば、CVD ダイヤを用いた接合構造が主流になると予想される。

１．３　副次的成果や目標を超える成果

計画時に想定していなかった副次的成果として、低トラップ絶縁膜の効果が挙げられる。当初、MIS ゲートのゲート絶縁膜としてのみ開発を進めていたが、電極間の半導体を保護するパッシベーション膜として適用したところ、電子トラップに起因する電流コラプスが抑制され、パワーアンプの効率が向上した。

また、目標を超える成果としては、W 帯と S 帯という複数の周波数帯において目標の 2 倍以上の出力密度を達成したことが挙げられる。特に S 帯では従来デバイスと比較して、出力密度が 3 倍以上となるデバイスを実現できた。これは、本研究により破壊耐圧を 200 V 以上に改善できたことで、100 V の動作電圧印加時においても破損が生じず、安定したデバイス特性を発現したことによる。さらに、ダイヤモンド接合による高放熱技術においては当初の目標性能である熱抵抗 30%低減を凌駕する 60%低減を達成した（図 11)。高電圧領域における出力密度の増加は、この高い放熱性能が大きく貢献している。

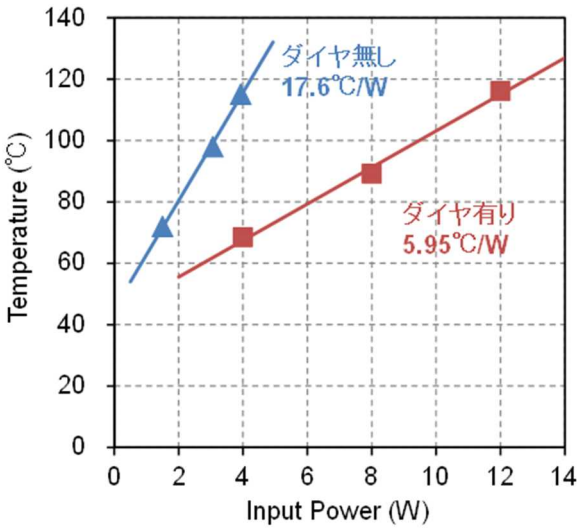


図 11　熱抵抗評価におけるダイヤ有無の比較（再掲）

１．４　論文、特許、学会発表等の研究の成果

本研究では科学技術の振興と情報開示の観点から得られた成果を精力的に外部発信した。発表した成果は、投稿論文数 1 件、学会発表件数 13 件、特許出願数 9 件にのぼる。また、特筆すべき 2 つの研究成果については富士通株式会社にてプレスリリースを実施した（2017 年 7 月：W 帯向け窒化ガリウム送信用パワーアンプで世界最高の出力密度を達成。2017 年 12 月：世界初、単結晶ダイヤモンドと炭化シリコンを常温で接合する技術を開発）。

プレスリリース後は、日経産業新聞 他 のべ 17 種以上の国内外媒体（新聞、Web 等）で報道・掲載され、関連技術について複数の招待講演依頼を受けるなど、大きな反響を戴いた。また、2018 年 5 月には無線通信技術の研究開発に関する展示会として国内最大級の展示会「Wireless Technology Park 2018（WTP 2018）」に W 帯向け窒化ガリウム送信用パワーアンプの研究成果を出展するなど（図 20）、技術交流をはじめとする科学技術の振興活動を行った。

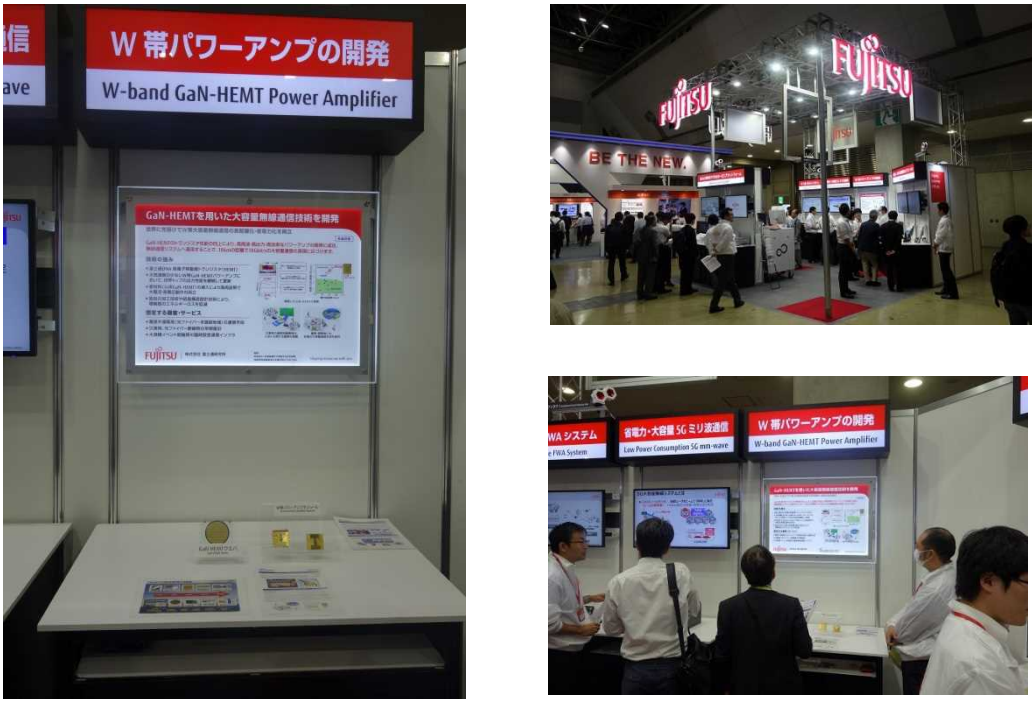


図 20 展示会の様子（WTP2018）

１．５　研究実施体制とマネジメント

研究開始当初において、本研究は 8 項目に及ぶ個別要素技術開発を同時並行的に推進し、最終年度において全要素技術を統合したデバイス試作を遂行する計画であった。しかしながら、1 つのデバイス構造に 8 項目の要素技術を統合するためには、プロセス工程の最適化を綿密に検討しつつ、段階的に統合試作を進めて課題抽出とフィードバックのサイクルを繰り返し実施する必要性が生じた。このため、本研究では研究開始次年度に「⑨要素技術統合向けインテグレーション」を新設し、統合プロセス全体をマネジメントできる半導体プロセスに精通した人材をアサインすることで統合試作プロセスの最適化課題に対応した。結果として、2 年間で 7 回のデバイス試作を遂行し、最終年度は全要素技術を統合したデバイスにて最終目標を達成することに成功した。

また、本研究は全 9 つの開発項目を 3 つの要素技術分野に分割して開発を進めた。各要素技術分野については、グループリーダーが開発を主導し、全体マネジメントを研究代表者が行った。これにより全体指示系統を明確化し、要素技術分野はグループリーダーが指揮系統となることで負担の分散化が図れたことから、効率的な研究マネジメント体制の下で研究が推進できた。

研究代表者は月例のミーティングを開催して、研究進捗報告やトピックスのディスカッションを通じて情報共有を図った。さらに、研究拠点は開発設備群も含めて単一であるため、研究者間のコミュニケーションが容易であり、要素技術をまたがる開発案件でもタイムラグが生じることなく、スムーズに研究開発が進められた。

１．６　経費の効率的執行

本研究を推進するにあたり、特に下記の点において経費の効率的な執行に努めた。

１）外注費用の圧縮

電子供給層膜厚は本研究のデバイス特性を左右するキーパラメータとなる。膜厚同定は断面 TEM 観察により可能だが、開発段階において多数の試料作製を繰り返す場合、多額の分析費用が発生する。このため、本研究では X 線反射率法による膜厚同定技術を確立・適用することで分析費用を大幅に削減した。

また、特殊評価など外注分析が必要な案件については、実験計画を調整することで試料作製を同時期に実施し、一括して多試料同時分析とすることで、外注費用の抑制に努めた。

２）リソースの効率的活用

要素技術の統合では 7 回のデバイス試作を実施した。1 回の試作は数ヶ月の期間を要するため、実際は複数の試作工程が並行して進む。そこで時間や経費（工数および材料費）の観点から、可能な範囲でまとめてプロセス処理を実施することで効率的なライン運用に努めた。また、デバイスプロセスでは類似の工程が繰り返されるため（パターニング、金属・絶縁膜製膜、エッチングなど）、これらのプロセスを計画的に処理することでリソースの効率的活用を実施した。

２．平成２９年度（報告年度）の実施内容

２．１ 実施計画

①InAlN、InAlGaN系結晶成長技術の開発

平成29年度は、平成28年度に確立した低シート抵抗を実現するInAlNの最適成長条件を検討し統合デバイス二次試作に適用する。また、更なる高信頼性付与を目的としてInAlGaN成長技術の開発に着手する。InAlGaNの組成制御と分極効果の最適化でInAlN HEMT構造と同等の低シート抵抗を目指すと共に、4元系にすることで可能となる成長温度の高温化を実践しInAlNに残存するピット径・ピット密度の縮減を図る。なお、表面の平坦化はAl組成の低減が有効であるがシート抵抗の増加を伴うことから、InAlNを超える表面平坦性を実現しつつシート抵抗の増加を最小限にする構造を探索する。目標としてシート抵抗＜200Ω/sq.を実現するInAlGaN（1）、表面平坦性Ra＜0.20nm（AFM）を実現するInAlGaN（2）の各成長技術を確立する。また、両者の優位性を融合したInAlGaN（3）を統合デバイス最終試作に適用する。なお、InAlGaN（3）の目標性能はシート抵抗＜200Ω/sq.かつ表面平坦性Ra＜0.20nm（AFM）とする。

②バックバリア成長技術の開発

平成28年度はデバイスシミュレーションから抽出したバックバリア構造の成長試作を行い、AlGaN電子供給層を有するHEMT構造において、Vds50V印加時のオフリーク量1E-6A/mm未満を達成した。なお、電流安定性の観点では、Feドープバッファ構造およびInGaNバックバリア構造が他構造に比して優れた性能を有することが確認された。

平成29年度はInGaNバックバリアの最適成長条件を検討し統合デバイス二次試作に適用する。また、Fe濃度プロファイルの制御性改善、およびInGaNバックバリアの上層に位置するGaNチャネル層の品質改善に取り組み、改善技術を統合デバイス最終試作に適用する。目標とするソース-ドレイン間のオフリーク量は1E-5A/mm未満(Vds50V印加時)とする。

③コンタクト抵抗低減技術の開発

平成28年度までに実施した2種のオーミック抵抗低減化技術の検討を踏まえ、高い性能向上が見込まれる再成長オーミック技術を適用したウェハ上電気特性評価を遂行する。また、上記電気特性評価のフィードバックより再成長プロセス技術の最適化を実施し、改善技術を統合デバイス最終試作に適用する。なお、関連成果については12th International Conference of Nitride Semiconductors (Strasbourg,France)にて発表を行う予定である。

④高電流構造シミュレーション

平成29年度は2A/mmクラスの電流密度を実現するIn系電子供給層、バックバリアおよび再成長オーミックの融合構造をモデルとして、実測データのフィードバックからシミュレーションの精度向上を図り、実測データ再現精度±10%以内の計算技術を確立する。さらに耐圧向上の観点から統合構造のデバイスシミュレーションを進め、得られた成果を最終試作におけるデバイス構造へフィードバックする。

⑤In系窒化物半導体向け低トラップ絶縁膜技術の開発

平成29年度は平成27年度および平成28年度に確立した原子層堆積法（ALD：Atomic Layer Deposition）による低ゲートリーク電流絶縁膜形成技術、および製膜後アニール

（PDA：Post-Deposition-Anneal）による電子トラップ低減技術をベースとして絶縁ゲート構造の最適化を図る。具体的にはALDによる絶縁膜成長シーケンスの見直しにより堆積膜厚の制御性を向上させると共に、多層化による品質劣化を抑制する。また、本技術を統合デバイス最終試作に適用し、閾値電圧変動およびゲートリーク電流の抑制を検証する（Ig＜1E-6A/mm、⊿Vth＜±0.5V）。

⑥高放熱構造設計・熱評価

平成28年度に取得したSiCやダイヤモンド膜等の熱パラメータを用いた熱シミュレーションを行い、実現可能なデバイス構造での放熱の最適化を図る。また、熱抵抗を従来比で30%低減するために必要なSiC/ダイヤモンドの界面熱抵抗を熱シミュレーションにより見極め、接合プロセス技術にフィードバックを行う。さらに最終試作で作製したデバイスの熱抵抗を実測し、シミュレーションとの整合性を検証する。

⑦接合用切削・研磨技術の開発

高放熱なデバイス構造の実現には熱伝導度が相対的に低いSiC基板の膜厚削減が有効であることから、SiC膜厚を30um未満まで薄膜化可能な切削・研磨技術を確立する。目標とする研磨表面の平均面粗さRaは0.1nm以下（AFM）とする。さらに、薄化したSiC基板端はナイフ状となり極めて脆弱となるため、クラックやチッピングを抑制するウェハサポート技術を開発する。

⑧接合プロセス技術開発

平成29年度は電極が形成されたGaN HEMT/SiC基板とダイヤモンドとの接合技術を開発する。

膜厚30um未満まで薄化したSiC基板は非常に脆弱であるため、本研究では薄層化基板とダイヤモンドとの接合技術を開発する。また、プラズマ処理した表面に形成される変質層（アモルファス層）を制御し、SiC/ダイヤモンド界面の熱抵抗の低減を図る。二次試作では課題抽出と改善施策を検討し、得られた知見を統合デバイス最終試作に適用する。目標は従来比30%の熱抵抗低減とする。なお、関連成果については、2017 MRS Fall Meeting (Boston,USA)にて発表を行う予定である。

⑨要素技術統合向けインテグレーション

高電流化・低リーク電流化・高放熱化の各要素技術の統合によるデバイス試作を行う。その際、平成28年度に試作した一部統合ロットにより得られたプロセス課題の解決も併せて検討する。高電流デバイスでは破壊耐圧の低下が特に懸念されることから、耐圧向上の鍵となるゲート電極周辺構造やプロセス処理の開発を実施する。なお、統合デバイス二次試作では昨年度に実施した一次試作の改善技術および耐圧向上施策による効果を検証し、統合デバイス最終試作では全要素技術を統合したデバイス作製を行い、最終目標である出力2倍を実証する。

２．２ 研究実施日程

業務項目／月	4	5	6	7	8	9	10	11	12	1	2	3
① InAlN、InAlGaN系結晶成長技術の開発	二次試作用結晶成長（最適化）											
		InAlGaN の結晶成長技術の開発・最終試作適用										
② バックバリア成長技術の開発	二次試作用結晶成長（最適化）											
		InGaN および Fe ドープ構造成長技術の開発・最終試作										
③ コンタクト抵抗低減技術の開発	オンウエハ評価および再成長条件最適化・最終試作適用											
④ 高電流構造シミュレーション			高電流構造計算技術の確立とフィードバック、実デバイス検証									
⑤ In 系窒化物半導体向け低トラップ絶縁膜技術の開発	低リークと低トラップとを両立する絶縁膜形成技術の開発・最終試作適用											
⑥ 高放熱構造設計・熱評価				シミュレーションによる設計、実デバイス検証								
⑦ 接合用切削・研磨技術の開発					SiC 薄層化技術の開							
⑧ 接合プロセス技術開発		界面熱抵抗低減化技術、ダイヤモンド接合技術の開										
⑨ 要素技術統合向けインテグレーション				統合デバイス二次試作					統合デバイス最終試作			
		デバイス耐圧向上技術開発										

２．３ 研究成果の説明

本節では、ヘテロ構造最適化による高周波デバイスの高出力化を実現するために今年度実施した研究の詳細と成果について以下の項目に沿って報告する。

2.3.1 ①InAlN, InAlGaN系結晶成長技術の開発 ・・・・・・・・・・・・・・・・・257
2.3.1.1 はじめに
2.3.1.2 実験手法
2.3.1.3 InAlGaN組成制御
2.3.1.4 InAlGaN/GaN-HEMT結晶構造の最適化
2.3.1.5 まとめ
2.3.2 ②バックバリア成長技術の開発 ・・・・・・・・・・・・・・・・・・・・・・267
2.3.2.1 はじめに
2.3.2.2 バックバリア構造の成長最適化
2.3.2.3 統合デバイス（最終試作（Ⅰ））におけるオフリーク特性の評価
2.3.2.4 まとめ
2.3.3 ③コンタクト抵抗低減技術の開発・・・・・・・・・・・・・・・・・・・・・278
2.3.3.1 はじめに
2.3.3.2 低抵抗再成長層によるコンタクト抵抗低減技術
2.3.3.3 まとめ
2.3.4 ④高電流構造シミュレーション ・・・・・・・・・・・・・・・・・・・・・297
2.3.4.1 はじめに
2.3.4.2 オーミック特性改善時のデバイス特性予測計算
2.3.4.3 デバイス高耐圧化に向けての構造計算
2.3.4.4 まとめ
2.3.5 ⑤In系窒化物半導体向け低トラップ絶縁膜技術の開発 ・・・・・・・・・・304
2.3.5.1 はじめに
2.3.5.2 実験手法
2.3.5.3 結果と考察
2.3.5.4 まとめ
2.3.6 ⑥高放熱設計・熱評価 ・・・・・・・・・・・・・・・・・・・・・・・・・313
2.3.6.1 はじめに
2.3.6.2 GaN/SiCおよびSiC/ダイヤモンドの熱抵抗評価
2.3.6.3 実測した熱パラメータを用いた高放熱構造設計
2.3.6.4 統合デバイス（最終試作（Ⅰ））の熱シミュレーション整合性検証
2.3.6.5 まとめ
2.3.7 ⑦接合用切削・研磨技術の開発 ・・・・・・・・・・・・・・・・・・・・・331

2.3.7.1　はじめに
2.3.7.2　実験手法
2.3.7.3　結果と考察
2.3.7.4　まとめ
2.3.8　⑧接合プロセス技術開発　・・・・・・・・・・・・・・・・・・・・・・・・・・336
2.3.8.1　はじめに
2.3.8.2　実験手法
2.3.8.3　結果と考察
2.3.8.4　まとめ
2.3.9　⑨要素技術統合向けインテグレーション　・・・・・・・・・・・・・・・・・・349
2.3.9.1　はじめに
2.3.9.2　統合デバイス試作の概要
2.3.9.3　試作に用いたプロセス装置
2.3.9.4　統合デバイス二次試作の概要
2.3.9.5　二次試作（Ⅰ）ミリ波帯向けデバイス
2.3.9.6　二次試作（Ⅱ）マイクロ波帯向けデバイス
2.3.9.7　統合デバイス最終試作の概要
2.3.9.8　最終試作（Ⅰ）ショットキーゲート
2.3.9.9　最終試作（Ⅱ）MISゲート
2.3.9.10 まとめ

２．３．１　①InAlN、InAlGaN系結晶成長技術の開発

２．３．１．１　はじめに

昨年度は、InAlN/GaN-HEMT 構造の最適化によりシート抵抗低減を実現したが、統合デバイス一次試作においてゲートリーク電流が高いという課題が判明した。また、InAlNの成長温度は、コンタクト抵抗低減に用いる低抵抗層 GaN 選択再成長の成長温度よりも低いため、選択再成長時に InAlN 電子供給層の変質も懸念される。これらの問題を解決するため、平成 29 年度は、4 元系の InAlGaN の開発に着手した。InAlGaN は、成長温度を増加して結晶品質を高めることが可能であるため InAlN よりも高耐圧化が期待でき、かつ選択成長時における電子供給層変質も抑制できる。最適化の目標性能としてシート抵抗 200 Ω/sq.以下かつ表面平坦性 Ra 0.20 nm 未満を設定した。最適化した InAlGaN/GaN-HEMT は統合デバイスへ適用する予定である。

２．３．１．２　実験手法

実験に用いたエピ結晶は、3 インチ半絶縁性炭化ケイ素（Silicon Carbide：SiC）基板上に有機金属化学気相成長（Metal-Organic Chemical Vapor Deposition：MOCVD）法により AlN 核形成層、AlGaN バッファ層、GaN チャネル層（1300 nm)、Al(Ga)N スペーサ層（2 nm)、InAl(Ga)N 電子供給層を順に成長した。成長には図 1-1 に示す Horizontal Flow MOCVD 装置を使用し、Ga 原料としてトリメチルガリウム（TMGa）またはトリエチルガリウム（TEGa)、Al 原料としてトリメチルアルミニウム（TMAl)、In 原料としてトリメチルインジウム（TMIn)、窒素原料としてアンモニア（NH_3）を用いた。

Al(Ga)N スペーサ層の成長は、成長温度 955℃、成長圧力 5 kPa で行い、原料ガスとして TMAl および NH_3 を用い、キャリアガスには H_2 を用いた。InAlGaN 電子供給層の成長は、成長温度 695℃～875℃、成長圧力 5k Pa で行い、原料ガスとして TMAl、TMIn、TMGa または TEGa、NH_3 を用い、キャリアガスには N_2 を用いた。成長時の基板温度は、MOCVD 装置にダミーとして設置した Si 基板を赤外線放射温度計により測定した。温度評価に Si 基板を用いた理由は SiC 基板が透明であり正確な温度測定が難しいためである。

表面モフォロジは原子間力顕微鏡（Atomic Force Microscopy： AFM）測定から求めた算術平均粗さ（Ra）により評価した。シート抵抗は渦電流法による非接触測定により求めた。InAlGaN 電子供給層の膜厚は X 線反射率法（X-Ray Reflectivity ：XRR）により I 導出した。XRR による膜厚の測定例を図 1-2 に、同一サンプルの TEM 像を図 1-3 に示す。図 1-2 および図 1-3 から InAlGaN/GaN-HEMT の膜厚が精度良く評価できていることが確認できた。なお、InAlGaN 組成は 2.3.1.3 で述べる手法により導出した。

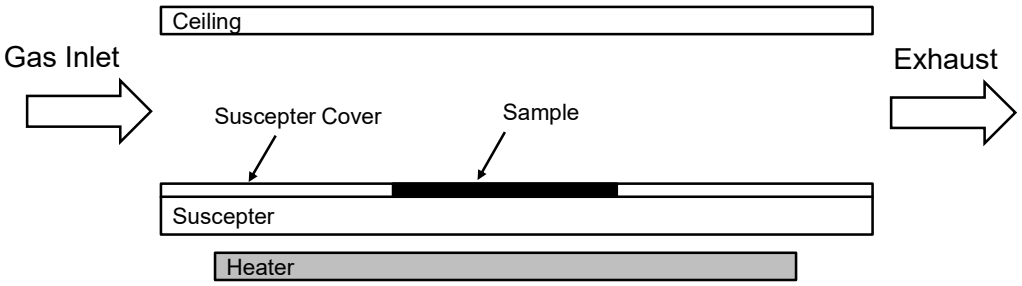


図 1-1　Horizontal Flow MOCVD 装置の模式図

図 1-2 XRR による膜厚測定例

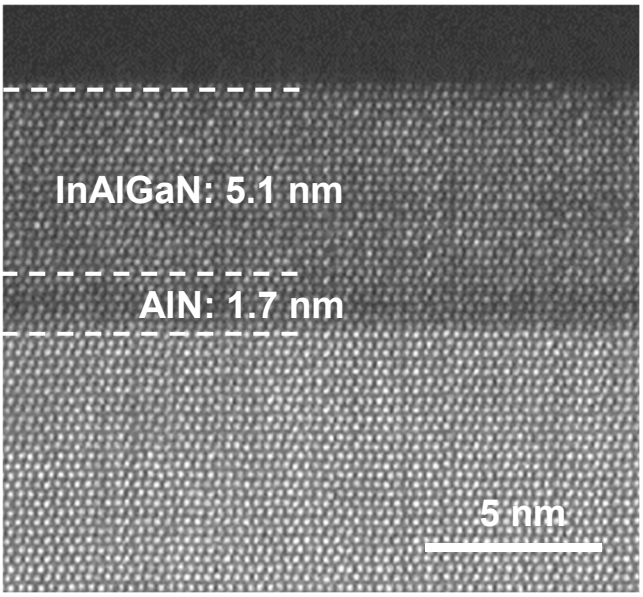


図 1-3 XRR 評価サンプルの TEM 像

２．３．１．３　InAlGaN 組成制御

Al および Ga 組成制御

InAlGaN 電子供給層における Al 組成と Ga 組成は、Al（TMAl）と Ga（TMGa または TEGa）の原料供給比を変更することにより制御した。図 1-4 に InAlGaN 結晶中の Al 組成比（Al/（Al+Ga））の Al 原料供給比（Al/(Al＋Ga)）依存性を示す。なお、Al 組成と Ga 組成は XPS により評価した。図から、Ga に対する Al 組成比は成長温度に依存せず原料供給比に一致していることが確認できる。したがって、Al 組成および Ga 組成は原料供給比によって制御が可能であることがわかる。

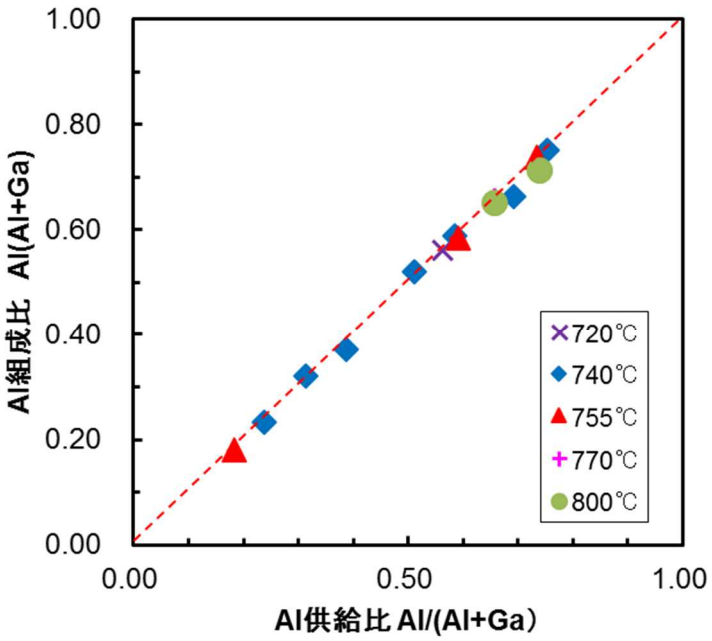


図 1-4　InAlGaN 結晶中の Ga に対する Al 組成比の原料供給比依存性

In 組成制御

エピ結晶への In 取り込み量は成長温度による影響が大きいため、InAlGaN における In 組成は成長温度に依存する。そのため、In 源である TMIn の供給量を一定とし、成長温度を変更することより In 組成の制御を行った。図 1-5 に InAlGaN 結晶中の In 組成の成長温度依存性を示す。サンプルの Ga に対する Al 組成比は青い四角、赤い三角がそれぞれ 0.66～0.73、0.18～0.31 である。図 1-5 から In 組成は成長温度の上昇に伴い一意的に減少することから、In 組成は温度制御がキーであることが示された。また、In の取り込み量は温度のみではなく電子供給層結晶中の Al 組成にも依存することがわかる。つまり、In 取り込み量の最大値（青い点線）は成長温度で決まり、さらに Al 組成が低下すると、In 取り込み量が減少することが判明した。そこで、Al 組成の減少によって In 組成が低下するというパラメータを新たに結晶成長の制御値として導入した。図 1-6 に InAlGaN における In 組成制御値と実測値の比較を示す。In 組成の制御値と実測値は良く一致しており、一連の検討によって In 組成の制御が可能となった。

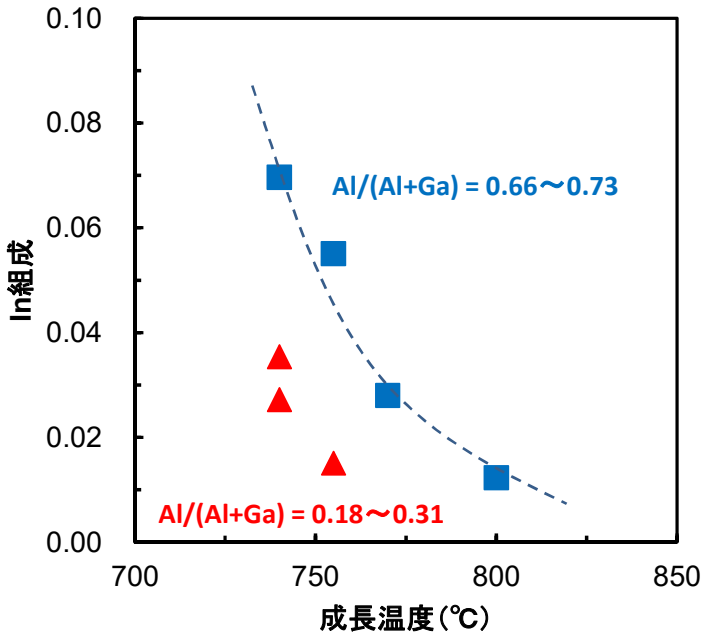


図 1-5　InAlGaN 結晶中の In 組成比の成長温度依存性

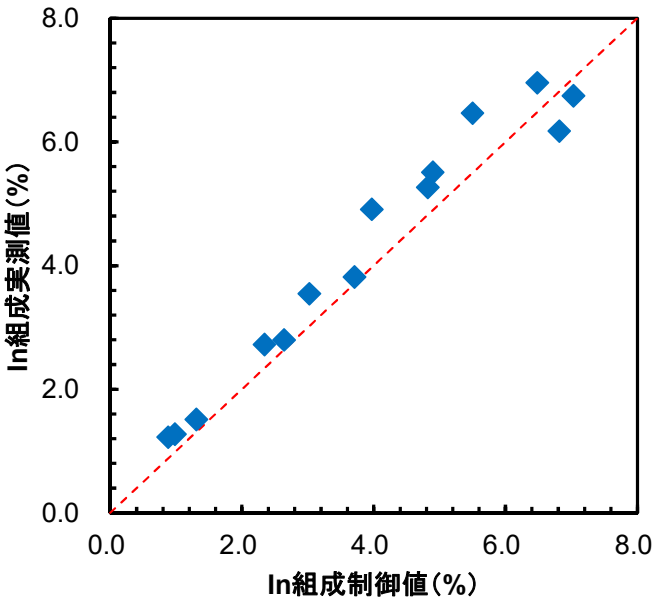


図 1-6　InAlGaN における In 組成制御値と In 組成実測値の比較

２．３．１．４　InAlGaN/GaN-HEMT 結晶構造の最適化

表面平坦性

表面平坦性の劣化は、ゲートリーク量の増大などを引き起こす。そのため、表面ラフネス Ra＜0.20 nm を満たす InAlGaN 電子供給層成長条件の調査を行った。実験に用いた InAlGaN 電子供給層の膜厚は 5.5 nm±0.8 nm である。膜厚は XRR により同定した。図 1-7 に InAlGaN 電子供給層における Ra の In 組成依存性を示す。なお、この時の Ga に対する Al 組成比は 0.51 である。図から、In 組成が低くなるにつれて表面ラフネス Ra は増加することがわかった。これは、In 組成の減少により、InAlGaN 電子供給層中の歪みが増加し 3 次元的な成長が促進されたためと考えられる。したがって、Ga に対する Al 組成比が 0.51 の本サンプルでは In 組成が 0.04 以上あれば、Ra＜0.20 nm を満たすことがわかる。

以上の結果から、InAlGaN 電子供給層において、Ra＜0.20 nm を実現した。例えば、$In_{0.04}Al_{0.49}Ga_{0.47}N$ では Ra = 0.180 nm である。

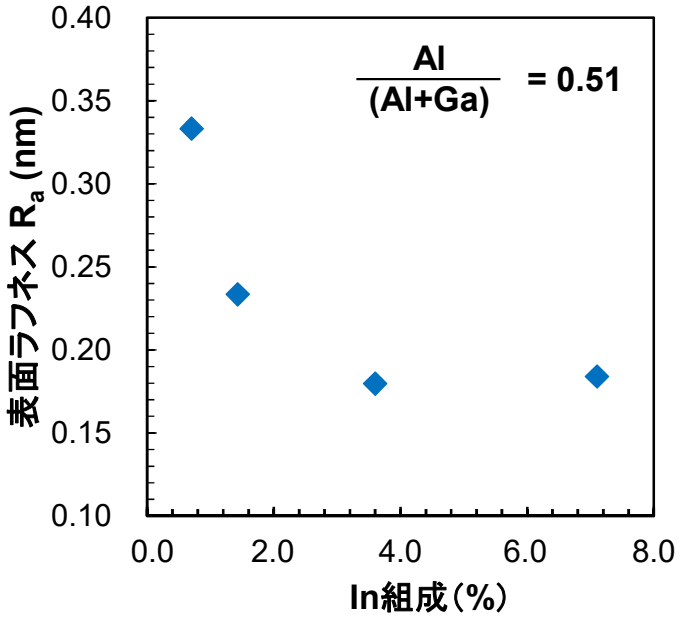


図 1-7　InAlGaN 電子供給層における表面ラフネス Ra の In 組成依存性

シート抵抗低減

InAlGaN/GaN-HEMT の高出力化を実現するため、シート抵抗＜200 Ω/sq. を満たす InAlGaN 電子供給層の成長条件を調査した。実験に用いた InAlGaN 電子供給層の膜厚は 5.5 nm±0.8 nm である。膜厚は XRR により同定した。図 1-8 に InAlGaN 電子供給層におけるシート抵抗の成長温度依存性を示す。Al 供給比 1.00、つまり InAlN では、成長温度の上昇にともなってシート抵抗は微減するが、755℃から増加に転じ、770℃以上になるとシート抵抗が大きく増加した。この現象は次のように説明できる。つまり、755℃までは成長温度の上昇により In 組成が低下することで自発分極およびピエゾ分極が増加し、シートキャリア濃度が増える。一方、成長温度が更に上昇して In 組成が小さくなりすぎると、電子供給層の歪みが大きくなることで GaN チャネルへの圧縮ひずみが増加し、結果として移動度が低下する [1]。

Al 供給比 0.73 の InAlGaN に関しては、成長温度が 720℃の時点で InAlN よりもシート抵抗が高いが、成長温度を増加させることでシート抵抗は低減し、755℃以上では、InAlN よりもシート抵抗が低くなった。また、785℃の高温に至っても 200 Ω/sq. 以下の低シート抵抗を維持しており、これは Ga により InAlGaN 電子供給層内の歪みを抑制しているためと考えられる。なお、Al 供給比が 0.51 になると、成長温度を高温化しても生成されるキャリア濃度が不十分のため、シート抵抗が下がらず 200 Ω/sq. 以下にはならない。Al 組成比の低下は自発分極を大きく減少させるため、ピエゾ分極が増加してもシート抵抗が低減しなかったと考えられる。

以上の結果から、複数の InAlGaN 電子供給層組成においてシート抵抗＜200 Ω/sq. の目標を達成し、InAlN に比べ最大で 90℃の成長温度の高温化を実現した。例えば、$In_{0.02}Al_{0.72}Ga_{0.26}N$ では、成長温度 785℃、シート抵抗：183.6 Ω/sq. である。

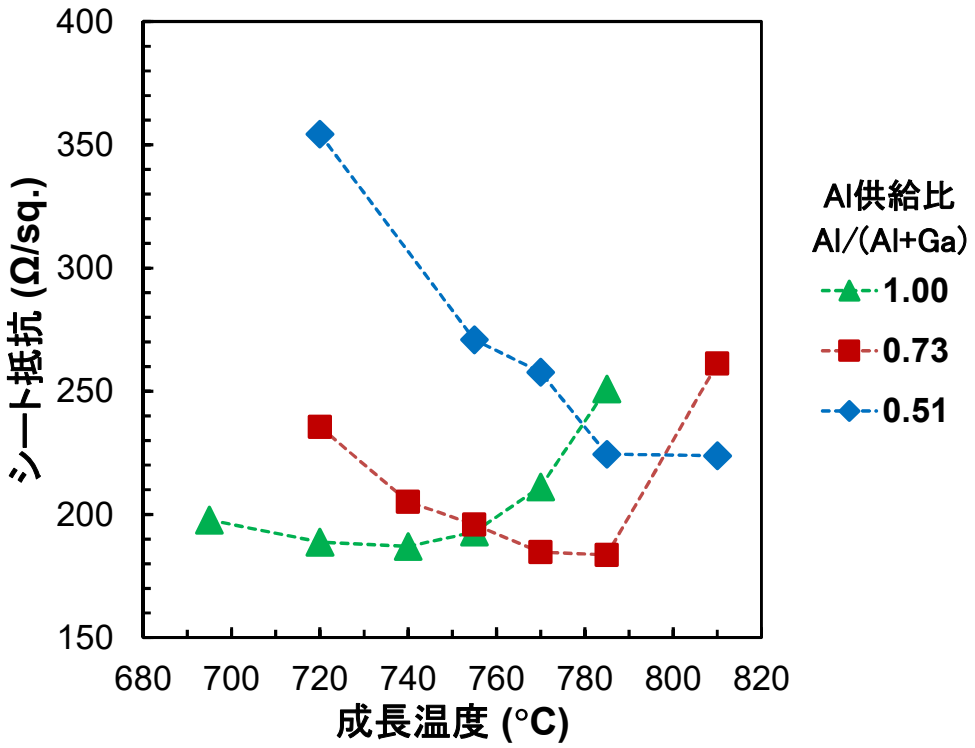


図 1-8　InAlGaN 電子供給層におけるシート抵抗の成長温度依存性

表面平坦性と低シート抵抗の両立

続いて、表面平坦性と低シート抵抗を両立する構造について検討した。図 1-9 に InAlGaN 電子供給層における表面ラフネスとシート抵抗の関係を示す。表面ラフネスに関しては In 組成が高く、Al 組成が低いほど改善する傾向がある。一方、シート抵抗に関しては、In 組成が低く、Al 組成が高いほど良化する。したがって、互いにトレードオフの関係にあるため、表面平坦性と低シート抵抗とを両立する組成範囲は非常に狭い。本実験においては、In 組成 0.02～0.05、Al 組成 0.64～0.83 の組成範囲における一部のサンプルにおいて、両立する構造が得られた。例えば、$In_{0.05}Al_{0.70}Ga_{0.25}N$ 電子供給層において、表面ラフネス Ra：0.189 nm（図 1-10）、シート抵抗：195.9 Ω/sq. を実現した。

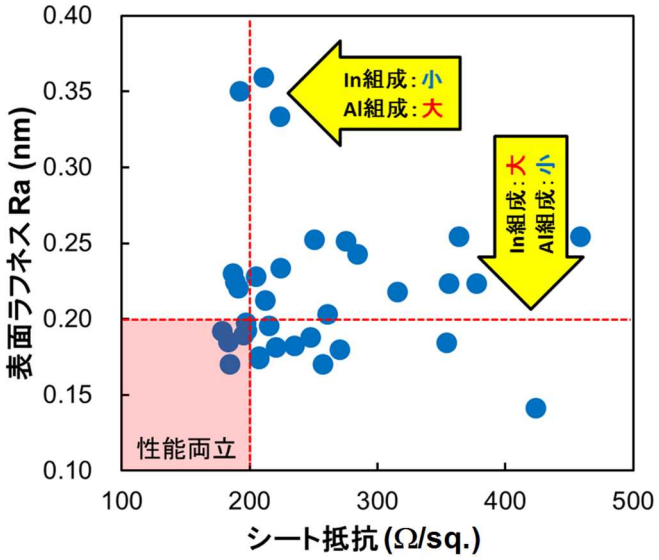


図 1-9　InAlGaN 電子供給層における表面ラフネスとシート抵抗の関係

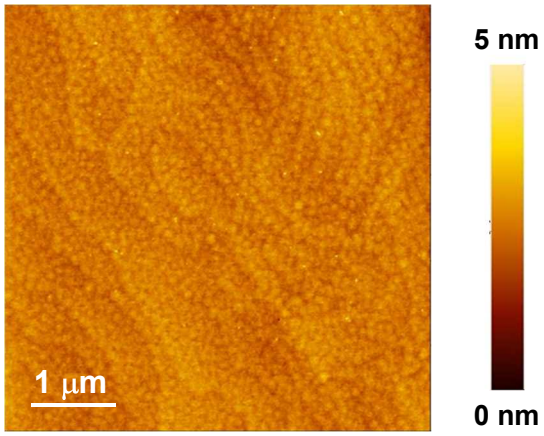


図 1-10　$In_{0.05}Al_{0.70}Ga_{0.25}N$ 電子供給層表面の AFM 像

２．３．１．５　まとめ

InAlGaN/GaN-HEMT の高性能化を目的とし、InAlGaN 電子供給層において表面平坦性と低シート抵抗を両立する構造の調査を行った。表面平坦性とシート抵抗は In 組成の多寡でトレードオフの関係にある。そのため、表面平坦性と低シート抵抗を両立する組成範囲は非常に狭いが、成長条件を最適化することで両者を両立する構造が得られた。本実験で得られた表面平坦性と低シート抵抗を両立する構造の一覧を表 1-1 に示す。

表 1-1　最適な InAlGaN/GaN-HEMT 構造

構造	シート抵抗（Ω/sq.）	Ra（nm）
$In_{0.06}Al_{0.83}Ga_{0.11}N$	179.1	0.192
$In_{0.05}Al_{0.70}Ga_{0.25}N$	195.9	0.189
$In_{0.03}Al_{0.71}Ga_{0.26}N$	184.7	0.170
$In_{0.03}Al_{0.64}Ga_{0.33}N$	197.9	0.192
$In_{0.02}Al_{0.72}Ga_{0.25}N$	183.6	0.185

本実験により得られた結果を基に、InAlGaN/GaN-HEMT エピを成長し、統合デバイス二次試作に適用した。その結果は「⑨要素技術統合向けインテグレーション」に詳述するが、InAlN/GaN-HEMT を上回る良好な特性が得られた。

一方で、二次試作においてもゲートリーク抑制や耐圧性能が十分ではないことが示された。この課題への対応策を検討するため、「④高電流構造シミュレーション」によりデバイスシミュレーションを実施した結果、高濃度なキャリア濃度と高い内部電界が特性劣化の主因であることが判明した。そこで、本項確立した InAlGaN 結晶成長技術を駆使し、シミュレーションで耐圧劣化が生じると示唆される下限以下に Al 組成を制御した InAlGaN 結晶の成長を実施した。作製した結晶は Al 組成を下げることによりキャリア濃度は減少したが、平坦化技術を適用しているため電子移動度が高く、シート抵抗の上昇は最小限に抑えられた。この結晶は統合デバイス最終試作に適用され、S 帯における従来比出力 2 倍超の達成に大きく貢献した。

参考文献

[6] C. E. Dreyer, A. Janotti, and C. G. Van de Walle, Appl. Phys. Lett., **102**, 142105 (2013)

２．３．２　②バックバリア成長技術の開発

２．３．２．１　はじめに

トランジスタの高周波動作と大電流動作を実現するためには、ゲート長の短縮が直接的なアプローチである。しかし、ゲート長が例えば数百 nm 程度の領域になると、ゲート電極に負バイアスを印加したとしても、図 2-1(a)に示すようにゲート電極から離れた基板側の領域を迂回するリーク電流（オフリーク電流）が流れるようになる。

このオフリーク電流は、トランジスタの耐圧低下や動作効率の低下を引き起こし、本研究が目指すデバイスの高出力化を阻害するため、チャネル層基板側の電位を制御し、それを抑制する技術の確立が求められる。それを実現する一つの構造が図 2-1(b)に示す InGaN バックバリア（Back Barrier: BB）構造であり、模式的に示すように電子拡散を抑制する障壁層を有する。ミリ波帯を含む超高周波デバイスにおいては、本技術の重要性はさらに高くなり、将来高周波デバイスの必須要素技術になると考えられる。

これまでのシミュレーション検討および平成28年度に実施した統合デバイス一次試作（I）の結果から、InGaN BB構造が最も良好な特性を示すことがわかった。そこで平成29年度においては、InGaN BB構造の成長条件の最適化としてGaNバッファ中のFe濃度プロファイルおよびGaNチャネル層の品質改善を検討する。最適なInGaN BB構造成長条件を確立し、統合デバイス最終試作に適用することで、本研究が目指す出力の向上に貢献する。

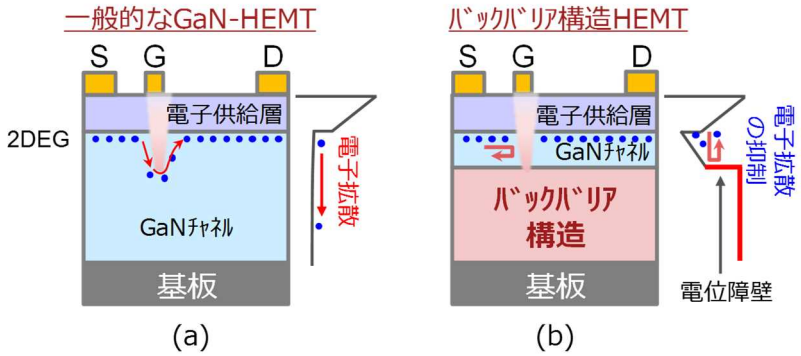


図 2-1　(a)BB 非適用構造と(b)BB 適用構造におけるリーク電流の抑制

２．３．２．２　バックバリア構造の成長最適化

Fe濃度プロファイルの制御

InGaN BB構造におけるリーク電流低減の本質は、分極電荷を利用してGaNバッファ中の電位を持ち上げることにある。一方で、電位障壁を形成するInGaN BB層を有する構造においても、依然としてその下に位置するGaN層全体の絶縁性を高めることは、更なる

リーク電流の低減に求められる。この目的で、GaN中に深いアクセプタ準位を形成するFeが用いられる[1]。しかし、実際のMOCVD成長においてFeの濃度プロファイルを制御することが難しい[2-5]。Fe濃度プロファイルを制御することが可能になれば、デバイス設計の自由度が広がり、更なるオフリーク電流抑制に繋がることが期待できる。本項では、Fe濃度プロファイルの制御について検討した。

図2-2(a)に示すように、FeドープGaNバッファ層、アンドープGaNチャネル層を異なる成長条件および成長シーケンスにて成長し、各試料のFe濃度プロファイルを二次イオン質量分析法(Secondary Ion Mass Spectrometry：SIMS)により比較・検討した。SIMS分析はPHI ADEPT1010にて行い、低濃度のFe観察を可能とするため、一次イオン種はCs^+、加速電圧5 kVにて行った。なお、本SIMS分析については外注分析を利用したが、検討試料数が多くなるため分析費用が高額となる。そこで実験計画を調整することで試料作製を同時期に計画的に行い、多試料同時分析とすることで、外注分析費用を可能な限り抑制した。SIMS分析結果においては、試料表面の汚染や凹凸の影響により最表面の付近のデータ信憑性が低下するため、表面から100 nm以上奥側の領域のデータにて試料間のFe濃度プロファイルを比較した。

図2-2(b)は、FeドープGaNバッファ層と同じ成長条件にてGaNチャネル層を連続的に成長した際のFe濃度プロファイルである。図2-2(b)に示すように、リアクタへFeを供給していないにも関わらず、アンドープGaNチャネル層にも高濃度のFeが存在しており、複数の機関から報告されているようにFeが上方へ拡散することを示している[2-5]。

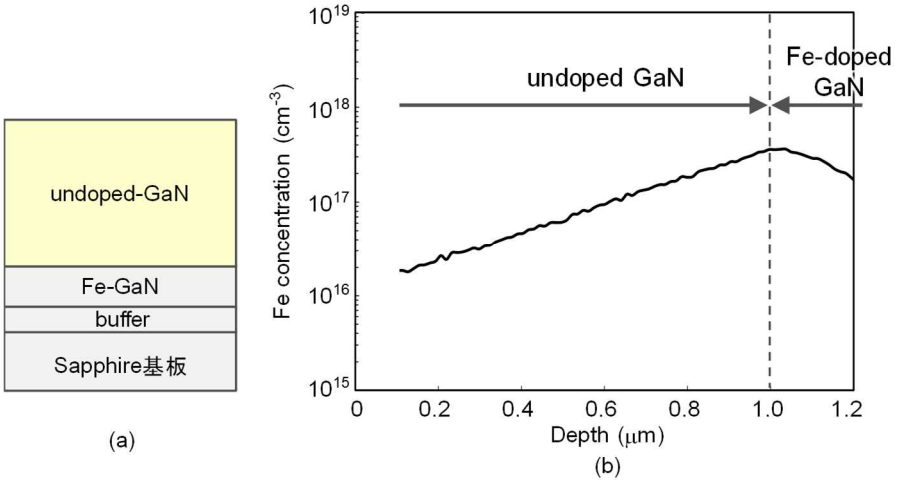


図2-2　(a)アンドープGaN/FeドープGaN構造と(b)Fe濃度プロファイル

これまでの実験から、例えば800～900℃といったFeドープ層の成長温度(1010℃程度)よりも低い温度においてGaN層をその直上に成長することで、上方へのFe拡散が抑制されることが分かっている[2]。しかし、一般にGaNチャネル層の成長温度を低下させると、

GaN中へ炭素などの不純物の取り込みが増加し、電流コラプス現象が顕著に発生することが懸念される。

Feの上方拡散抑制がFeドープ層とGaNチャネル層の成長温度差に起因するものであれば、Feドープ層の成長温度を1010℃以上に設定し、1010℃まで降温した後にGaNチャネル層を成長することで、低温化による不純物の増加を引き起こすことなく、Feの上方拡散が抑制できることが期待される。このため、Feドープ層の成長温度を従来の1010℃から1060℃に増加させて成長を行い、GaNチャネル層は1010℃にて成長を行った。しかし、図2-3(a)に示すように、Feドープ層の成長温度を変更してもGaNチャネル層中のFe濃度プロファイルに変化は無く、上方へのFe拡散抑制効果は見られなかった。

これまでの知見からアンドープGaN層成長時のFe取り込み量は、成長再表面におけるFe原子の脱離率と、膜中への取り込み率に依存する[2]。ここでは、Feドープ層の成長温度を高く設定し、アンドープGaN層成長温度との間に差分を設けたものの、アンドープGaN層従来条件は同じであり、成長再表面におけるFe原子の脱離率、取り込み率に変化はなかったものと推察される。また、図2-3(a)において1.0～1.2 μmに位置するFeドープ層のFe濃度プロファイルが異なるが、これはFeドープ層の成長温度が高いことに起因する。高温かつ水素雰囲気に曝される成長表面においては、GaNのエッチングが成長と同時に起こる。エッチングが早いレートで進行することで、実効的なGaN成長レートが低下したために、表面に存在するFeがより高い濃度で濃縮されたものと理解できる。

次に、サーファクタントを利用したFe取り込み抑制効果について検証した。サーファクタントとは結晶成長過程においてリアクタ内へ同時に供給されるが、結晶中へ取り込まれることのない材料を指す。例えばGaN 結晶成長においては、TMInといった結晶構成材料以外の原料ガスをリアクタ内へ同時に供給することで表面モフォロジ向上やピット密度の低減が報告されている(Inサーファクタント効果)[6, 7]。これはIn-NよりもGa-Nの結合エネルギが大きいため、GaNの最適成長条件において供給したIn 原子が成長膜中へは取り込まれないものの、In原料が表面におけるプリカーサのマイグレーションを促進することを利用したものである。Feドープ層成長後のGaNチャネル層成長表面の原子マイグレーション状態に着目すれば、サーファクタントの利用により成長最表面におけるFe取り込みが低減されることが期待できると考えた。

1010℃程度のGaN成長温度においては、In原子は膜中に取り込まれないことが分かっているため、GaNチャネル層の成長時にリアクタ内にTMInを同時供給し、Fe濃度プロファイルへの影響を調査した。しかし、図2-3(b)に示すように、Fe濃度プロファイルはTMInを供給せずに通常の条件で成長した場合と変化が無く、Feの上方拡散を抑制する効果は確認できなかった。Inサーファクタントは表面のマイグレーション長を変化させるものと考えられるが、結局In原子は表面から全て脱離し、残されたGaおよびFe原子の成長表面における脱離率、GaN層への取り込み率に変化を与えなかったものと考えられる。

一方、FeドープGaN層を含む結晶構造に対して、1000℃以上の高温で熱処理を行った場合においてもFe濃度プロファイルが変化することはない[2]。つまりFeの上方拡散は成長中にのみ生じることから、成長層の最表面付近に存在するFe原子が上方拡散のソースである。従って、最表面付近に存在するFeを除去することがFeの上方拡散抑制に向けた有効なアプローチになると考えられる。

成長層最表面に存在するFeを除去するには、FeドープGaN層を成長後に一旦GaN成長温度以上に基板表面温度を上昇させ、Fe原子の脱離を強制的に促進させる手法が考えられる。しかし、水素雰囲気中において成長温度以上の高温に表面を曝すと、以下の反応によりGaN結晶の熱分解が著しく進行し、表面荒れやGaドロップレットが形成され結晶品質を損なう恐れがある。

$$GaN + 3/2H_2 \rightarrow Ga + NH_3 \qquad (式2\text{-}1)$$

そこで、本実験においてはFeドープGaN層の成長後、MOCVD装置のキャリアガスを全て窒素に切り替え、窒素雰囲気下で表面温度1070℃にて10分間成長を停止した。これにより、(式2-1) に示すGaN熱分解が抑制され、水素雰囲気中では表面荒れのために実現できなかった1070℃という高温にて、成長中断を行うことが可能となる。

図2-4に得られた結晶のFe濃度プロファイルを示す。図2-4に示すように、Feドープバッファ層成長後にFe濃度がより急峻に減少することが確認できた。200 nm程度のGaNチャネル層を成長した時点で比較すると、Feドープ層の成長後に高温熱処理を行うことでFe濃度は凡そ半分程度に減少しており、Feの上方拡散に対して一定の効果が得られた。しかし、その後のFe濃度プロファイルの傾きに変化はなく、大きな濃度プロファイル差を得ることは出来なかった。これは図2-3(a)に示すように、GaNチャネル層の成長温度が同一であれば、温度に応じてFeが一定の割合で上方へ拡散するためと考えられる。また、高温熱処理を行わない試料と、行った試料のGaN(0002)回折ピークの半値幅は、それぞれ351 arcsec., 340 arcsec.であり、高温熱処理によってGaN成長中断界面に起因した結晶品質の劣化がないことも分かった。

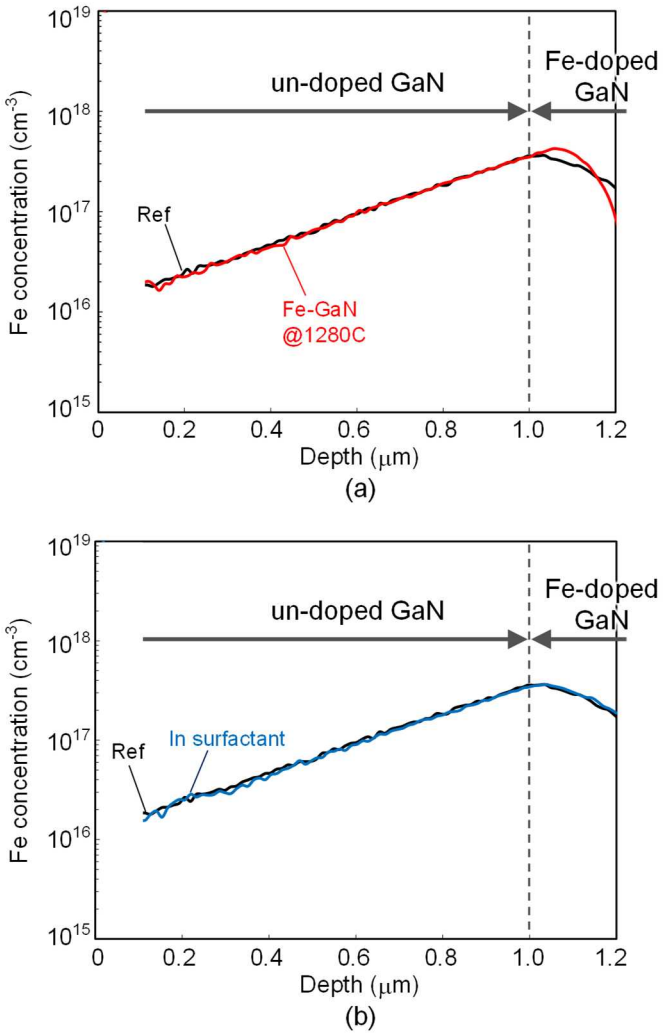


図2-3　(a)高温Feドープ GaN成長および(b)Inサーファクタントを利用したGaN成長におけるFe濃度プロファイル

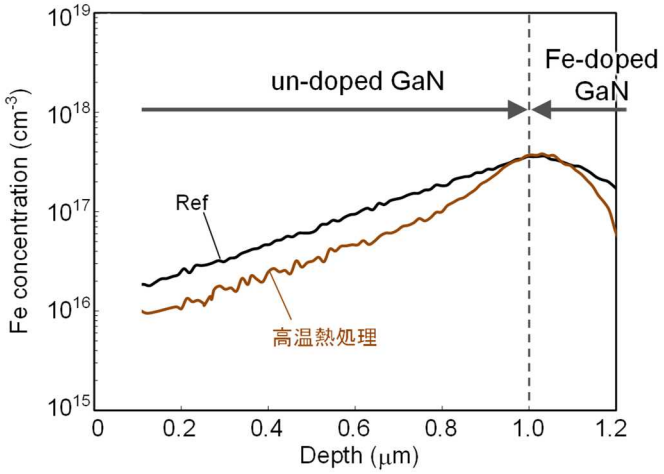


図2-4　Feドープ GaN成長後に窒素雰囲気下で高温熱処理を施した試料のFe濃度プロファイル

図2-4に示す2種類のFe濃度プロファイルを「②-2 デバイスシミュレーションモデル」で議論したデバイスシミュレーションに取り込み、オフリーク特性の計算を行った。濃度プロファイルの簡略化のため、高温熱処理を適用した場合のGaNチャネル層中のFe濃度は、熱処理を行わないものの1/2として設定した。

その結果、図2-5に示すように、高温熱処理を実施した構造においては、GaN層全体のFe濃度が低下しているため、デバイス基板側のバンド位置が下がりやすくなり、ソース-ドレイン間のオフリーク電流が増加することが示唆された。

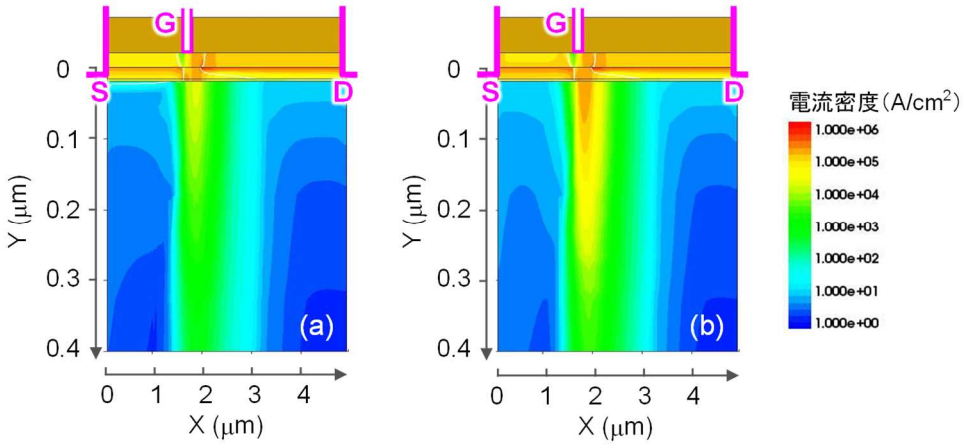


図2-5　(a)GaN表面におけるFe濃度2e16 cm^{-3}および(b)GaN表面におけるFe濃度2e16 cm^{-3}におけるオフリーク電流密度分布

最後に、Feドーププロファイルと同時に、アンドープGaN層の不純物濃度についても検討を行った。「②-3 バックバリア構造適用HEMTの試作と評価」で議論したように、BB構造においてもバッファ層中の炭素不純物が電流コラプスの要因となるため、Feドーププロファイルと同時に、炭素不純物の濃度を低減することも必要である。

炭素不純物の濃度を低下させるためには、MOCVD成長においてTMG供給量を下げること、つまり成長レートを下げることが効果的である。そこで図2-6に示すように、成長レートを変化させて、結晶中の炭素不純物濃度をSIMS分析において確認し、低い不純物濃度と10 nm/min.の成長レートが達成できる条件を採用した。

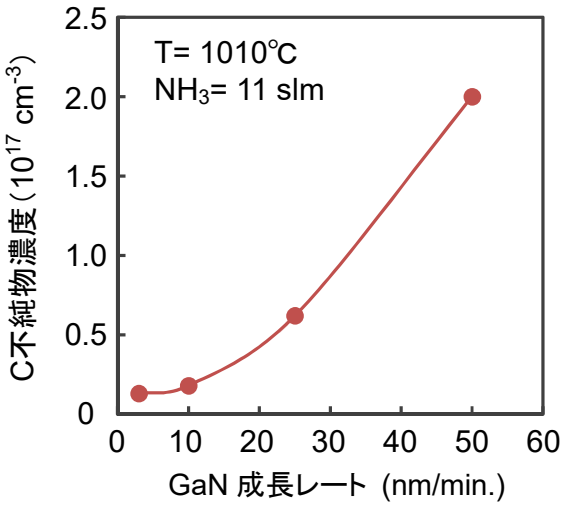


図2-6　アンドープGaN層の成長レートと炭素不純物濃度の関係

以上の結果を総合的に判断し、本研究においてはGaNチャネル層の成長温度は1010℃、Feドープ層とGaNチャネル層の界面は連続成長とし、不純物の取り込みを抑制するため10 nm/min.の成長条件を採用することとした。

GaNチャネル品質の改善

図2-7に本研究において成長したInGaN BB層およびGaNチャネル層の構造を示す。高品質GaNチャネル層の成長に適した条件は、約1010℃程度の高温、水素雰囲気下での成長であるが、InGaN BB層は表面の安定性がGaN結晶に比べて低く、InGaN BB層成長直後に高品質GaNチャネル成長条件へ移行することが出来ない。このため、InGaN BB層の成長後は、低温成長GaN層によりInGaN BB層の表面を保護する必要があり、図2-7に示すようにInGaN BBの成長条件を引継ぎ連続して低温成長GaN層を形成し、その後成長条件を水素雰囲気、基板温度を1010℃程度まで上昇させ、高温成長GaN層を形成した。

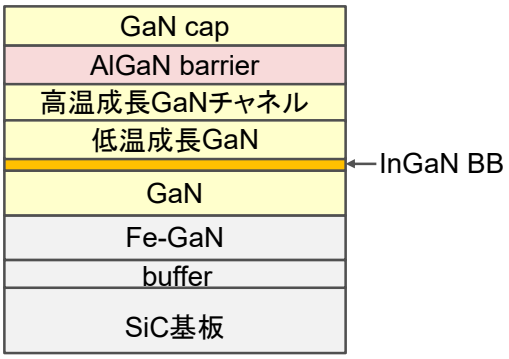


図2-7　試作したInGaN BB構造

はじめに、低温成長GaN層および高温成長GaN層の設計膜厚をそれぞれ5 nmおよび25 nmとした構造のAFM像およびPL発光を図2-8に示すが、AFM像からも明らかなように、高い平坦性を有するInGaN BB構造HEMTが得られた。図2-8(b)には、GaNチャネル層とInGaN BB層のバンド端発光のほか、GaN結晶の欠陥・不純物関連発光として知られるイエローミネッセンス(YL)が観察される。しかし、GaNチャネル層およびInGaN BB層からの発光は非常に弱い。さらに、InGaN BB層の発光波長は380 nm付近と、設計In組成10%から期待される400 nmに対して大きく短波長側に位置する。低温成長GaN層は高温および水素雰囲気において脱離しやすいInGaN BB層を保護する目的で形成するが、5 nmと非常に薄い条件としたため、低温GaN層の成長後においても一部InGaN表面が露出しているか、条件切り替え時に低温GaN層が脱離したことによりInGaN表面が露出し、In原子の脱離やInGaN層の薄層化が進行したと考えられる。

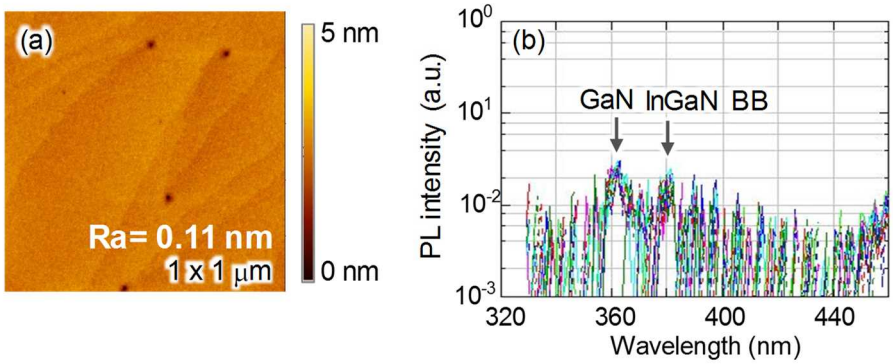


図2-8　低温成長GaN層を5 nmに薄層化したときのGaNチャネル/InGaN BB構造の(a)AFM像と(b)PLスペクトル

次に図2-9(a)および(b)に低温成長GaN層および高温成長GaN層の設計膜厚を10 nmおよび20 nmとした構造のAFM像およびPL発光を示す。AFM像においては、図2-8(a)と同様に高い平坦性を有することが確認できた。さらに、図2-8(b)の発光特性に比べると、GaN層およびInGaN BB層に起因した明瞭な発光が観察された。膜厚1 nm程度の非常に薄い

InGaN BB層の発光が明瞭に観察されており、高い平坦性を持ったInGaN BB層が形成されていると推察される。発光波長も395 nmと、低温GaN層5 nmの構造に対して長波長化しており、Inの脱離またはInGaN層の脱離が抑制された結果と考えられる。

図2-9(c)に本構造におけるSIMS分析結果を示す。図2-9(c)に示すように、GaNチャネル層のC濃度は2e16 cm^{-3}と低いことが確認できた。さらに、InGaN BB層に起因したInピークが明瞭に観察されており、平坦性の高い積層構造が形成されていることがSIMS分析結果からも推察される。

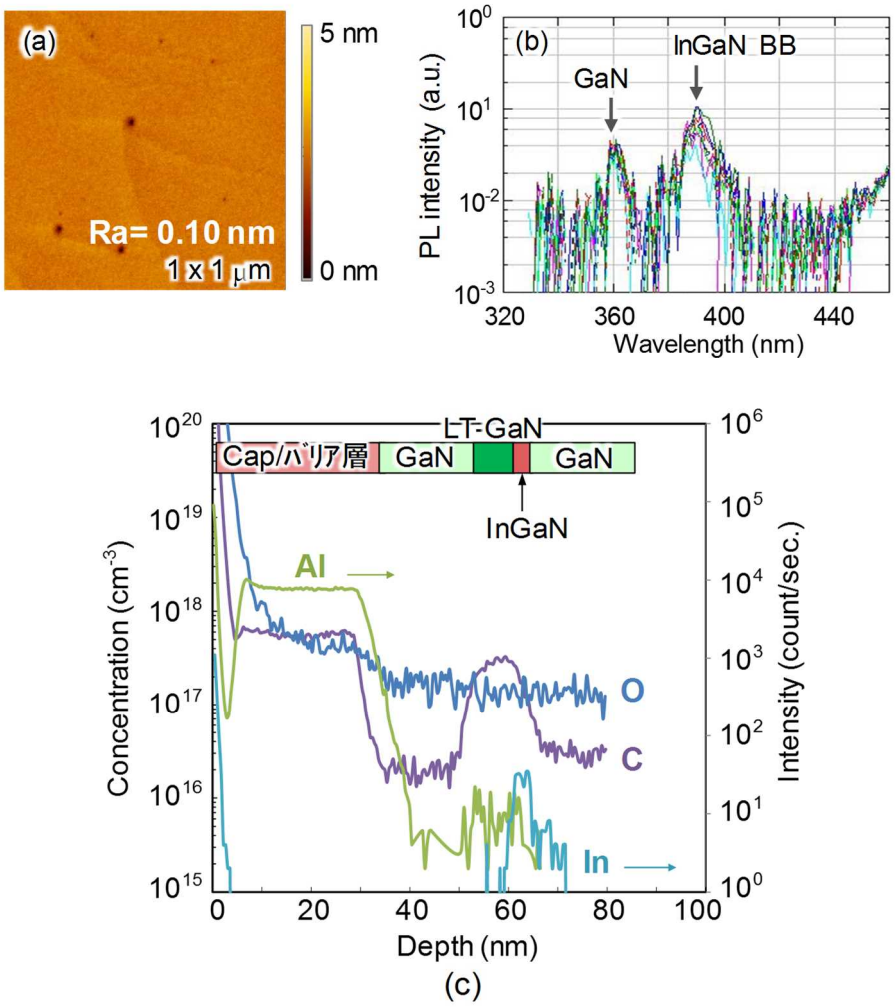


図2-9　低温成長GaN層 10 nmを有するGaNチャネル/InGaN BB構造の
(a)AFM像、(b)PLスペクトルおよび(c)SIMS分析結果

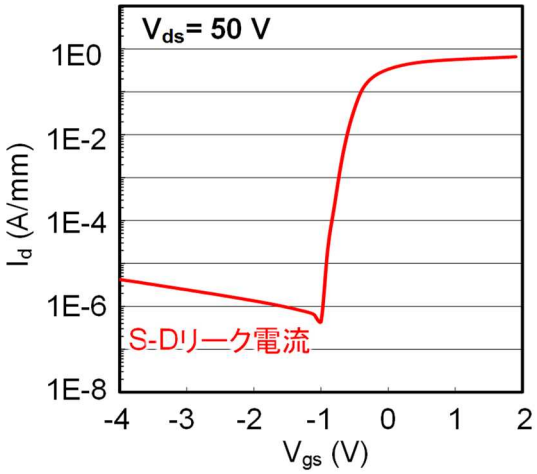
以上の検討結果を総合的に判断し、本研究では図2-9(b)に示す明瞭なGaNチャネル層およびInGaN BB層からの発光が観察される成長条件および成長シーケンスが最適と判断し、統合デバイス最終試作に適用した。

２．３．２．３　統合デバイス（最終試作（I））におけるオフリーク特性の評価

平成29年度に実施した以上の検討結果を踏まえ、Fe濃度プロファイルおよびGaNチャネル品質に関してそれぞれ最適と判断したInGaN BB構造適用HEMT構造を成長し、統合デバイス最終試作に適用した。

統合デバイス（最終試作（I））においては、ソースードレイン間のオフリーク電流が1E-5 A/mm以下であることを目標とした。図②-10にドレイン電圧V_{ds}= 50 V印加時のドレイン電流－ゲート電圧特性を示す。図②-10に示すように、ソースードレイン間リーク電流は、1E-5 A/mm未満であることを確認した。

本研究において開発したInGaN BB構造は、特にオフリーク電流の増加が懸念される短ゲートデバイスにおいて重要であり、ミリ波帯を含む超高周波デバイスにおいて必須な要素技術である。



図②-10　統合デバイス（最終試作（I））における
ソース―ドレイン間オフリーク電流（V_{ds}= 50 V）

２．３．２．４　まとめ

平成 29 年度は、統合デバイス一次試作（Ⅰ）において最も良好な結果を示していた InGaN BB 構造の最適化を行った。種々の GaN 成長条件、成長シーケンスとアンドープ GaN 層中に拡散した Fe 濃度プロファイルについて評価し、デバイスシミュレーションの結果を踏まえて最適な条件を選定した。また、GaN チャネル層の成長においては、InGaN BB 層の表面保護と高品質 GaN チャネル層の成長を行うため、低温および高温 GaN 層を積層する構造を選定した。統合デバイス（最終試作（Ⅰ））では、最適化した Fe 濃度プロファイル及び GaN チャネル層を適用し、V_{ds}= 50 V にてソース-ドレイン間のオフリーク電流 1E-5 A/mm 未満を達成した。

参考文献

[12] S. Heikman *et.al.*, Appl. Phys. Lett. **81**, 439 (2002)

[13] T. Ishiguro *et.al.*, Jpn. Jour. Appl. Phys. **52**, 08JB17 (2013)

[14] T. Aggerstam, M. Sjo¨din, and S. Lourdudoss: Phys. Status Solidi C **3** 2373 (2006)

[15] A. Y. Polyakov, N. B. Smirnov, A. V. Govorkov, T. G. Yugova, A. V. Markov, A. M. Dabiran, A. M. Wowchak, B. Cui, J. Xie, A. V. Osinsky, P. P. Chow, and S. J. Pearton: Appl. Phys. Lett. **92,** 042110 (2008)

[16] S. Heikman, S. Keller, T. Mates, S. P. DenBaars, and U. K. Mishra: Appl. Phys. Lett. **81**, 439 (2002)

[17] T. S. Kim *et.al.*, Journal of the Korean Physical Society, **53**, 1939 (2008)

[18] C. Kruse *et.al.*, Appl. Phys. Lett. **79**, 3425 (2001)

２．３．３　③コンタクト抵抗低減技術の開発

２．３．３．１　はじめに

一般的に、InAlGaN/GaN-HEMT などの In 系窒化物半導体上、または高 Al 組成窒化物半導体上では、良好なオーミック接合を形成しにくい。高出力・高周波デバイスではオーミックコンタクト抵抗がデバイス性能を左右することから、多くの研究機関において、デバイス特性を改善するための様々な改善手法が試みられてきたが[1-2]、InAlGaN/GaN-HEMT に対してオーミック特性改善技術の検討は少ない。電極金属構成元素が半導体側に広範に拡散する GaAs 等のオーミック接合と異なり、窒化物半導体上のオーミック接合では電極金属構成元素が半導体側にあまり拡散しないと報告されている[3]。そのため、一部にショットキー界面の性質を残した界面が残留していると考えられ、我々はこの性質により、ショットキーバリアの高い In 系窒化物半導体はオーミックコンタクト抵抗の低減が困難であると解釈している。

図 3-1 にミリ波帯デバイス動作向けの AlGaN と Ni、および InAlGaN と Ni のショットキー接合の伝導帯バンド図を示す。図示するように、AlGaN と Ni 界面における障壁高さは 0.83 eV、InAlGaN と Ni 界面における障壁高さは 1.58 eV となり、電気伝導に対しては大きな障壁となることが知られている。

この問題を解決するために、平成 27 年度より、イオン注入法や低抵抗層再成長法によるオーミックコンタクト抵抗低減技術を開発してきた。実験結果から、MBE 法を用いた低抵抗層再成長技術により、目標の 0.5 Ωmm を大幅に下回る 0.1 Ωmm を達成した。平成 29 年度は、MBE 法による低抵抗層再成長の課題とそれを解決する MOCVD 法による低抵抗層再成長について報告する。

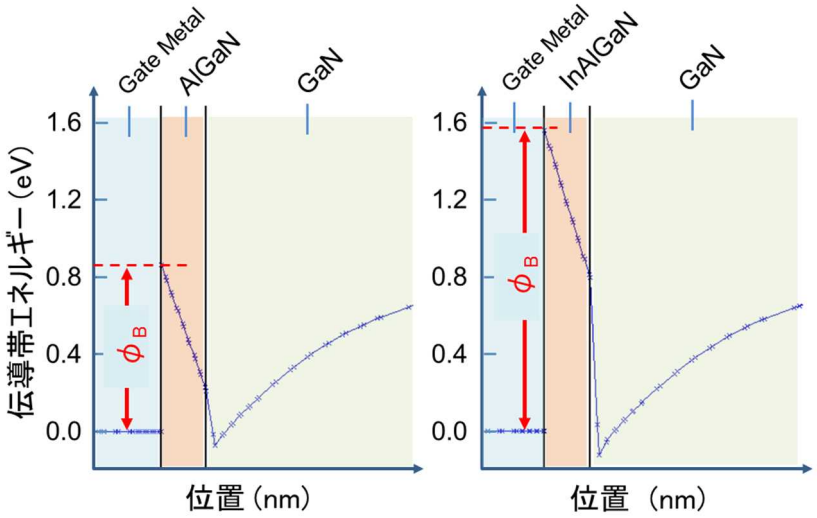


図 3-1　AlGaN および InAlGaN に対するショットキー接合

２．３．３．２　低抵抗再成長層によるコンタクト抵抗低減技術

オーミックコンタクト抵抗を低減する手法として、平成 28 年度より検討を進めている高濃度ドナー型不純物がドーピングされた GaN 再成長層の適用技術の開発を推進した。本項では、In 系窒化物半導体に低抵抗層再成長を実施する場合の課題、デバイス試作工程およびオーミック特性について述べる。

２－１　オーミック形成領域リセスエッチング技術

低抵抗再成長層によるコンタクト抵抗低減技術は、1)オーミック形成領域の電子供給層を選択的にドライエッチングにより除去し、2)その後、高濃度ドナー型不純物がドーピングされた低抵抗 GaN 層を再成長する、という２つのプロセスを踏む。そこで、はじめに 1) のプロセスとなる半導体表面のドライエッチングにおける低ダメージ化技術の確立が必要となる。

従来の AlGaN/GaN-HEMT 作製プロセスでは、Cl_2 ガスを用いて AlGaN 電子供給層のドライエッチングを行う。しかし、エッチング後の表面平坦性は著しく悪化し、ドライエッチングによるプロセスダメージが入っていることが推察される。一般的に、Cl_2 のみを用いたドライエッチングでは、半導体表面の酸化膜除去作用が低く、酸化部分のエッチングレートが異なるため平坦なエッチングが困難となる。また、半導体表面がプラズマ損傷によるダメージを受けやすい特性を持ち、窒素空孔などの欠陥が発生する[7]。さらに、表面荒れによる表面積の増大は、酸素などの吸着を促進する。前述の窒素空孔も表面の酸化を助長する要素になりうると考える。この酸素吸着は、電子供給層の Al と結合した場合 AlO を形成し、コンタクト抵抗の増大要因となる。そのため、低ダメージかつ平坦な表面形成は、コンタクト抵抗低減のため効果的であると考える。このような従来の Cl_2 のみによるドライエッチングで形成したオーミック電極のコンタクト抵抗の一例は、0.455 Ωmm (3 インチ面内平均)であった。

そこで我々は、これらプラズマダメージおよび平坦性を改善するために、Cl_2 と BCl_3 の混合ガスを用いたドライエッチング技術を開発した。エッチング装置を用いて、ドライエッチングダメージを間接的に評価するためのショットキー障壁高さのバイアスパワー依存性を調査した。実験結果を図 3-2 に示す。なお、ショットキー障壁高は、GaN 単層膜上にニッケル (Ni) ショットキー電極を形成したダイオード構造で調べた。ここで、バイアスパワーとは、ICP(Inductively Coupled Plasma)エッチング装置において、プラズマ化したエッチングガスを基板上に導入するパワーである。このバイアスパワーの大きさが、エッチング速度やプラズマダメージに影響を与える。また、図 3-3 に、エッチング表面の AFM 像を示す。

これらの実験結果から、Cl_2ガスにBCl_3を添加することにより、ドライエッチングダメージが低減し、エッチング後の表面平坦性は大きく改善することがわかった。これはBCl_3のBが酸化部分を除去する効果があり、結果として均一なエッチングが進行したためと考えている。

このときのコンタクト抵抗の一例は、0.349 Ωmm(3 インチ面内平均)であり、ドライエッチング表面の低ダメージ化および平坦化がコンタクト抵抗の低減に寄与したと考えている。

以上の結果から、低抵抗層再成長によるコンタクト抵抗低減効果を享受するために本技術を用いることで、再成長層形成前のドライエッチングダメージが小さく表面が平坦に形成できることが実証された。本手法の開発により、低抵抗層（低温）再成長技術に適用可能な低ダメージドライエッチング技術開発の目標を達成した。

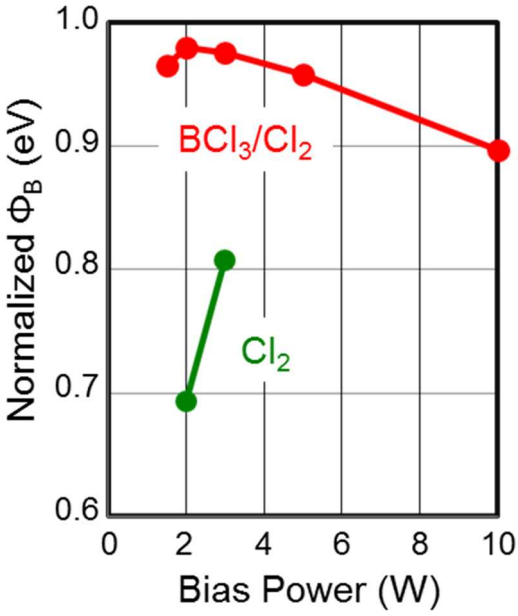


図 3-2　ショットキー障壁高さのバイアスパワー依存性

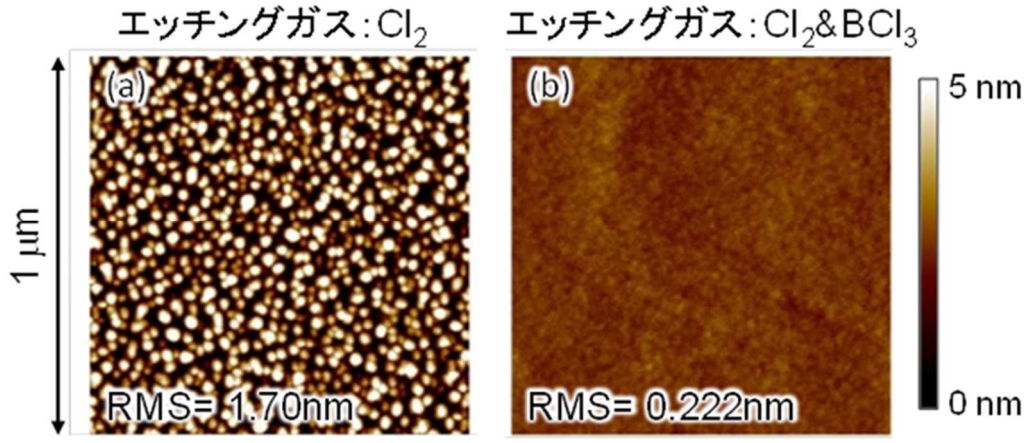


図 3-3　Cl_2 ガスおよび Cl_2+BCl_3 混合ガスを用いた
ドライエッチング後の AlGaN 表面の原子間力顕微鏡(AFM)像

２－２　In 系 GaN への低抵抗層再成長技術適用上の課題

In 系窒化物半導体は一般に低温で成長され、かつ表層部に化学的に不安定な In 酸化物や、その酸化が電気抵抗に大きな影響を与える Al を多く含む。そのため、In 系窒化物半導体へ低抵抗層再成長技術を適用する場合、AlGaN よりも低い温度耐性や In、Al 酸化物の影響等、評価・解決しなくてはならない課題が多い。以下に考えうる課題を列挙する（図 3-4 参照)。

例えば MOCVD 法を用いた場合、In 系窒化物半導体は AlGaN と比較して数百度程度低温で成長する。そのため、電子供給層やチャネルを成長温度以上の高温に曝した場合、InAlGaN 電子供給層内、特に表面の In が脱離する。この脱離によって、In ドロップレットやヒロックなどの成長欠陥が表面に形成される可能性がある。さらに、電子供給層表層部とプロセス用マスクや絶縁膜間で反応が進行する場合も想定される。

これらの事象は、キャリア密度の低下すなわちドレイン電流の低下や表面トラップの増大として顕在化する恐れがある。

＜高温下処理で想定される障害事例＞

1)電子供給層（特に表面）からの In 脱離

2)電子供給層表層部での In ドロップレットおよびヒロックの形成

3)電子供給層表層部とマスク絶縁膜反応によるトラップ形成

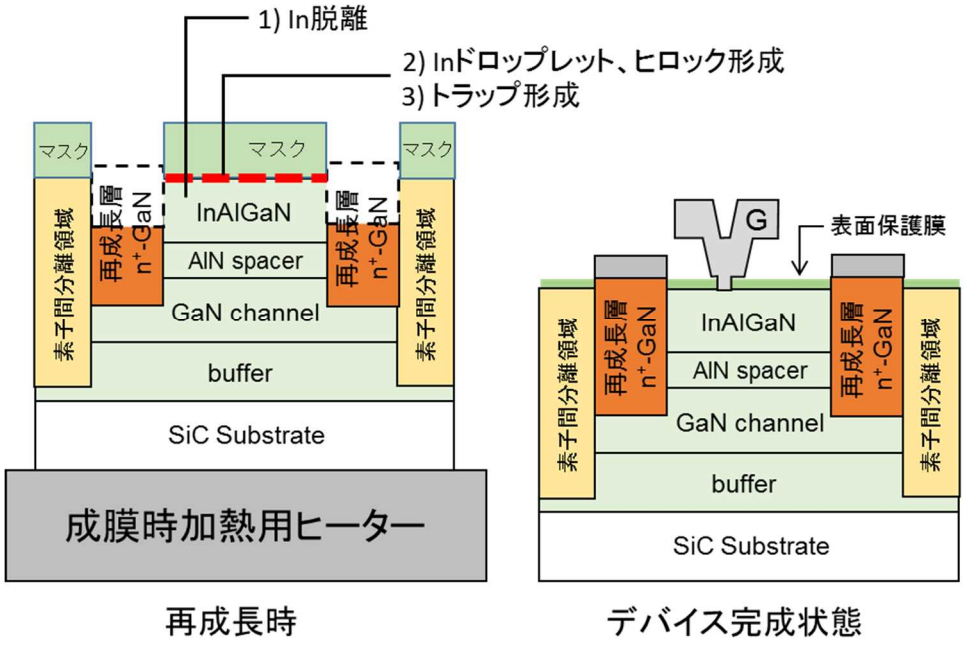


図 3-4　In 系窒化物半導体への低抵抗層再成長技術適用上の課題

また、電子供給層表層部においては、In の酸化等による材質劣化が進む恐れもある。In 酸化物は、化学的に不安定であり生成を回避すべき酸化物である[8]。酸化物が再分解する過程においてダングリングボンド等が生成され、結果としてトラップ型欠陥が発生し電流コラプス等の原因となる。これらの課題は、従来の AlGaN/GaN-HEMT では、顕在化しづらくかつ影響が軽微であるが、In 系窒化物半導体(高 Al 組成 In 系窒化物半導体)に対しては、影響が大きいと認識している。我々はこれらの課題に対し、工業的生産にも対応する解決方法に道筋をつけるために、製造安定性も含めた検討試作を行った。

低抵抗再成長層の形成には分子線エピタキシー（Molecular Beam Epitaxy：MBE）法および MOCVD 法の 2 通りの成長技術を比較した。それぞれのデバイス作製工程と評価結果を以下に述べる。

２－３　MBE 法による低抵抗層再成長デバイス作製工程

MBE 法を用いた低抵抗層再成長デバイス作製工程について説明する。

図 3-5 にデバイス作製工程を示す。まず、図 3-5-1 に示すように、MOCVD 法により InAlGaN/GaN-HEMT 構造を SiC 基板上に成膜した半導体基板に対し、Ar イオン等を用いて不活性領域（素子間分離領域）を画定する。次に、図 3-5-2 に示すように、半導体基板上に SiN 膜を堆積させる。次に、図 3-5-3 に示すように、ドライエッチングにより低抵抗再成長層成膜領域を開口した SiN 膜マスクを形成する。次に、図 3-5-4 に示すように、低ダメージドライエッチングにより GaN チャネルまでのリセスを形成する。

今回の試作では構造依存性を評価するために半導体基板表面からおおよそ 10 nm～40

nm の範囲内でリセス深さ、即ち低抵抗再成長層厚さを変化させた。なお、リセス深さの範囲は次項の「④高電流構造シミュレーション」においてデバイスシミュレーションの結果より決定した。図 3-5-5 に示すように、MBE 法を用いてリセス領域内に、Si を 1×10^{19} cm^{-3}以上ドーピングした GaN 層を成長する。次に、図 3-5-6 に示すように、エッチング液を用いて SiN 膜上に形成された多結晶 GaN をリフトオフ除去する。このリフトオフ工程では、多結晶 GaN の下部の SiN 膜をフッ酸溶液により溶解し、上部の多結晶 GaN を半導体表面から除去する。

次に、図 3-5-7 に示すように、再成長領域の直上へ Ti/Al 等からなる電極を配置し、N_2雰囲気中で合金化処理しオーミック電極を形成する。最後に、図 3-5-8 に示すようにトランジスタ特性を評価するために、高周波向け T 型ゲート電極を形成した。

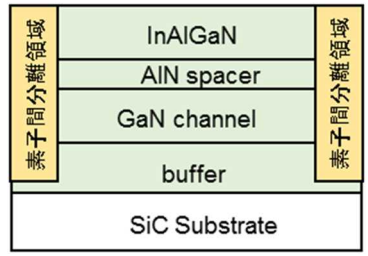


図3-5-1

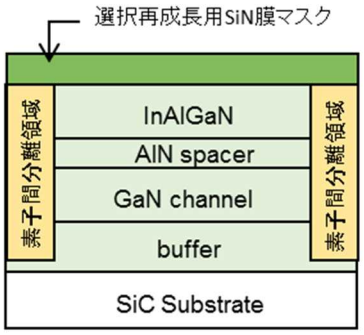


図3-5-2

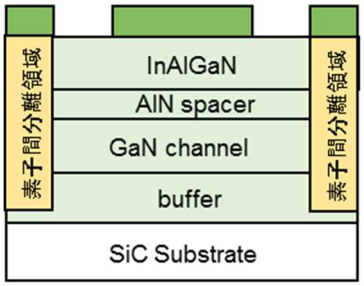


図3-5-3

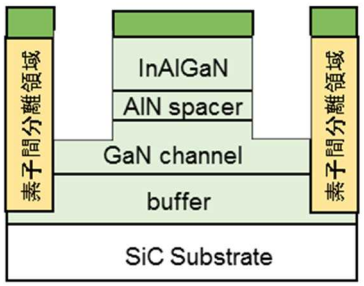


図3-5-4

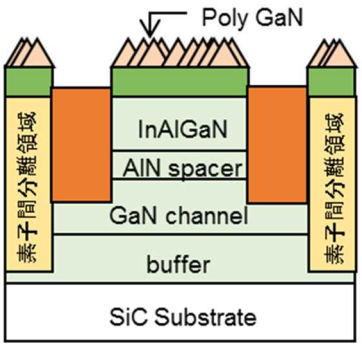


図3-5-5

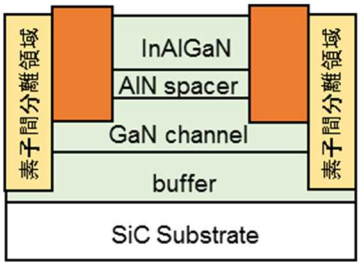


図3-5-6

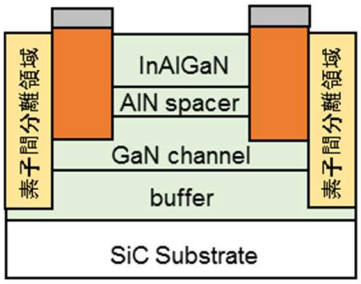


図3-5-7

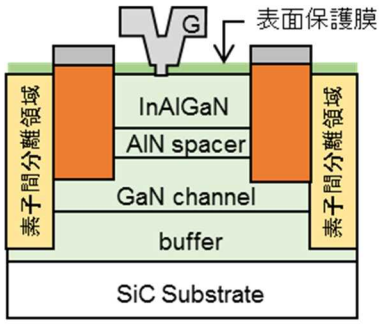


図3-5-8

図 3-5　MBE 法を用いた低抵抗層再成長オーミックデバイス作製工程

２－４　MBE 法による低抵抗層再成長技術の課題

MBE 法を用いた低抵抗層再成長では、マスク SiN 上に成膜された多結晶 GaN をリフトオフ法により除去する必要がある。このリフトオフ性はデバイス作製プロセスの安定性を左右することから、本開発ではリフトオフ再現性について調査を実施した。また、MBE 法による低抵抗層は 0.1 Ωmm 程度の低いコンタクト抵抗を実現出来たが、MBE 法は真空中で成長するため成長環境による膜品質への影響が大きい。そこでコンタクト抵抗の再現性についても観察を行った。

リフトオフの再現性

図 3-6 に、MBE 法を用いた低抵抗層再成長層リフトオフ時の、オーミック電極形成領域に成膜された単結晶 GaN とマスク SiN 上に形成された多結晶 GaN 間の間隙部概略図を示す。マスク用 SiN 上面（多結晶 GaN 層下面）と再成長低抵抗 GaN 上面との空隙は設計上 40 nm とした。マスク SiN の厚みについては、詳細な実験を実施してないが、マスク SiN が薄すぎると多結晶 GaN 層下面と再成長 GaN 上面が接続され、フッ酸エッチング液の浸透経路が塞がり、リフトオフ不良となる。一方、マスク SiN が厚過ぎるとエッチング液の浸透経路は十分に確保できるが、多結晶 GaN が側壁へ成膜されるリスクがある。

現設計でのリフトオフ容易性および再現性について実験した結果、部分的に多結晶 GaN に起因したリフトオフ不良が生じ、リフトオフ時間も 10 分から 1 時間弱まで変動することがわかった。

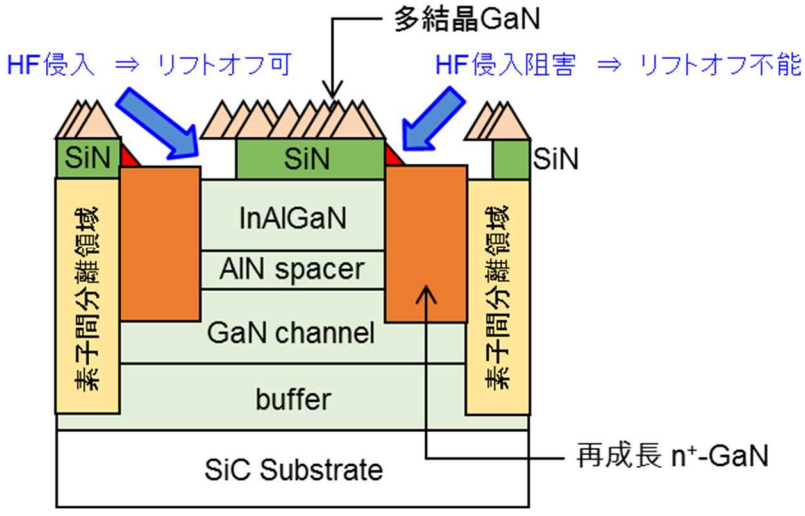


図 3-6 MBE 法を用いた低抵抗再成長層リフトオフ時断面概要図

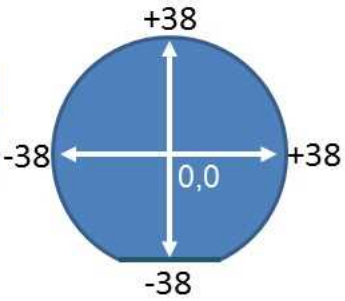
コンタクト抵抗値の再現性

続いて、コンタクト抵抗の再現性について調査した。MBE 法を用いた低抵抗層再成長は、真空中で分子ビームを照射して行われる。半導体表面の酸化膜除去は、MBE 装置に試料を投入する前に酸洗浄等で実施されるが、投入するまでの間は再度大気に暴露されるため、再成長表面が酸化やコンタミ付着等の影響を受ける可能性がある。図 3-7 に異なる低抵抗層再成長基板のコンタクト抵抗における面内分布を示す。#1 基板のコンタクト抵抗は高い均一性を示したが、#2 基板では最大 3 倍の抵抗変動が観察された。

以上のように、MBE 法を用いた低抵抗層再成長はコンタクト抵抗低減に極めて有効であるが、プロセス安定性および性能再現性が今後の課題である。

MBEによる低抵抗層再成長#1

x,y座標 (mm)	-11,0	-11,24	-11,-24
コンタクト抵抗 (Ωmm)	0.102	0.100	0.107



MBEによる低抵抗層再成長#2

x,y座標 (mm)	0,0	0,24	0,-24	21,0	-21,0
コンタクト抵抗 (Ωmm)	0.103	0.165	0.112	0.120	0.317

図 3-7　MBE 法による低抵抗層再成長品のコンタクト抵抗変動

２－５　MOCVD 法による低抵抗層選択再成長技術

次に MOCVD 法を用いた低抵抗層再成長技術について説明する。

図 3-8 に示すように、デバイス作製は基本的に MBE 法を用いた場合のプロセス工程と同様の工程を用いることができる。

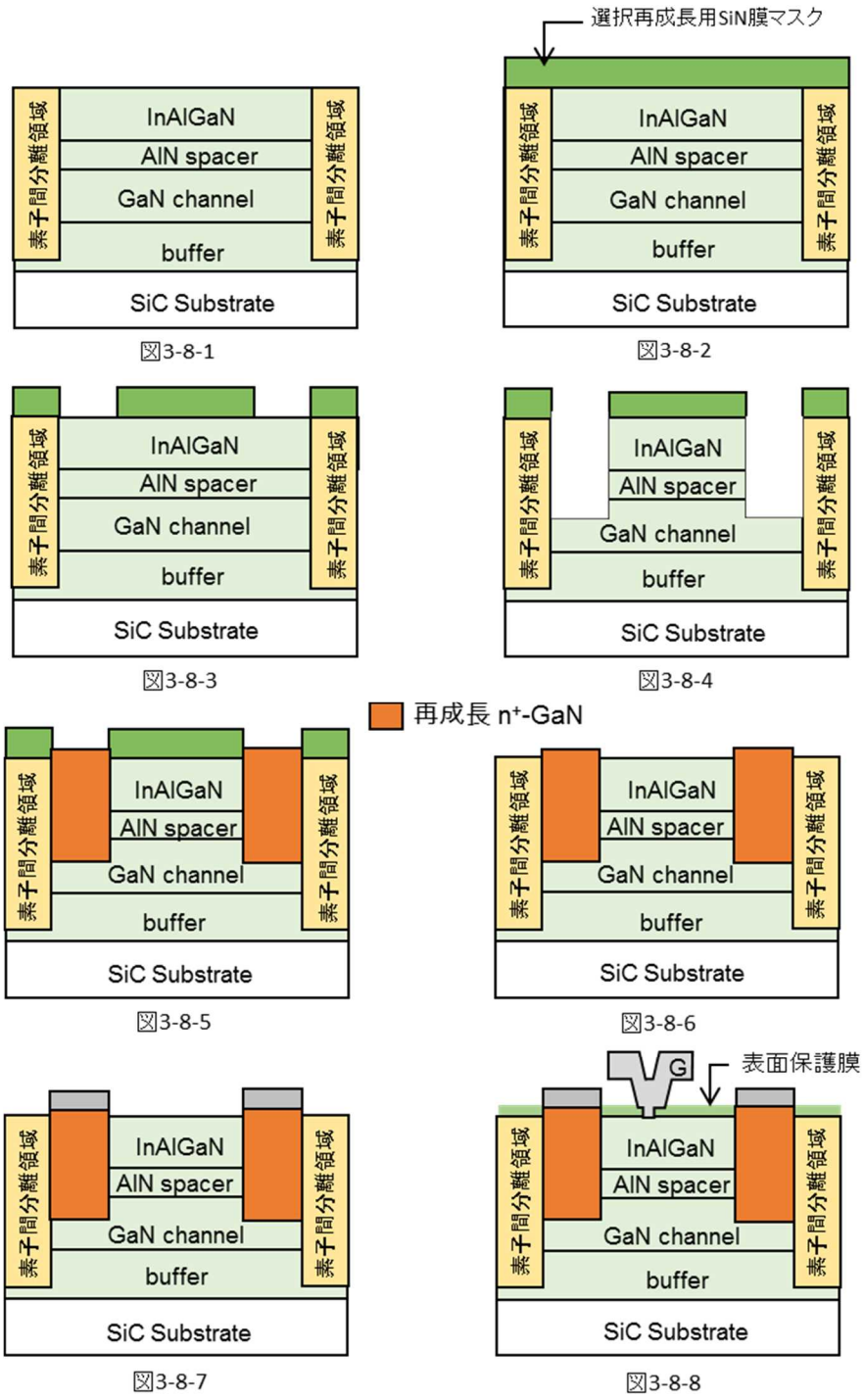


図 3-8　MOCVD 法を用いた低抵抗層オーミックデバイス作製工程

後述するように、MOCVD 法は、MBE 法と異なり選択的な再成長が実現できる。図 3-9 に、MBE 法および MOCVD 法を用いた低抵抗 GaN 層再成長後における表面 SEM 像の比較を示す。図から明らかなように、MOCVD 法ではマスク SiN 膜上に GaN は成膜されていない。そのため、MBE 法を用いた低抵抗層再成長では必須であったリフトオフプロセスが必要なくなり、プロセス安定性や量産性の向上が見込まれる。

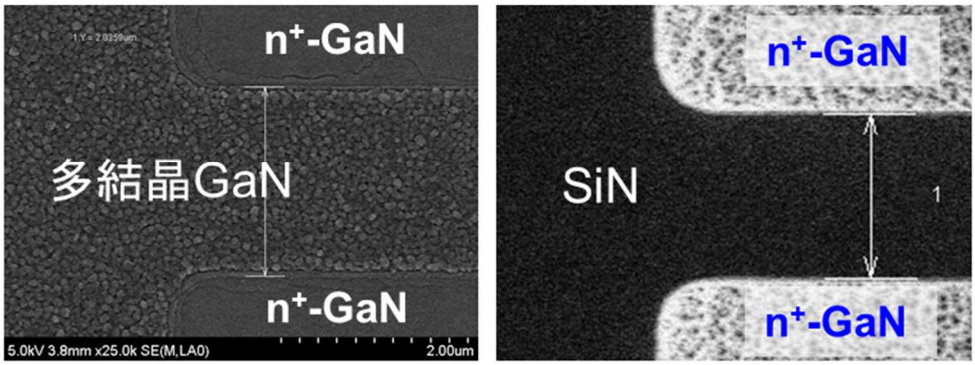


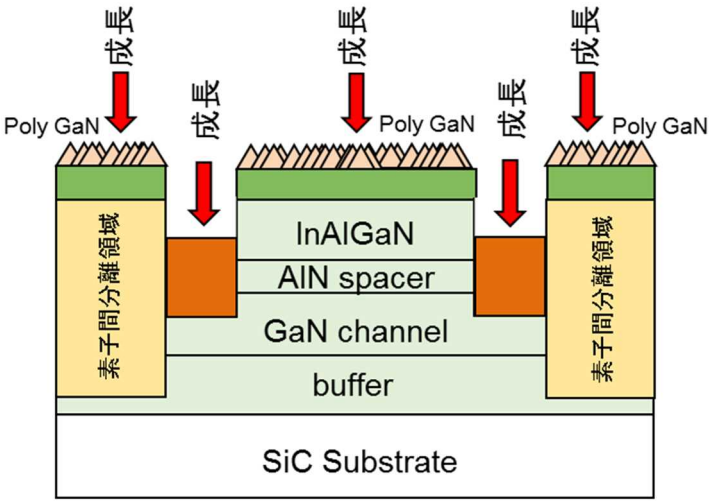
図 3-9　MBE 法,MOCVD 法を用いた低抵抗層表面 SEM 像

２－６ MBE 法と MOCVD 法による再成長メカニズムの比較

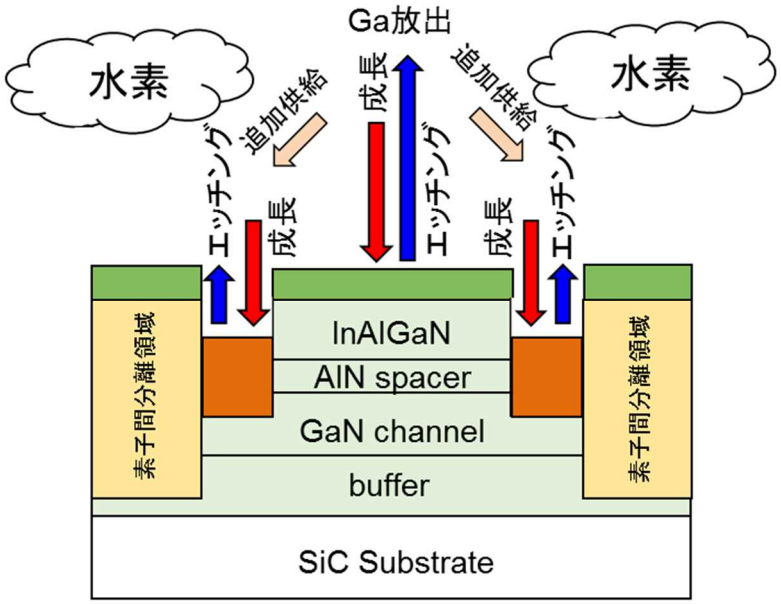
MOCVD 法の低抵抗層形成プロセスで選択的な再成長が実現した点について、反応メカニズムの観点から考察する。両手法の成長メカニズム概要を図 3-10 に示す。MBE 法では、原料分子線がウエハ表面に到達した後、大きくはマイグレーションせず被着し結晶成長する。この場合、SiN 上に被着した原料は多結晶化し、オーミック電極が形成される GaN 上に被着した原料は単結晶 GaN となる。成長が進むにつれて多結晶 GaN と単結晶 GaN の隙間が狭まるため、多結晶 GaN の存在はリフトオフ不良などプロセス不安定性の原因となり得る。

一方、MOCVD 法を用いた選択再成長では、原料ガスによる結晶成長と水素によるエッチングが同時並行的に進行する。SiN 上に到達した原料ガスは、多結晶 GaN として成長するものの、成長速度よりも速いエッチングにより消滅する。この消滅過程で放出された Ga は再度成長に寄与するため、SiN マスク近傍の GaN 露出開口部(再成長面)への Ga 供給が実質的に増大する。一方、オーミック電極が形成される GaN 再成長面では、原料ガスにより単結晶 GaN が成長する。SiN 上と同様に水素によるエッチングが進行するが、単結晶 GaN はエッチングレートが遅いため層形成される。

以上のように、MOCVD 成長では、SiN 上に多結晶 GaN が形成されないために MBE 法と比較して製造プロセスが簡便となる。



MBE 法による再成長



MOCVD 法による選択再成長

図 3-10　MBE 法および MOCVD 法による低抵抗層再成長メカニズム

２－７ 選択再成長膜厚の再成長領域密集度依存性

前述したように、MOCVD 法を用いた選択再成長ではマスク SiN 上に吸着した Ga がエッチングされた後に再度成長に寄与すると推察される。従って、再成長領域とマスク SiN の面積比および選択再成長領域の配置すなわちトランジスタ密集度により、再成長膜厚は依存性を有する可能性が高い。そこで、この仮説を検証するため 3 種類のトランジスタ密集度と再成長膜厚について検討を加えた。なお、以下の分類は定性的分類で、定量的数値範囲を示しているものではない。

トランジスタ密集度「低」

小さなトランジスタ(50 μm×100 μm)が離散的に配置(トランジスタ間隔 500 μm)された場合。図 3-11 の観察領域 A が該当。

トランジスタ密集度「中」

中程度のトランジスタ(200 μm×400 μm)が離散的に配置(トランジスタ間隔 500 μm)された場合。図 3-11 の観察領域 B が該当。

トランジスタ密集度「高」

中程度トランジスタ(200 μm×300 μm)が集中配置(トランジスタ間 50 μm)された場合。図 3-11 の観察領域 C が該当。

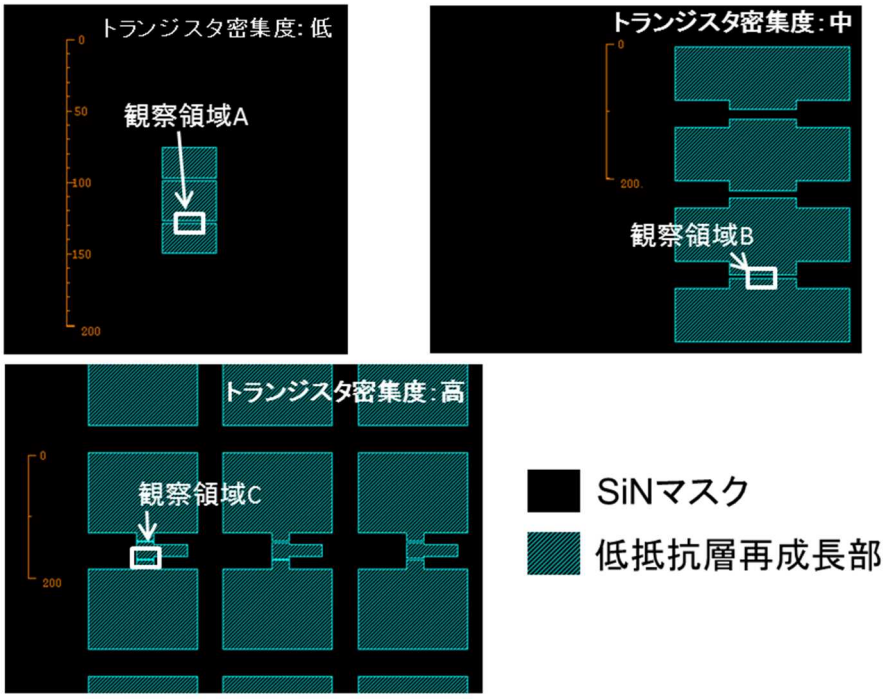


図 3-11　トランジスタ密集度の例

これらの観察領域において、再成長後の GaN 膜厚を AFM により測定した。なお、選択再成長領域は、事前に Si 高濃度ドープ GaN 選択再成長領域が 2 次元電子ガスに接続されるように 25 nm リセスした。再成長膜厚評価結果を図 3-12 に示す。観察領域 A では再成長膜厚 188 nm、観察領域 B では再成長膜厚 54.6 nm、観察領域 C では再成長膜厚 19.81 nm であった。

実験結果から、再成長膜厚には大きなトランジスタ密集度依存性があることがわかった。この依存性は、トランジスタ配置を工夫することで、依存性の影響を低減できると考えている。なお、統合デバイスでは予め 50 nm に調整した再成長条件を適用した。

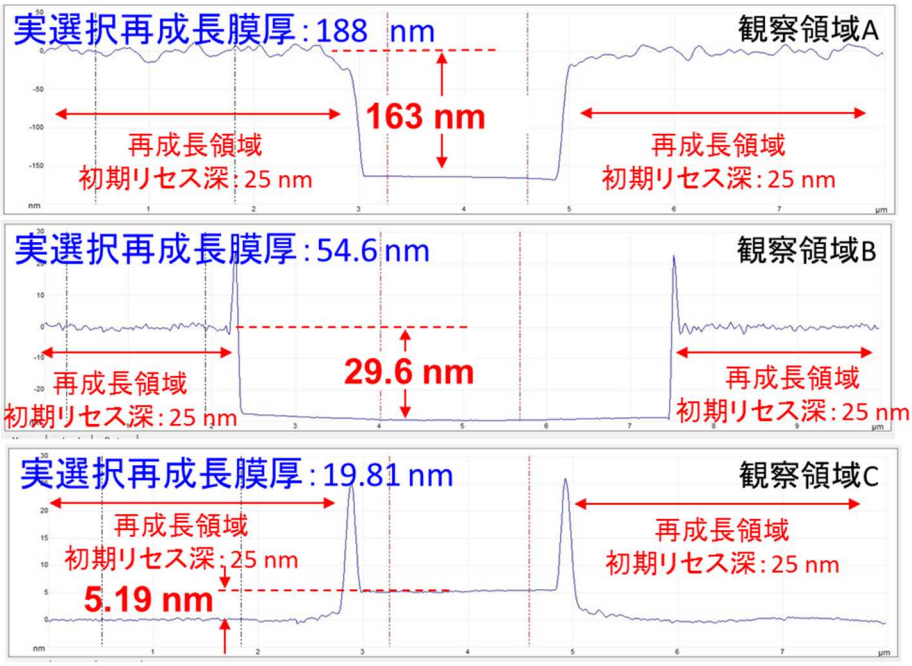


図 3-12 再成長膜厚評価結果(初期リセス深さは設計値)

２－８ MOCVD 法による低抵抗層選択再成長デバイス電気特性評価

オーミックコンタクト特性

図 3-13 に、MOCVD 法で低抵抗層を形成した InAlGaN/GaN-HEMT のコンタクト抵抗、コンタクト抵抗率およびシート抵抗を示す。コンタクト抵抗は 0.080～0.192 Ωmm の範囲であり、開発目標とした 0.5 Ωmm を大幅に下回るコンタクト抵抗を達成した。また、ウエハ面内の分布も安定しており、これは MOCVD 法を用いた再成長では、成長時に水素キャリアガスへ暴露されることで表面が清浄化されることも一因であると考えている。

これらの測定結果および前述したマスク SiN の剥離容易性(リフトオフ容易性)から、MOCVD 法による低抵抗層再成長技術には、大きな優位性があると考えている。

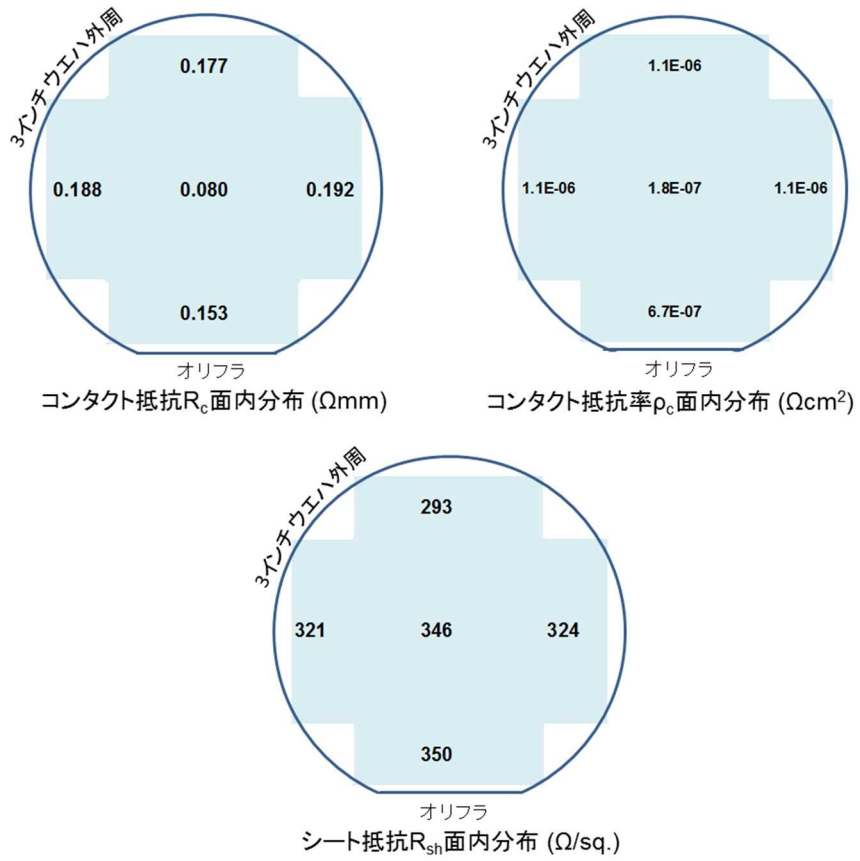


図 3-13　MOCVD 法による低抵抗層再成長オーミック品の R_c，ρ_c，R_{sh} 面内分布

トランジスタの DC 特性

前述したように、オーミックコンタクト抵抗は、MBE 製低抵抗層再成長と比較して安定に低減出来ている。この低コンタクト抵抗は、オン抵抗を低減し、最大ドレイン電流を増大させる。トランジスタ特性について、課題⑨の統合試作項目に詳細を記載した。

２－９ Ge ドーパントによる MOCVD 法再成長技術の最適化

MOCVD 法再成長技術は均一性の高い低抵抗層を高い再現性で形成できる。そこで本手法をベースとして、更なるコンタクト抵抗低減を目指した最適化に取り組んだ。

コンタクト抵抗低減には再成長層へのドープ濃度増加が有効である。一般に、低抵抗再成長 GaN 層には Si をドーパントとして用いるが、ドープ濃度が 2×10^{19} cm^{-3} 程度を超えると再成長結晶品質が低下して表面荒れが発生する。結晶品質の低下は電気特性や信頼性の劣化要因になることが懸念されるため、これ以上の Si ドープ濃度増加は好ましくない。一方、Ge は Si より Ga とイオン半径が近く母材結晶への負荷が小さいことから、より高濃度なドーピングが期待できる[5]。そこで本実験では Ge をドーパントに用

いた低抵抗 GaN 層再成長について検討した。

図 3-14 に、表面粗さ RMS における Si および Ge のドープ濃度依存性を示す。ドープした GaN 膜厚はどちらも 50 nm である。図から明らかなように、Si はドープ濃度の増加に伴い RMS が直線的に増加しており、高濃度ドープにより GaN の結晶性が低下する様子が示唆された。一方、Ge は今回検証した最大ドープ濃度である 2.5×10^{20} cm^{-3} においても RMS の増加は観察されなかった。この結果は図 3-16 に示す AFM 像からも明らかである。図 3-15 は、シート抵抗における各ドーパントのドープ濃度依存性を示す。低濃度領域では Si ドープによる抵抗低減効果が大きいが、ドープ濃度が 1.0×10^{20} cm^{3} 以上になると Ge ドープ GaN のシート抵抗は Si ドープ品以上の低抵抗化を示した。本結果から、MOCVD 法再成長では Ge をドーパントに用いることで結晶品質を維持したまま高濃度なドーピングが可能であることがわかった。

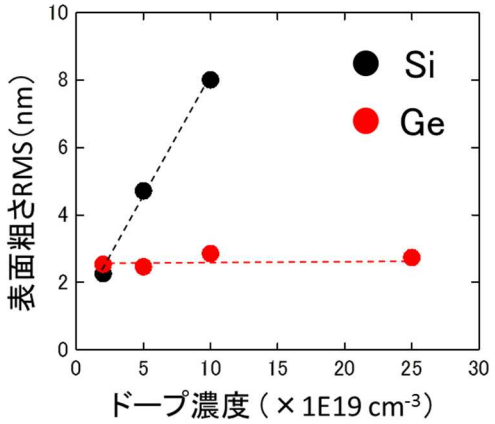


図 3-14 表面粗さ RMS のドープ濃度依存性

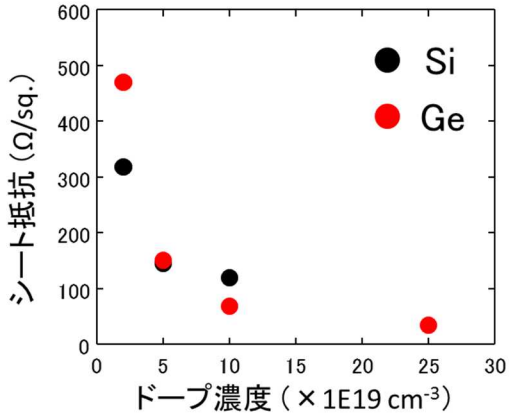
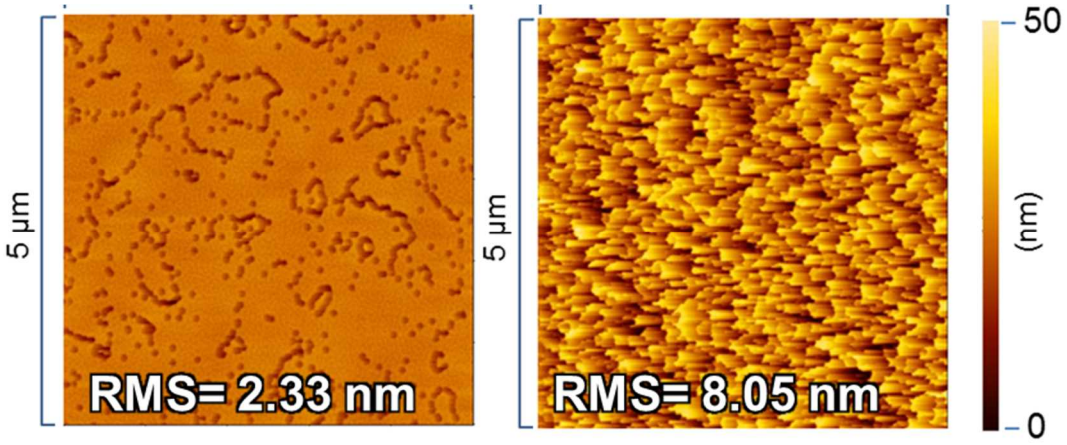


図 3-15 シート抵抗のドープ濃度依存性



Ge ドープ($2.5\times10^{20}cm^{-3}$)　　Si ドープ($1.0\times10^{20}cm^{-3}$)

図 3-16 AFM 観察結果

オーミックコンタクト特性の比較

前項で確立したGeドーピング技術を用いて低抵抗層を形成したInAlGaN/GaN-HEMTのコンタクト抵抗およびコンタクト抵抗率を図3-17に示す。比較として示したSiドーピングにおけるコンタクト抵抗の面内平均は0.158 Ωmmである。一方、Geドーピングを用いた再成長によるコンタクト抵抗の面内平均は0.129 Ωmmまで低減し、面内分布も比較的良好であった。

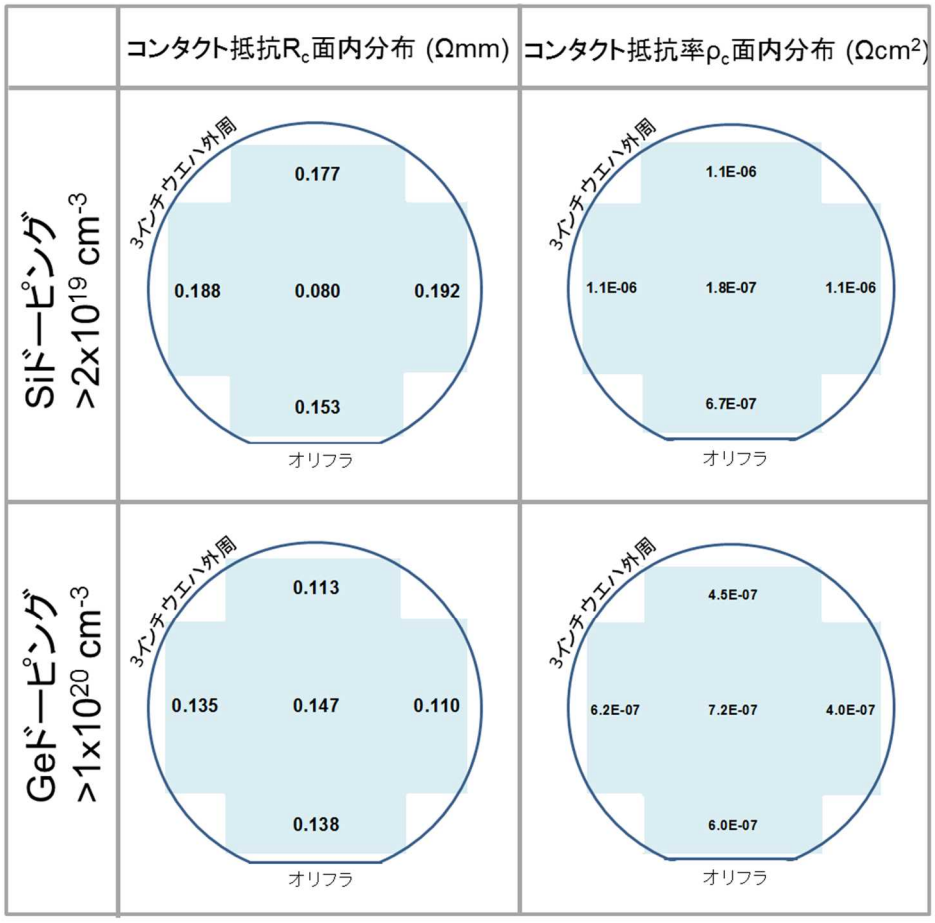


図3-17　各ドーパントのコンタクト抵抗およびコンタクト抵抗率の比較

統合デバイス試作適用構造

以上のとおり、Geをドーパントとした MOCVD 法再成長技術の最適化を実施し、Siドーピングを上回る低コンタクト抵抗を達成した。本技術検討を基にオーミック電極構造は、リセス深度(設計値) 25 nm、Geドープ低抵抗 GaN 層厚を 50 nm と決定し、統合デバイス最終試作に適用した。

２．３．３．３　まとめ

本項では「③コンタクト抵抗低減技術の開発」について総括する。「④高電流構造シミュレーション」に詳述する通り、オーミックコンタクト抵抗の改善は、図 3-18 に示すように、大幅な最大ドレイン電流 I_{dmax}(V_g=+2 V)の増大および相互コンダクタンス g_m の改善に寄与する。これは、トランジスタ内部での抵抗損失を低減させ、増幅器の高出力化および高効率化を実現する。

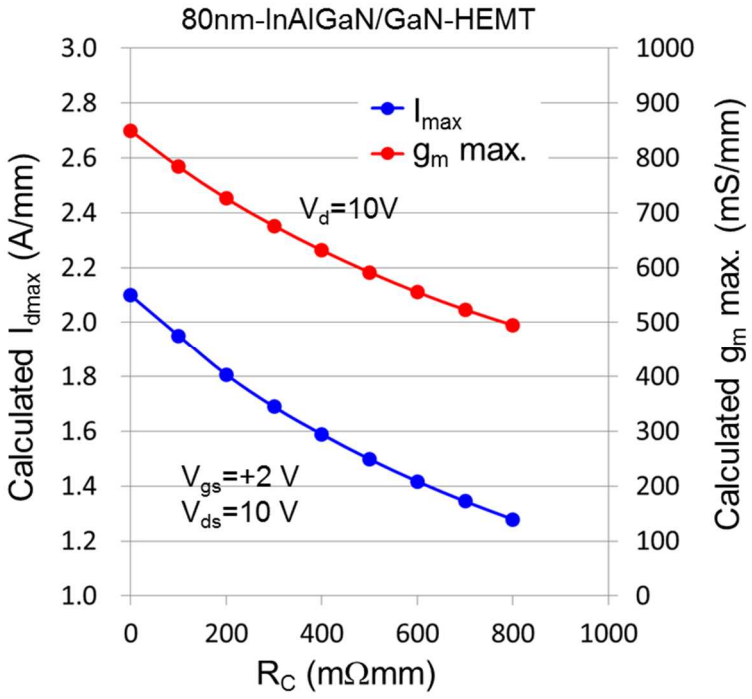


図 3-18　デバイスシミュレーションを用いた、コンタクト抵抗改善による
最大ドレイン電流 I_{dmax} および相互コンダクタンス g_m の変化予測

MOCVD 法による低抵抗再成長層

これらの実験結果から、MOCVD を用いた低抵抗層再成長手法には大きな効果が認められ、開発目標としたオーミックコンタクト抵抗 0.5 Ωmm を大幅に低減する低コンタクト抵抗を達成した。また本手法は、MBE 法と比較し、プロセスコストおよび歩留りを大幅に改善するポテンシャルを有することが実証された。統合デバイス最終試作には Ge ドーピングで最適化した本手法を適用した。

以上、本開発では、複数のコンタクト抵抗低減技術を検討し、試作ウエハの電気特性評価(オーミック特性)結果から開発目標を大幅に上回る再成長オーミック技術を完成させた。開発技術は統合デバイスに適用され、優れた出力特性を有するデバイスの実現に貢献できた。

参考文献

[1] K.Shinohara, et al., IEDM Tech. Dig., 2011, pp.453-456
[2] Nicolas. Thierry-Jebali, et al., 19th International Workshop on Thermal Investigation of ICs and Systems.
[3] M. Okamoto, *et al*., 19a-P7-10 第 74 回応用物理学会秋季学術講演会
[4] Pearton et al., J. Appl. Phys., 86, 1, 1999
[5] Romualdo A. Ferreyra, et al., IEEE Electron Device Letters, Vol.38, No. 8, pp1079-1081, 2017

２．３．４　④高電流構造シミュレーション

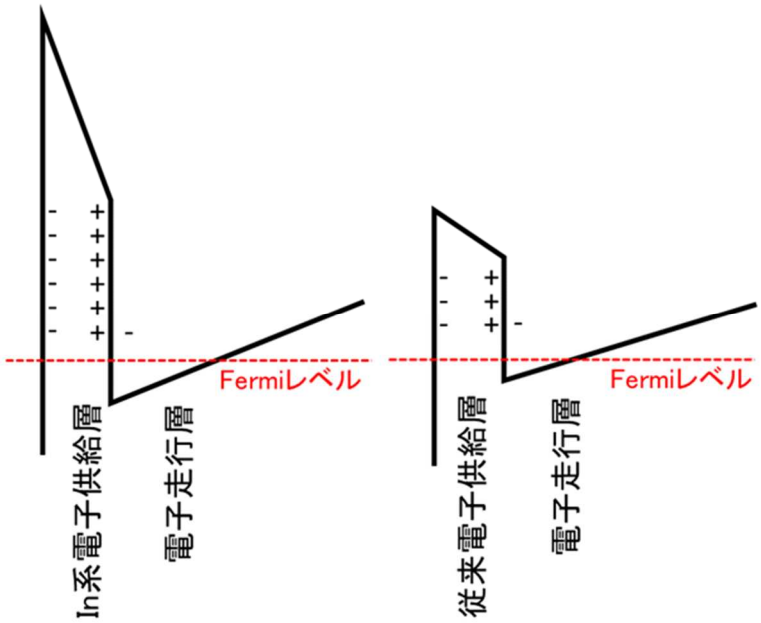
２．３．４．１　はじめに

一般的に GaN-HEMT の開発は、高電圧・高電流密度の実現を目指す。このようなデバイスでは、高電界による絶縁破壊、ゲート空乏層下を流れる漏れ電流、電子トラップによる過渡応答、高キャリア密度に起因した強いバンドベンディング等、多くの物理現象が複雑に絡み合う。そのため、種々の物理モデルに立脚したシミュレーション技術は、効率的なデバイス開発を推進する上で必須な技術となっている。

２．３．４．２　オーミック特性改善時のデバイス特性予測計算

計算上の課題

図 4-1 に In 系電子供給層および従来の AlGaN 電子供給層における分極電荷分布を示す（図中の+記号および－記号の数は、分極電荷量のイメージである）。図 4-1 に示すように、In 系窒化物半導体は従来 AlGaN 電子供給層に対して、主に自発分極の影響で電子供給層内部の分極が大きい。電子供給層と電子走行層の界面には、電子供給層側のプラス電荷と電子走行側のマイナス電荷の差分に対応する量の 2 次元電子ガスが誘起されるため、In 系電子供給層 HEMT 構造において高い電子密度が実現できる。このとき、図 4-1 に示すように In 系電子供給層内部には強い内部電界が生じている。



(a)　In 系窒化物半導体　　(b)　従来窒化物半導体

図 4-1　In 系電子供給層および従来電子供給層における分極電荷とバンド構造の模式図

実測データと計算値の比較

平成 28 年度には、MBE 法による低抵抗再成長層を用いたコンタクト抵抗低減実験を行った。その実測結果と、平成 27 年度に実施したシミュレーション技術構築により得られた最大ドレイン電流 I_{dmax} のコンタクト抵抗 R_c 依存性を比較する。図 4-2 に示すように、デバイスシミュレータによる予測計算結果と実測結果は、非常に良い一致を示した。この結果から、デバイスに低抵抗層再成長技術を適用することにより、従来よりも大幅な特性改善が可能なことを計算からも証明できた。

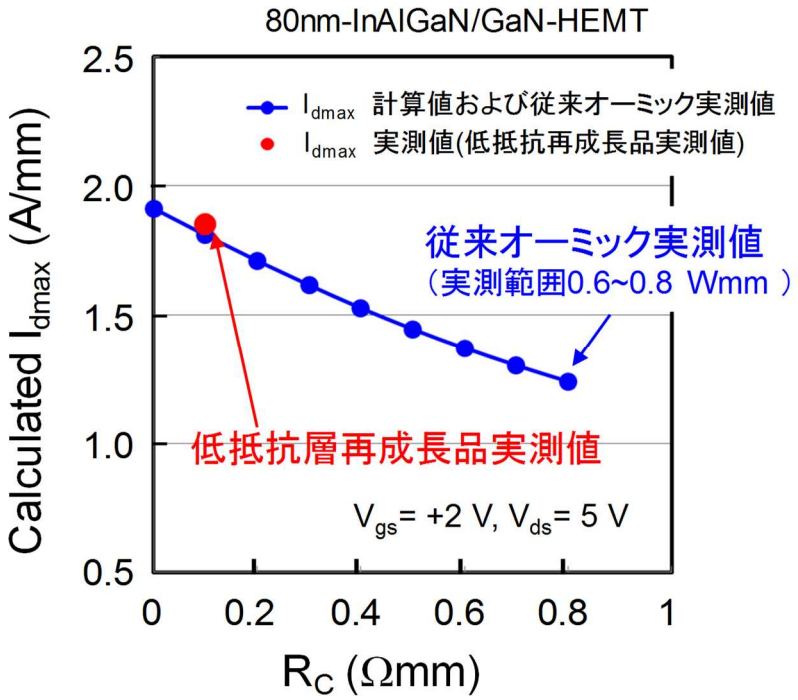


図 4-2　低抵抗層再成長デバイスの評価結果と
シミュレーション結果の比較

このように、本研究で確立した低抵抗層再成長デバイスに対する、定量的予測計算技術と試作へのフィードバックは、本課題の目標を達成するものである。

２．３．４．３　デバイス高耐圧化に向けての構造計算

３－１　キャリア濃度低減による高耐圧化

計算構造(統合デバイス（最終試作（Ⅰ））構造)について

平成 28 年度研究まで用いてきた In 系窒化物半導体 InAlGaN は、高 Al 組成の 4 元混晶半導体である。この材料系では、Al 組成が高いほど多くの分極電荷(自発およびピエゾ)を発生させることができ、高濃度の 2 次元電子ガスを得ることができる。

一方、高濃度な 2 次元電子ガスが存在するとドレイン側のゲート電極端近傍における

電界集中が促進され、耐圧を低下させる恐れがある。そのため、平成 29 年度の課題⑨要素技術統合向けインテグレーションでは、従来の高 Al 組成高電流構造に加え、ドレイン電流密度と破壊耐圧の両立を図るために、2 次元電子濃度を制御することでトランジスタ耐圧を向上させる手法も検討した。

電界強度計算

本年度のシミュレーションでは、ゲートリークの影響を加味するために、「トンネル電流モデル」を追加した。なお、本計算では定常解を求めるため「界面・バルクトラップモデル」は適用しなかった。

計算に用いたデバイスの構造概略図を図 4-3 に示す。ゲート-ソース間距離＜ゲート-ドレイン間距離となるオフセットゲート構造を用いて計算した。結晶構造は InGaN 層からなるバックバリアをチャネル下部に配置した。T 型ゲートオーバーハング構造(半導体に直接接する幅の狭い部位とその上部に位置し幅広のオーバーゲート部位から構成される電極形状の総称)およびオーバーゲート下の SiN 膜からなる絶縁膜厚は、我々の研究開発で実績のある構造と類似する構造を採用した。なお、すべての電極を含むデバイス表面全体は、実デバイスと同様に SiN 膜からなる配線層間膜で被覆した。

次に、図 4-4 に 2 次元電子濃度を変化させた 2 つの構造のゲート電極ドレイン端近傍の電界強度計算結果を示す。電界強度は、図 4-3 のゲート電極オーバーハング部下部の電界集中がもっとも大きい箇所の計算結果を表示(電界強度表示拡大領域と記載)。図中左図は、電子供給層の Al 組成を変化させキャリア濃度を低下させた場合の電界強度分布、右図はキャリア濃度が従来品と同様に高い場合の電界強度分布を示す。計算は、V_{ds}= 100 V、V_{gs}= -8 V のオフ状態時で実施した。これらの計算結果が示すように、高濃度キャリアを有するデバイス構造では、ゲート電極オーバーゲート端直下の SiN 膜および InAlGaN からなる電子供給層内部の電界強度が 3～4 MV/cm 程度に達していることが分かる。この強電界領域では、SiN 膜や電子供給層内部の絶縁破壊が生じる可能性がある。一般論としては、SiN 膜の絶縁破壊耐圧は、5 MV/cm 以上とされるが、半導体プロセスで用いられるプラズマ CVD 膜では、やや耐圧は低下する。さらに、InAlGaN 電子供給層についても、極めて高品質の結晶を成膜することが現時点では難しく、バンドギャップから想定される絶縁破壊耐圧よりも実耐圧は低い可能性がある。そのため、キャリア濃度を低減させたデバイス構造で予測される電界集中の緩和は、デバイスの耐圧向上すなわち高電圧動作を可能にすると考えている。

これらの結果は、課題⑨要素技術統合向けインテグレーション試作への反映を目的に、試作デバイスとおおむね同等の構造で計算されている。実際の試作結果については、「⑨要素技術統合向けインテグレーション」で詳述するが、我々の先行研究で蓄積した知見

を基にデバイスシミュレーションモデルを構築し、その予測計算結果を基に試作をすすめたことにより、開発効率の改善や、実測定データに物理的裏付を十分に付与することに成功した。

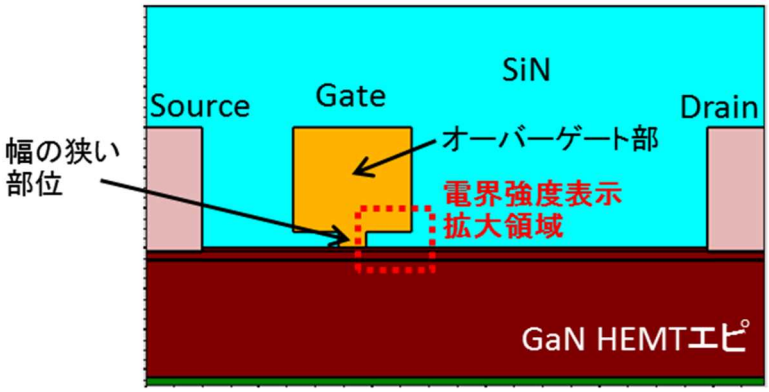


図 4-3　計算に用いたデバイスの構造概略図

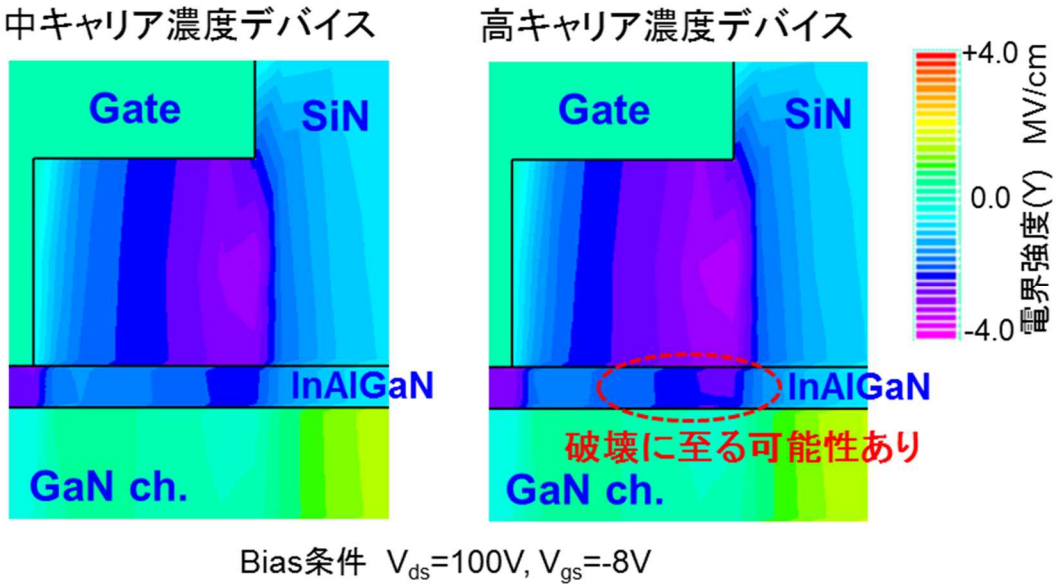


図 4-4　ゲート電極ドレイン端近傍における電界集中と
そのキャリア密度依存性

実測データの再現性の検証

計算結果の精度検証を行う必要がある。本研究では、⑨要素技術統合向けインテグレーションにて試作した実測データと計算値を比較することで、精度検証を行った。図 4-5 に Al 組成を低下させた中キャリア濃度デバイスと従来の高キャリア濃度デバイス

の実測 I_d-V_{gs} 特性および計算 I_d-V_{gs} 特性を示す。実測データと計算値の比較では、閾値、最大ドレイン電流値およびゲートリークは、±10%の精度で実測データを再現できていることがわかった。これらの計算結果およびエピ・デバイス構造設計方針をもって、⑨要素技術統合向けインテグレーション試作にフィードバックをかける目標も達成した。

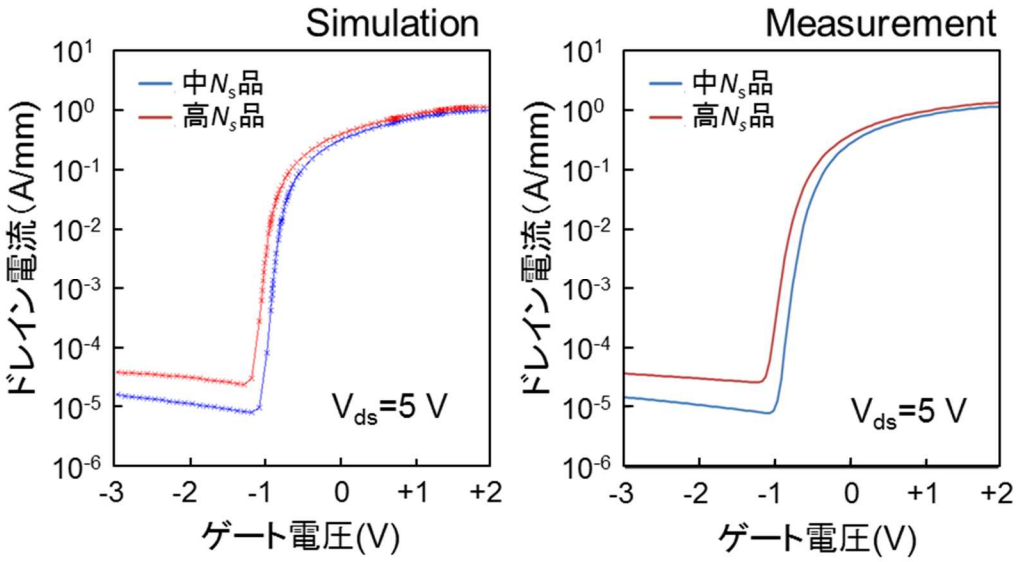


図 4-5　実測 I_d-V_{gs} 特性および計算 I_d-V_{gs} 特性のキャリア濃度依存性

３－２　MIS 化による高耐圧化

一般論として、ショットキーデバイスの破壊はゲート電極近傍で発生していると考えられる。この引き金の一つはゲートリーク電流である。そのため、ゲート絶縁膜を導入した MIS(Metal-Insulator-Semiconductor)構造は、デバイスの耐圧を向上させる一つの手法であると考えている。本項では、MIS 構造での特性改善効果の予測計算を実施した。

計算構造(統合デバイス（最終試作（I））構造)について

構造計算に用いたデバイス構造は、比較しやすいように「３－１　キャリア濃度低減による高耐圧化」で計算を実施したものと同一の構造とした。ただし、本計算では、Al_2O_3 からなる絶縁膜をゲート直下に配置した構造を用いた。

電界強度計算

計算手法は、「３－１　キャリア濃度低減による高耐圧化」電界強度計算時と同一である。ただし、MIS 構造ゲート電極のためリーク電流は流れないか、もしくは非常に低い値となる。現実的な MIS トランジスタでは、nA～μA/mm 程度のゲートリーク電流が流

れるケースもあるが、今回の場合は、複雑な絶縁膜中リーク電流は加味していない。計算に用いたデバイス構造は、図 4-4 に示す電界強度計算時と同一である。ただし、ゲート直下には 10 nm の Al_2O_3 が挿入されている。

図 4-6 に、MIS 型トランジスタのゲート周辺における電界強度分布を示す。計算結果より、絶縁膜中の電界強度は相対的に高いことが示唆され、絶縁膜厚が薄い場合には、破壊耐圧を超過する恐れがあることがわかった。従って、絶縁膜破壊を回避するには適正膜厚を詳細なデバイスシミュレーションにより決定する必要がある。今回の統合試作では、デバイスシミュレータの計算結果より、Al_2O_3 の破壊電界を超えない厚みを 10 nm 以上と決定し、試作を行った。

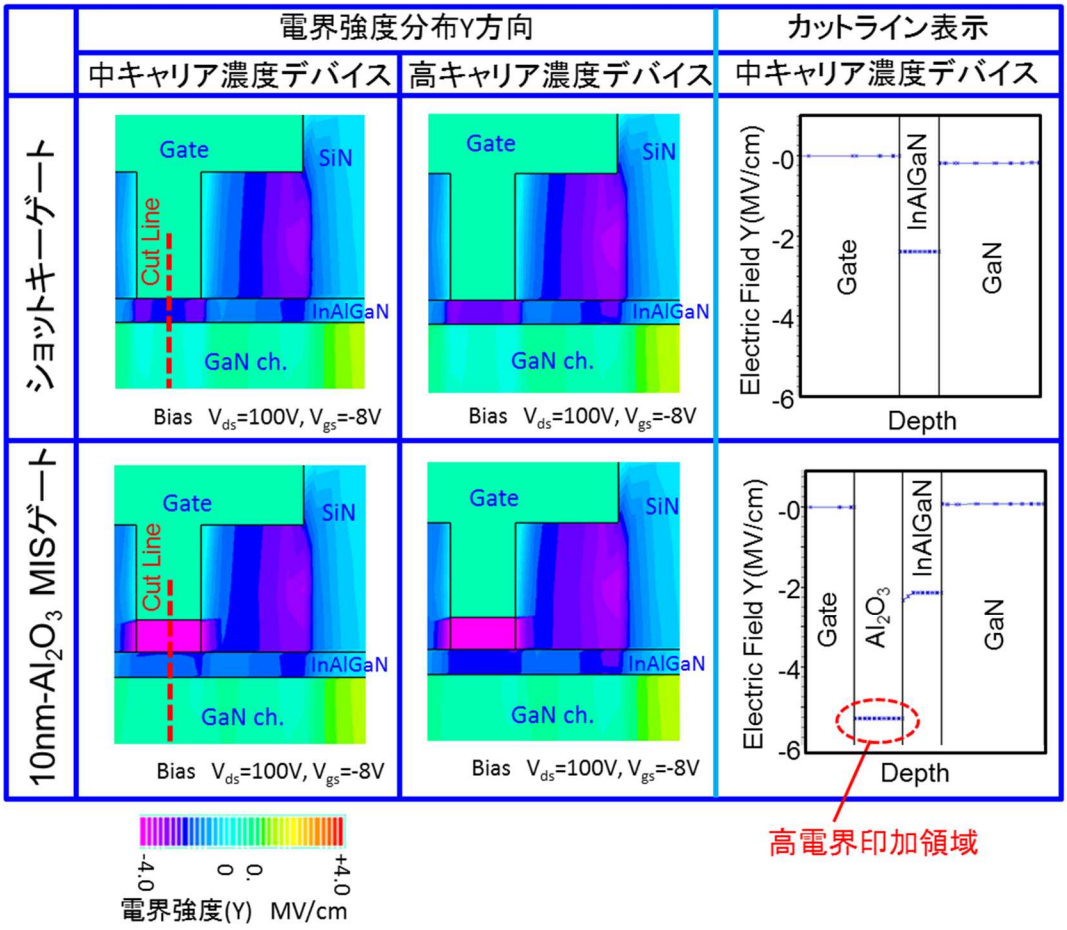


図 4-6　MIS 構造のゲート電極ドレイン端近傍の電界強度計算結果

２．３．４．４　まとめ

本研究では、計画段階より物理的見地からの予測計算技術開発を計画に組み込み研究を遂行した。特に、高電流・高電圧で動作するデバイスの開発では、試作事例の少ない材料やデバイス構造を用いる場合が多い。そのため、経験値に基づくデバイス開発は困難である。そこでまず、InAlGaN/GaN-HEMT のような 2 A/mm を超える材料系かつ高いドレイン電圧で動作させるデバイスでも、エネルギーバランス方程式を含む計算ができるように、計算環境およびスキルを向上された。これにより、低抵抗層再成長デバイスの設計を、迅速かつ正確に行うことができた。さらに、あえてキャリア濃度を低下されて動作電圧を高める方法の物理的裏付けも行うことができた。

⑨要素技術統合向けインテグレーション試作において、統合デバイス二次試作における W 帯 MMIC での世界最高性能実証、および統合デバイス最終試作での世界最高性能実証は、この高電流シミュレーション技術が大きく貢献している。

２．３．５　⑤In 系窒化物半導体向け低トラップ絶縁膜技術の開発

２．３．５．１　はじめに

窒化ガリウム高電子移動度トランジスタ(GaN High Electron Mobility Transistor：GaN-HEMT)は大きな絶縁耐圧、高い 2 次元電子密度といった GaN の優れた材料特性を活かし、高出力送信増幅器への応用が期待されている[1]。近年、GaN-HEMT の更なる高出力化に向け、InAlN 電子供給層を用いた InAlN/GaN-HEMT の開発が進められている[2]。

InAlN は自発分極が高く、薄膜であっても高濃度の 2 次元電子ガスを誘起できるため、高出力性と高周波特性を両立できる点が従来の AlGaN 電子供給層よりも優れている。

しかしながら、InAlN/GaN-HEMT はその特徴である高い自発分極により、供給層内部の電界強度が高く、ゲートリーク電流が大きい。そこで、InAlN 表面を酸化した MOS(Metal-Oxide-Semiconductor)構造の検討が進められている[3,4]。InAlN 表面の酸化膜は酸化インジウム(In_2O_3)と酸化アルミニウム(Al_2O_3)から構成されるが、In_2O_3 のバンドギャップ(～3.4 eV)は Al_2O_3 (～7.0 eV)よりも低いため、ゲートリーク電流を効果的に低減するには Al_2O_3 の選択形成が鍵となる。

そこで本研究では、平成 28 年度までに、H_2O 蒸気を用いた表面酸化制御により、InAlN 表面に Al_2O_3 を選択形成するとともに、酸化層上に原子層堆積法(Atomic Layer Deposition：ALD)にて Al_2O_3 を形成した MIS (Metal-Insulator-Semiconductor)構造を開発し、ゲートリーク電流の低減(I_g ＜ 1E-6A/mm)と、電子トラップの低減(C-V ヒステリシス ＜ ±0.5 V)を実現した。

最終年度となる平成 29 年度は、昨年度までに確立した ALD 法による Al_2O_3 成膜技術をベースとして絶縁ゲート構造の最適化を図る。具体的には ALD による絶縁膜成長シーケンスの見直しにより堆積膜厚の制御性を向上させると共に、多層化による品質劣化を抑制する。設定した開発目標値は ΔV_{th} ＜ ±0.5 V, I_g ＜ 1E-6 A/mm とした。

２．３．５．２　実験手法

２－１　InAlN/GaN-MIS-HEMT の試作

本研究で試作した InAlN-MIS-HEMT の断面構造を図 5-1 に示す。本デバイスの主要部分である InAlN 表面の酸化層、及び絶縁膜の形成については詳細を以下に示す。

２－２　InAlN 表面の酸化処理

ソース・ドレイン電極を InAlN/GaN-MIS HEMT 上に形成した後、H_2O 処理にて InAlN 表面に 2 nm の酸化層を形成した。H_2O 処理は、ALD 装置内で、H_2O 蒸気を用いて 300℃の表面温度で 30 分間行った。

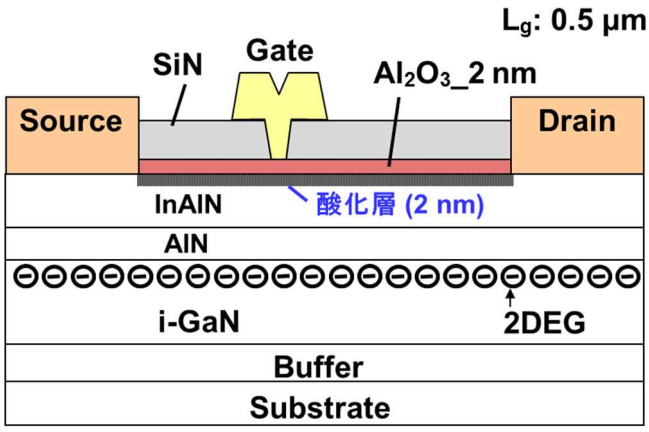


図 5-1　試作した InAlN/GaN-MIS-HEMT の断面構造

２－３　ALD による絶縁膜の形成

H_2O 酸化方式

Thermal-ALD 装置を用い、Al_2O_3 を表面温度 300 ℃で成膜した。この時の Al_2O_3 形成の化学反応式を式 5-1 に示す。ALD 法の成膜シーケンスは図 5-2 に示すように、(1)H_2O を基板へ供給し、化学吸着させ、(2)過剰な H_2O 及び副生成物を N_2 で 10 秒間パージし、(3)トリメチルアルミニウム(TMA)を供給し、基板に吸着した H_2O と反応させた後、(4)過剰な TMA 及び副生成物を 10 秒間パージする。以上の一連動作を 1 サイクルとし、サイクル数を制御することで所望の膜厚を得た。

$$2Al(CH_3)_3 + 3H_2O \rightarrow Al_2O_3 + 6CH_4 \quad \text{(式 5-1)}$$

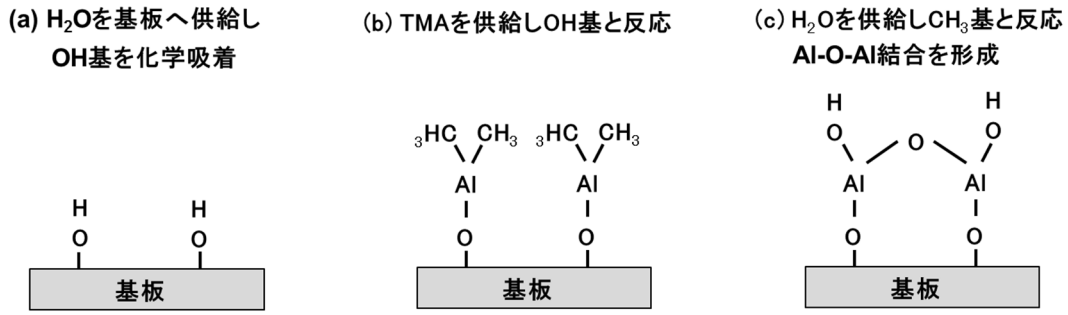


図 5-2　ALD 法の成膜シーケンス

O_2プラズマ酸化方式

Plasma-ALD 装置を用い、Al_2O_3を表面温度 300 ℃で成膜した。この時の Al_2O_3形成の化学反応式を式 5-2 に示す。ALD 法の成膜シーケンスは、(1)TMA を基板へ供給し、化学吸着させ、(2)過剰な TMA 及び副生成物を Ar で 10 秒間パージし、(3) O_2プラズマを発生させ、基板に吸着した TMA と反応させた後、(4)過剰な O_2及び副生成物を 10 秒間パージする。以上の一連動作を 1 サイクルとし、サイクル数を制御することで所望の膜厚を得た。

$$4Al(CH_3)_3 + 3O_2 \rightarrow 2Al_2O_3 + 6C_2H_6 \quad \text{(式 5-2)}$$

２－４　Al_2O_3成膜後のアニール

ランプアニール装置を用い、N_2雰囲気下で Al_2O_3成膜後のアニール(Post Deposition Anneal：PDA)を行った。処理時間は 1 分、表面温度は 600℃とした。

２－５　InAlN/GaN-MIS-HEMT の DC 特性評価

試作したデバイスの DC 特性は、ドレイン電流-ゲート電圧(I_d-V_{gs})、ゲートリーク電流-ゲート電圧(I_g-V_{gs})にて評価した。I_d-V_{gs}、I_g-V_{gs}測定ではV_{ds}を 10 V とし、V_{gs}を-3 V から 2 V まで掃引した。

２－６　Al_2O_3/InAlN 界面の化学結合状態、および InAlN 酸化層の深さ評価

X 線光電子分光法（X-ray Photoelectron Spectroscopy：XPS)にて Al_2O_3/InAlN 界面の化学結合状態を評価した（図 5-3)。照射 X 線には、単色化したモノクロ光源（Al K α1）を用いた。InAlN/GaN-HEMT 上に 2 nm の Al_2O_3 を成膜し、Al_2O_3 の上から InAlN 酸化層を分析した。得られた O 1s スペクトルを Al_2O_3 と In_2O_3 に波形分離し、Al_2O_3/In_2O_3 比を算出した。なお、表面付着物に起因する組成ずれを排除するため、前処理として測定面への Ar クリーニングを施した。また、検出器の取出角を 15，30，45° と変化させることで化学結合状態の深さ依存性を取得した。さらに、XPS 装置内で Ar エッチングを行い、酸素濃度のデプスプロファイルを取得することで、酸化層の深さを見積もった。

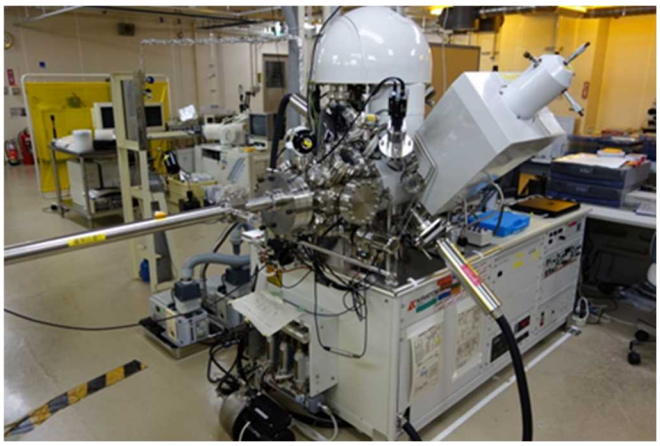


図 5-3　　XPS 装置の外観

２－７　InAlN/GaN-MIS-HEMT の V_{th} シフト評価

マニュアルプローブを用い、InAlN-MIS-HEMT の I_d-V_{gs} 測定を行った。V_{th} シフトは得られた I-V カーブのヒステリシスから算出した。V_{ds} を 10 V とし、V_{gs} を-10 V から 2 V、10 V から-20 V と Sweep することで I-V カーブを得た。

２．３．５．３　結果と考察

３－１　Al_2O_3 成膜時のプラズマダメージ低減、および H_2O 酸化膜厚の最適化

Al_2O_3 成膜時の O_2 プラズマダメージを低減するため、プラズマパワーの制御を検討した。図 5-4 に、プラズマパワーを 400 W から 75 W に制御した際の、InAlN 中における酸素濃度のデプスプロファイルを XPS にて取得した結果を示す。この結果から、いずれの深さにおいても酸素濃度は 400 W の方が 75 W よりも高く、InAlN の酸化が O_2 プラズマによって促進されていることがわかる。また、酸素が検出される深さも酸素原料間で差が見られ、400 W ではプラズマ酸化層が 4 nm に達することが明らかとなった。これは、プラズマパワーが高いと、InAlN 表面がより活性なラジカルやイオンに晒され、酸素が深くまで侵入するためと考えられる。また、プラズマ酸化層の低減により、R_{sh} も 361 Ω/sq. から 282 Ω /sq. に低減しており、ダメージが抑制されていることがわかる。

以上の結果から、Al_2O_3 成膜時のプラズマパワーは 75 W とし、2 nm のプラズマダメージを抑制するため、H_2O 酸化層の狙い膜厚は 2 nm とした。

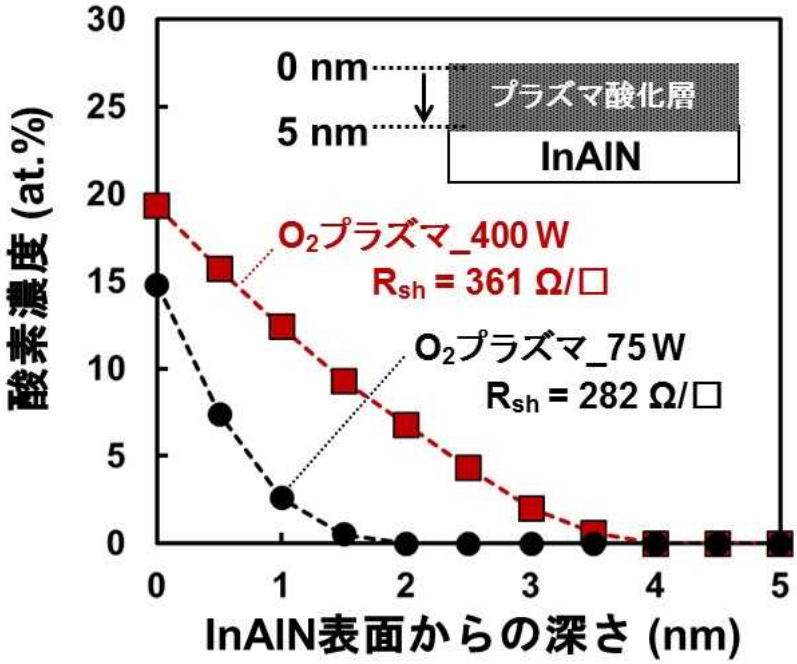


図 5-4 Al_2O_3/InAlN 界面における InAlN 酸化層の深さ

H_2O 酸化層を 2 nm に制御するため、処理温度、処理時間と酸化膜厚の関係を調査した。図 5-5 に、表面温度を 300、400℃として、処理時間を変化させた際の酸化膜厚を示す。この結果から、処理温度を固定した際には、一定の処理時間で酸化膜厚が飽和しており、300℃では約 2 nm、400℃では約 3 nm の酸化膜が形成されることがわかる。どちらの処理温度においても、15 分以上の処理時間では、酸化膜厚に大きな変化は見られない。これは、酸化膜厚の増加に伴い、H_2O 蒸気の InAlN 層への到達が抑制されているためと考えられる。また、上述したように、Al_2O_3 成膜時のプラズマダメージを抑制するためには、2 nm 以上の酸化膜厚が有効と考えられるが、必要以上に InAlN を酸化してしまうと、電子供給層が薄くなり、2DEG 密度が低下する恐れがある。したがって、H_2O 蒸気の処理温度は、膜厚が 2 nm で飽和する 300℃が適していると考えられる。一方、処理時間については、面内バラツキ等も考慮すると、十分な処理時間を確保するため、30 分が好ましいと考えられる。

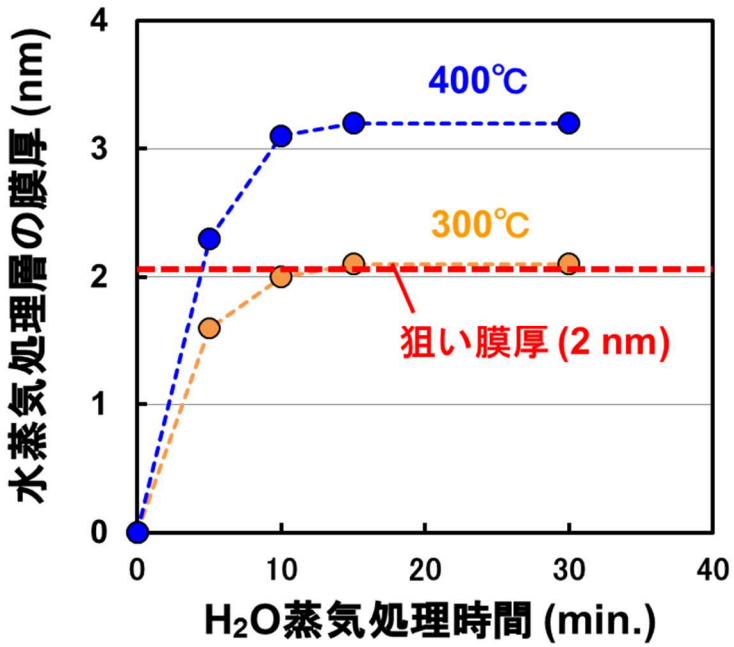


図 5-5　H_2O 処理時間と酸化膜厚の関係

図5-6に最適化した絶縁膜成長シーケンスにて試作したInAlN/GaN-MIS-HEMTのI_d-V_{gs}、I_g-V_{gs}特性を示す。この結果から、I_d-V_{gs} カーブにおける閾値電圧変動(ΔV$_{th}$)は±0.05 Vと、最終年度である平成29年度の開発目標値(ΔV$_{th}$ ＜ ±0.5 V)を達成することができた。

I_g-V_{gs} カーブからは、最適化した絶縁膜成長シーケンスにおいてもゲートリーク電流は1.0×10^{-6} A/mm以下であり、Al_2O_3成膜時のプラズマパワー制御と、H_2O酸化条件の最適化により、低トラップと低ゲートリーク電流を両立することに成功した。

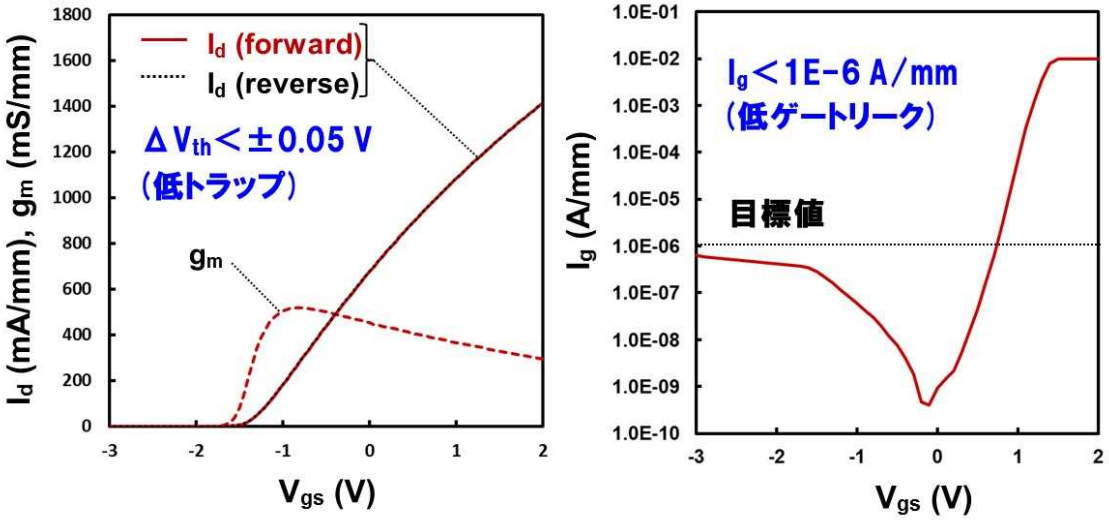


図5-6 InAlN/GaN-MIS-HEMTのI_d-V_{gs}, I_g-V_{gs}特性

３－２　低トラップ絶縁膜の統合デバイスへの適用

本技術を統合デバイスに適用する際には、H_2O 蒸気を用いて電子供給層表面に 2 nm の酸化層を形成した後、「④高電流構造シミュレーション」の結果をフィードバックして、破壊電界を超えない 10 nm の Al_2O_3 を酸化層の上に形成した（図 5-7(b)）。そのため、絶縁層の厚さは合計 12 nm となる。また、電子供給層については、「①InAlN、InAlGaN 系結晶成長技術の開発」の検討結果から InAlN よりもゲートリーク電流を低減可能な InAlGaN を用いた。

S 帯のロードプル評価において P_{in}-P_{out} 特性を取得した結果、出力パワー密度(P_{sat})はショットキーゲートよりも MIS ゲートの方が高く、50 V の動作電圧において 12.6 W/mm の出力特性を実現した。これは、MIS ゲートは順方向ゲートリーク電流が低く、より高い順方向電圧を印加できるため、ドレイン電流が増加した効果と考えられる。また、MIS ゲートの採用により、電力付加効率(Power-Added Efficiency：PAE)も 10%程度向上することが明らかとなった。これは、本項で示した Al_2O_3 形成時の界面改質（パッシベーション膜/InAlGaN）によって電子トラップが低減し、電流コラプスが抑制された効果と考えられる。

今回の評価では、MIS ゲートの耐圧により、動作電圧の上限は 50 V としたが、今後、低トラップ絶縁膜の絶縁性を向上するとともに、デバイス構造の工夫により電界緩和が実現した際には、動作電圧を上げることで更にパワー特性が向上すると期待できる。

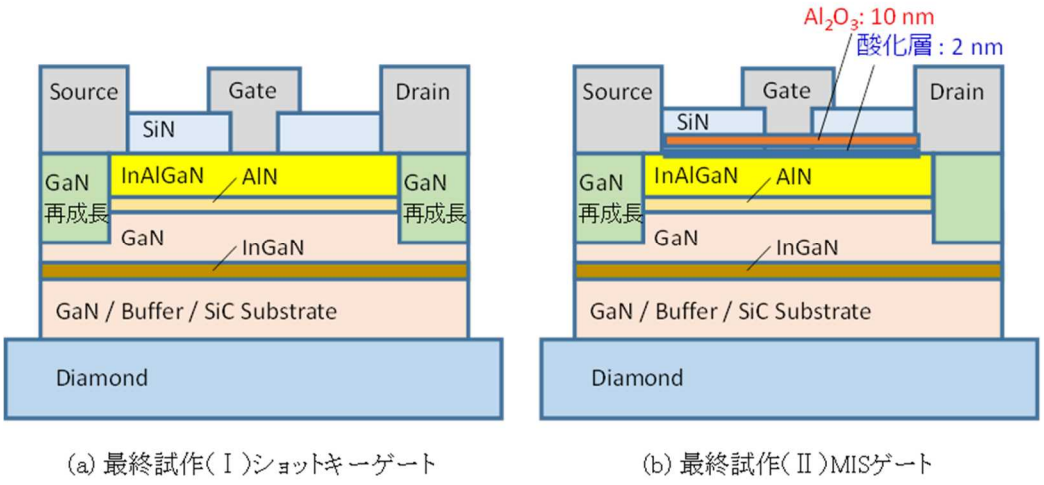


図 5-7 統合デバイス最終試作における HEMT 構造の断面模式図

２．３．５．４　まとめ

ALD-Al_2O_3 を用いた MIS 構造について、絶縁膜成長シーケンスを最適化し、統合デバイス最終試作に適用した結果、以下の結論を得た。

1）Al_2O_3 を成膜する際のプラズマパワーを低減すると共に、H_2O 蒸気酸化層の膜厚制御性を向上することで、InAlN/GaN-MIS-HEMT の閾値電圧変動(ΔV_{th})を±0.05 V 以下まで低減し、開発目標値(ΔV_{th} ＜ ±0.5 V, I_g ＜ 1E-6 A/mm)を達成した。

2）本技術を統合デバイスに適用する際には、H_2O 蒸気を用いて電子供給層表面に 2 nm の酸化層を形成した後、「④高電流構造シミュレーション」の結果をフィードバックして、破壊電界を超えない 10 nm の Al_2O_3 を酸化層の上に形成した。また、電子供給層については、「①InAlN、InAlGaN 系結晶成長技術の開発」の検討結果から InAlN よりもゲートリーク電流を低減可能な InAlGaN を用いた。S 帯のロードプル評価において P_{in}-P_{out} 特性を取得した結果、Psat はショットキーゲートよりも MIS ゲートの方が高く、50 V の動作電圧において 12.6 W/mm の出力特性を実現した。これは、MIS ゲートは順方向ゲートリーク電流が低く、より高い順方向電圧を印加できるため、ドレイン電流が増加した効果と考えられる。また、MIS ゲートの採用により、PAE も 10%程度向上することが明らかとなった。これは、本項で示した Al_2O_3 形成時の界面改質（パッシベーション膜/InAlGaN）によって電子トラップが低減し、電流コラプスが抑制された効果と考えられる。

今回の評価では、MIS ゲートの耐圧により、動作電圧の上限は 50 V としたが、今後、低トラップ絶縁膜の絶縁性を向上するとともに、デバイス構造の工夫により電界緩和が実現した際には、動作電圧を上げることで更にパワー特性が向上すると期待できる。

参考文献

[6] S. Masuda, T. Ohki, K. Makiyama, M. Kanamura, N. Okamoto, H. Shigematsu, K. Imanishi, T. Kikkawa, K. Joshin, N. Hara, Proceedings of European Microwave Conference, pp.1796-1799 (2009).

[7] K. Makiyama, S. Ozaki, N. Okamoto, T. Ohki, Y. Niida, Y. Kamada, K. Joshin, K. Watanabe, Proceedings of Lester Eastman Conference on High Performance Devices, S5-H7 (2014).

[8] M. Alomari, F. Medjdoub, J.-F. Carlin, E. Feltin, N. Grandjean, A. Chuvilin, U. Kaiser, C. Gaquière and E. Kohn, IEEE Electron Device Lett. **30**, 1131 (2009).

[9] D. S. Lee, J. W. Chung, H. Wang, X. Gao, S. Guo, P. Fay, T. Palacios, IEEE Electron Device Lett. **32**, 755 (2011).

２．３．６　⑥高放熱設計・熱評価

２．３．６．１　はじめに

デバイスの高出力化を実現すると、その出力の増加に伴い発熱量も増加するため、高放熱技術の研究は極めて重要である。このため、GaN 高出力増幅器（High Power Amplifier：HPA）on SiC チップとダイヤモンド基板貼り合わせ技術を検討している。ダイヤモンドの熱伝導率は 2000 W/mK と非常に高く、ヒートスプレッダ材料として効果的である。

従来のダイヤモンド基板貼り合わせ技術では、図 6-1 に示すように GaN とダイヤモンドとの界面に Dielectric Layer 等の接合層を設けているが[1]、この接合層は熱抵抗になると考えられる。そこで、この接合層を無くすため、GaN チップとダイヤモンド等の高熱伝導ヒートスプレッダ材料の原子層レベルでの表面活性化接合（直接接合）したデバイス構造（図 6-2）を検討している。表面活性化接合とは、接合面を真空中でアルゴンビーム等により表面処理を行い、表面の原子同士を化学結合させる接合方法である。さらに、上記施策に加え、デバイスサイズ、界面熱抵抗、ヒートスプレッダサイズ等を最適化するため、3 次元（3D）熱シミュレーションを用いたデバイス高放熱構造設計が重要である。平成 28 年度までに、現行放熱構造である SiC/AuSn/Cu 系ベースプレートにおける放熱限界および理想的に接合した SiC/ダイヤモンド構造による放熱限界の見極めを行った。また、適切な熱評価手法を選定・適用して SiC やダイヤモンド膜等の熱パラメータを取得し、精度向上に向けたシミュレーションへのフィードバックも併せて実施した。

平成 29 年度は、平成 28 年度に取得した熱パラメータを用いた熱シミュレーションを行い、実現可能なデバイス構造における放熱の最適化を図った。また、熱抵抗を従来デバイス比で 30%低減するために必要な SiC/ダイヤモンドの界面熱抵抗を熱シミュレーションにより見極め、接合プロセス技術にフィードバックを実施した。さらに最終試作で作製した統合デバイス（最終試作（Ⅰ））の熱抵抗を実測し、シミュレーションとの整合性を検証した。

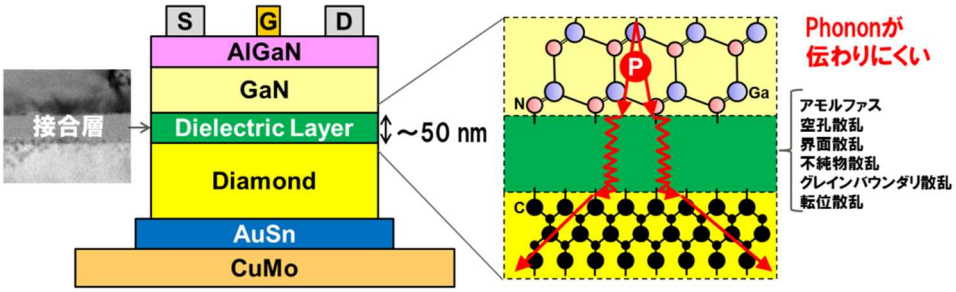


図 6-1　従来の GaN on ダイヤモンド構造

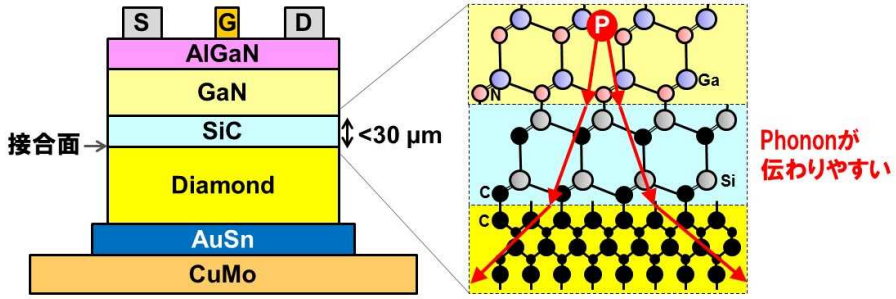


図 6-2　直接接合による GaN-HEMT on SiC/ダイヤモンド構造

２．３．６．２　GaN/SiC および SiC/ダイヤモンドの熱抵抗評価

平成 29 年度は、周期加熱法を用いて実際に接合した SiC/ダイヤモンドの熱抵抗評価を実施した。周期加熱法は伝播される熱を加熱部の反対側で測定し、温度伝達の位相差の周波数依存から熱拡散率を求める手法である。本検討では、得られた熱拡散率と比熱、密度の物性値からサンプルの熱抵抗を導出する。サンプルには SiC 基板、ダイヤモンド基板、および、SAB 接合した SiC/ダイヤモンドを用いた。表面活性化接合した SiC/ダイヤモンドの熱抵抗と SiC およびダイヤモンドそれぞれの熱抵抗の差分から、SiC/ダイヤモンド界面熱抵抗 6.72×10^{-8} m^2KW^{-1} を算出した。

また、統合デバイス（最終試作（Ⅰ））の熱抵抗を実測し、シミュレーションとの整合性を検証するため、統合デバイス（最終試作（Ⅰ））構造に近い InGaN バックバリアを有する結晶の熱パラメータも取得した(表 6-1)。

表 6-1　SiC 基板および GaN 層/SiC 基板の熱伝導率と界面熱抵抗

サンプル	Mo/SiC, Mo/GaN 界面熱抵抗 R m^2K/W	GaN 熱伝導率 λ W/(mK)	GaN 熱抵抗 R m^2K/W	GaN/SiC 界面熱抵抗 R m^2K/W
InGaN バック バリア構造	9.0×10^{-9}	140	1.0×10^{-8}	9.0×10^{-9}

２．３．６．３　実測した熱パラメータを用いた高放熱構造設計

平成 29 年度は、平成 28 年度に取得した SiC やダイヤモンド膜等の熱パラメータを用いた熱シミュレーションを行い、実現可能なデバイス構造における放熱の最適化を図った。さらに熱抵抗を従来構造から 30%低減するために必要な SiC/ダイヤモンドの界面熱抵抗を熱シミュレーションにより見極め、接合プロセス技術にフィードバックを行った。

図 6-3 は、シミュレーションした GaN HPA on SiC 現行構造である。GaN, SiC, AuSn, CuW の膜厚は、それぞれ 2, 100, 25, 1000 μm に固定した。一方、図 6-4 は、シミュレーションした GaN HPA on SiC/ダイヤ接合構造である。GaN, Diamond, AuSn, CuW の膜厚は、それぞれ 2, 300, 25, 1000 μm に固定し、SiC の膜厚はシミュレーション毎に 30～100 μm の範囲で変化させた。チップサイズは 1 mm×6 mm の長方形で、ダイヤモンドおよび CuW ベース材サイズは 10 mm×10 mm×1 mm t の正方形とした。発熱領域はゲート長 0.5 μm×ゲート幅 0.3 mm×深さ 0.1 μm とし、GaN 層内に設定した。ここで、入力電力（P_{in}）は約 25 dBm（0.3 W）で、出力電力（P_{out}）288 W よりも十分小さいので無視し、発熱量（P_{diss}）は以下に定義した。

$$P_{diss} = P_{DC} - P_{out} = P_{out} \times (1/\eta_D - 1) \quad \text{(式 6-1)}$$

P_{DC}：直流電力、η_D：ドレイン効率

このため、出力密度 10 W/mm（出力 288 W）でドレイン効率 60%の場合、ゲート 1 本当たりの発熱量を 2 W とした。また、ゲート数は 96 本で、ゲート-ゲート間距離を 50 μm とし、チップ中央に配置した。

表 6-2 は、現行構造および GaN HPA on SiC/ダイヤ接合構造シミュレーションに用いたパラメータを示す。GaN, SiC の熱伝導率および GaN/SiC 界面熱抵抗は、GaN/SiC 構造の熱分析測定から求めた 88, 420　W/mK、および、1.6×10^{-8} m^2K/W とした。一方、AuSn, CuW の熱伝導率は、参考文献[2-5]の 57, 200 W/mK を用いた。環境は空気, 30℃, 1 気圧で、ベース材底面温度を 27℃一定とした。

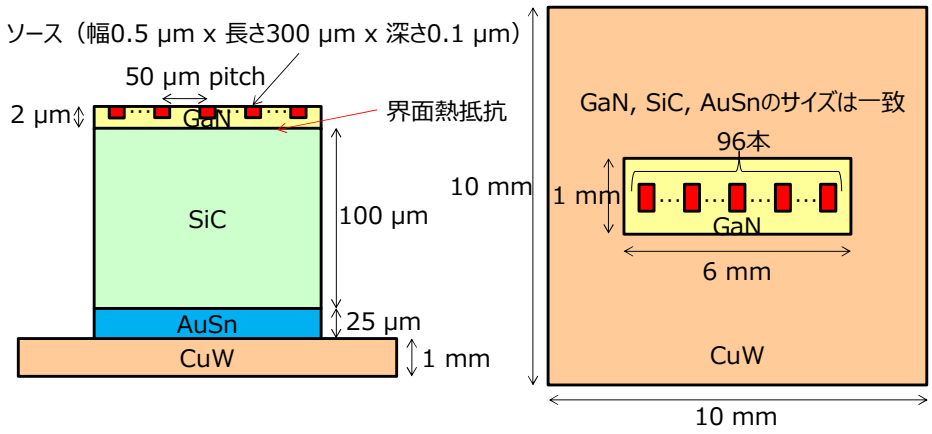


図 6-3 GaN HPA on SiC 現行構造

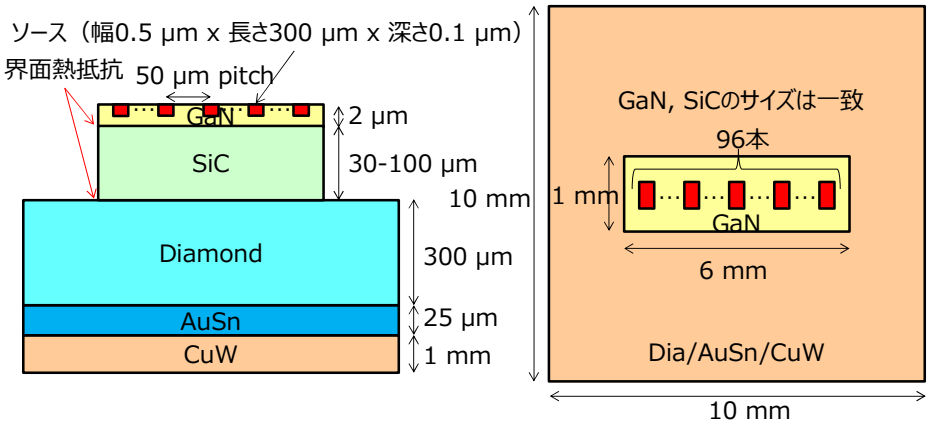


図 6-4 GaN HPA on SiC/ダイヤモンド接合構造

表 6-2 現行構造および GaN HPA on SiC/ダイヤ構造シミュレーションのパラメータ

パラメータ	GaN	GaN/SiC	SiC	SiC/Dia	Diamond	AuSn	CuW
熱伝導率 (W/mK)	88(※)	-	420(※)	-	2000	57	200
界面熱抵抗 (m^2K/W)	-	$1.6x10^{-8}$(※)	-	$1x10^{-8}$ ～ $5x10^{-7}$	-	-	-
比熱(J/KgK)	490	-	690	-	520	151	180
密度(g/cm^3)	6.15	-	3.21	-	3.515	14.52	15.65

※熱分析評価による測定値

図 6-5 は、GaN HPA トータル熱抵抗の SiC/ダイヤモンド界面熱抵抗依存性の SiC 膜厚比較を示している。GaN HPA トータル熱抵抗は、温度差分（最高温度-ベースプレート温度 27℃）/発熱量（192 W）とした。現行構造のトータル熱抵抗（点線：黒）は 1.53℃/W で、熱抵抗 30%低減の目標値（点線：赤）は 1.07℃/W である。

SiC/ダイヤモンド界面熱抵抗が 4E-7 m^2K/W より小さい場合、SiC 膜厚が薄くなるとともにトータル熱抵抗は低減する。一方、SiC/ダイヤモンド界面熱抵抗が 4E-7 m^2K/W より大きくなると、SiC 膜厚が薄くなるとともにトータル熱抵抗は増大する。SiC/ダイヤモンド界面熱抵抗が 4E-7 m^2K/W より小さい場合、できる限り速く熱をダイヤモンドに到達させ、ダイヤモンドで熱を横に拡げた方が有効と考えられる。一方、SiC/ダイヤモンド界面熱抵抗が 4E-7 m^2K/W より大きい場合、SiC/ダイヤモンド界面到達前に SiC 層内で熱を十分横に拡げた方が有効と考えられる。ダイヤモンドヒートスプレッダを用いることにより現行構造よりもトータル熱抵抗は大幅に低減できるが、SiC/ダイヤモンド界面熱抵抗により SiC 厚に対して高放熱構造設計の指針が異なることがわかった。

実際に SAB 接合した最新の SiC/ダイヤモンド界面熱抵抗は 6.72E-8 m^2K/W であることから、288 W 級 GaN HPA のトータル熱抵抗の 30%低減は実現可能である。

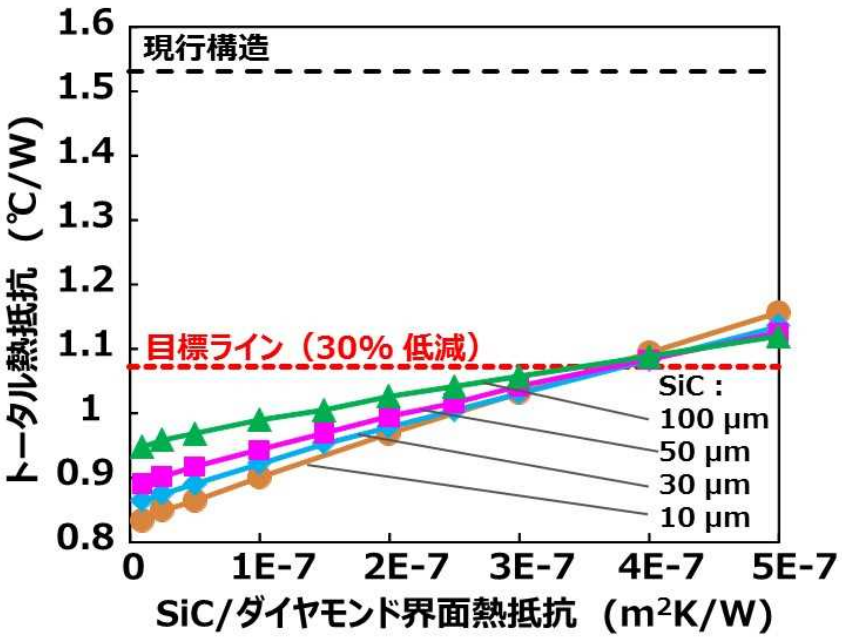


図 6-5　GaN HPA トータル熱抵抗の SiC/ダイヤ界面熱抵抗依存性の SiC 膜厚比較

本研究では単結晶ダイヤモンド基板を使用しているが、大面積化・低コスト化のためには多結晶ダイヤモンド基板を利用できることが望ましい。しかしながら、多結晶ダイヤモンド基板は、一般的に単結晶ダイヤモンド基板と比べて熱伝導率が低い。そのため、熱伝導率の異なるダイヤモンド基板との接合した GaN HPA トータル熱抵抗の SiC/ダイヤモンド界面熱抵抗依存性を検証した。

図 6-6 は、シミュレーションした GaN HPA on SiC/ダイヤ接合構造を示している。表 6-3 は、GaN HPA on SiC/ダイヤ接合構造シミュレーションに用いたパラメータを示す。GaN, SiC の熱伝導率および GaN/SiC 界面熱抵抗は、GaN/SiC 構造の熱分析測定から求めた 88, 420 W/mK、および、1.6×10^{-8} m^2K/W とした。一方、AuSn, CuW の熱伝導率は、参考文献[2-5]の 57, 200 W/mK を用いた。環境は空気, 30℃, 1 気圧で、ベース材底面温度を 27℃一定とした。

図 6-7 は、GaN HPA トータル熱抵抗における SiC/ダイヤモンド界面熱抵抗依存性のダイヤモンド熱伝導率比較を示している。結果として、SiC/ダイヤモンド界面熱抵抗が 1E-7 m^2K/W より小さい場合、ダイヤモンド熱抵抗率が 1000 W/mK であっても、288 W 級 GaN HPA のトータル熱抵抗の 30%低減は実現可能である。これにより、大面積化・低コスト化可能な多結晶ダイヤモンド基板を利用することも視野にいれることができる。多結晶ダイヤモンド基板の課題としては、SAB 接合に必要な表面平坦性(Ra<0.1～0.3 nm)が得られるかどうかである。

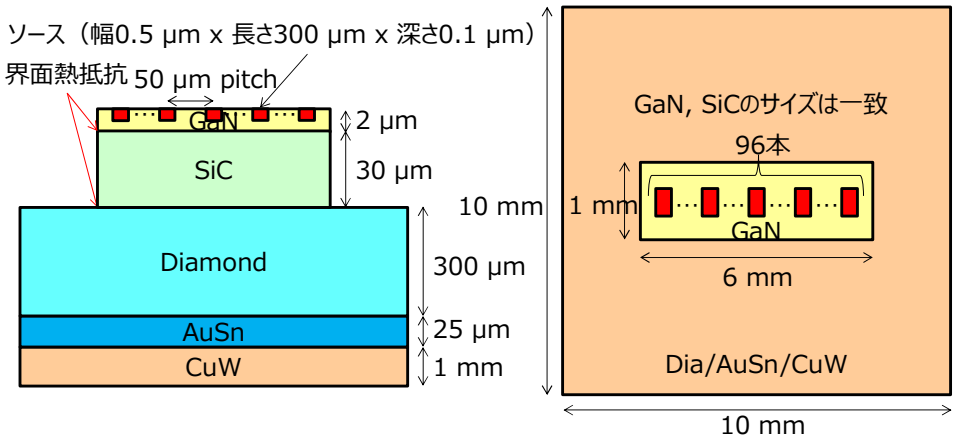


図 6-6 GaN HPA on SiC/ダイヤ接合構造

表 6-3　現行構造および GaN HPA on SiC/ダイヤ構造シミュレーションのパラメータ

パラメータ	GaN	GaN/SiC	SiC	SiC/Dia	Diamond	AuSn	CuW
熱伝導率 (W/mK)	88(※)	-	420(※)	-	1000, 1500, 2000	57	200
界面熱抵抗 (m^2K/W)	-	$1.6x10^{-8}$(※)	-	$1x10^{-8}$ ～ $5x10^{-7}$	-	-	-
比熱 (J/KgK)	490	-	690	-	520	151	180
密度(g/cm^3)	6.15	-	3.21	-	3.515	14.52	15.65

※熱分析評価による測定値

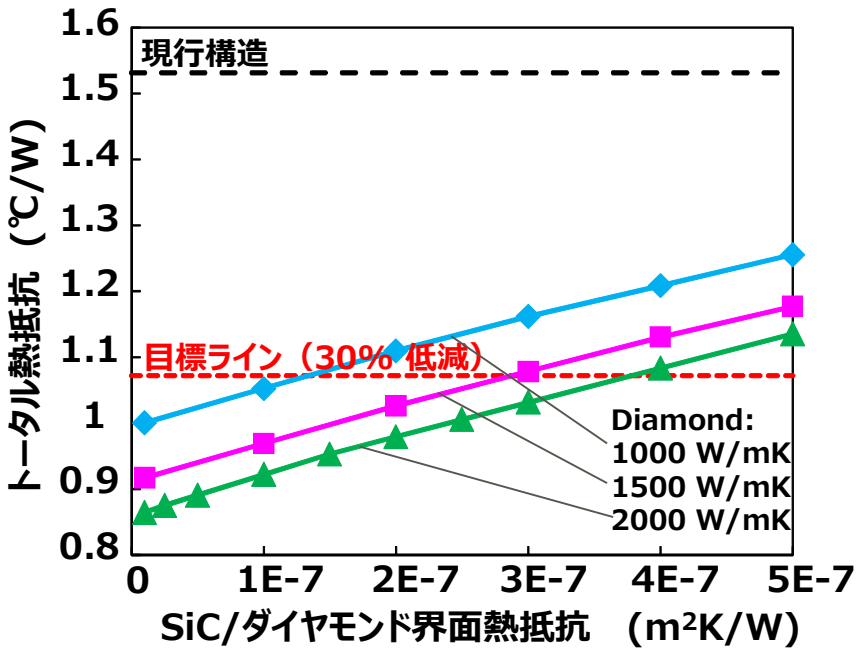


図 6-7 GaN HPA トータル熱抵抗の SiC/ダイヤモンド界面熱抵抗依存性
（ダイヤモンド熱伝導率比較）

２．３．６．４　統合デバイス（最終試作（Ⅰ））の熱シミュレーション整合性検証

赤外線（IR）顕微鏡を用いて統合デバイス（最終試作（Ⅰ））の熱分布評価を実施した。サンプルを銀ペーストでパッケージに実装し、各電極にワイヤーボンディングを行

い結線する。その後、60℃に加熱したステージ上にサンプルをセットし、DC パワーを印加し、発熱量を測定する。赤外線による温度評価は材料（表面）の放射率に大きく依存するため、黒体スプレーなどをサンプルに塗布し放射率を 1 に近づけることが必要であるが、その後の評価に支障があるため今回はサンプルをそのまま評価している（図 6-8)。

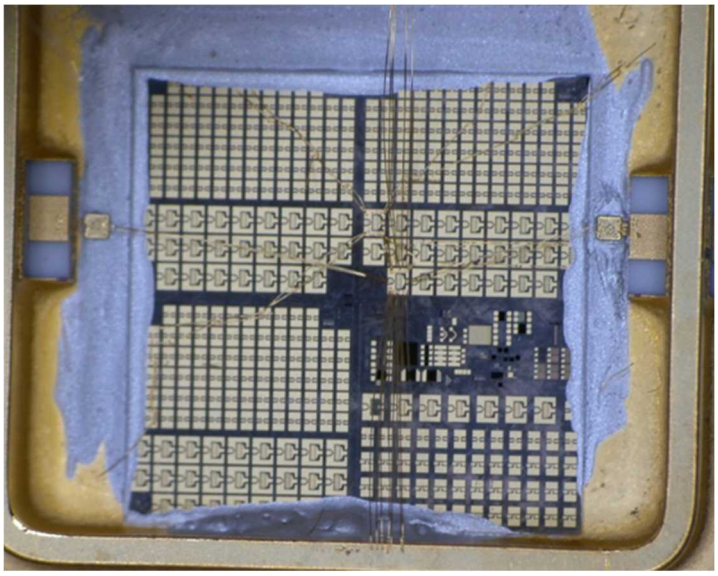
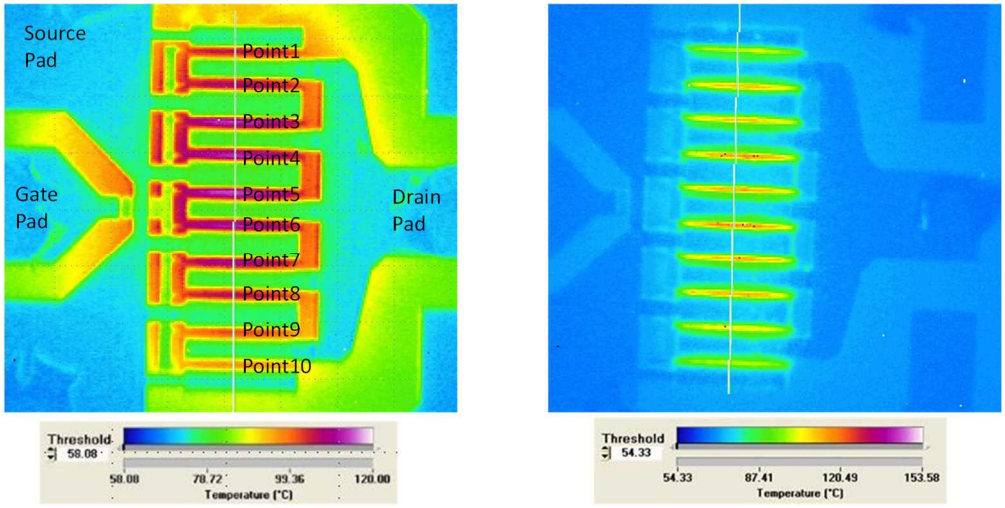


図 6-8 IR 評価サンプル

図 6-9 は、IR 評価による最終試作デバイス表面の熱分布を示している。デバイスのディメンジョンは、ゲート長 0.5 μm、ゲート幅 100 μm、ゲート間距離 30 μm、ゲート本数 10 本となっている。IR 評価の空間分解能は約 1.5 μm /Pixel である。図 6-10 は、印加した DC 電力における現行構造のゲート幅中央部表面温度の熱分布を示している。図 6-11 は、図 6-9 の中央の最大表面温度の DC 電力依存性である。IR 評価ではステージ温度を 60℃まで加温して、それよりも上昇した温度を計測しているが、ダイヤモンド接合構造では、印加した DC 電力が低い場合（<5 W）に温度上昇が小さすぎるため、精度のある熱抵抗評価が難しいと思われる。このため、現行構造よりも高い DC 電力（>5 W）を印加して評価した。結果として、現行構造の熱抵抗は 17.6℃/W、ダイヤモンド接合構造の熱抵抗は 5.95℃/W と 1/3 程度まで低減することがわかった。しかしながら、IR 評価は空間分解能が低く、放射率の影響を受けやすいことから、3D 熱シミュレーションによる検証を行った。



現行構造（DC 電力 3.93 W）　　ダイヤモンド接合構造（DC 電力 12 W）

図 6-9　IR 評価による統合デバイス（最終試作（Ⅰ））熱分布

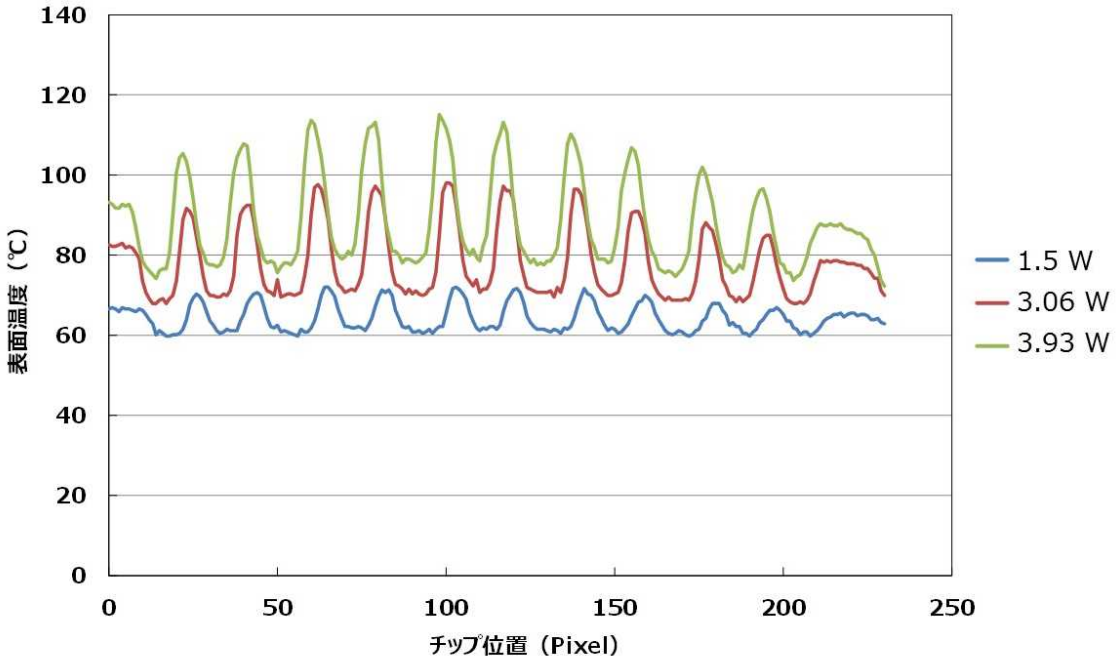


図 6-10　IR 評価による現行構造のゲート幅中央部の表面温度分布の DC 電力依存性

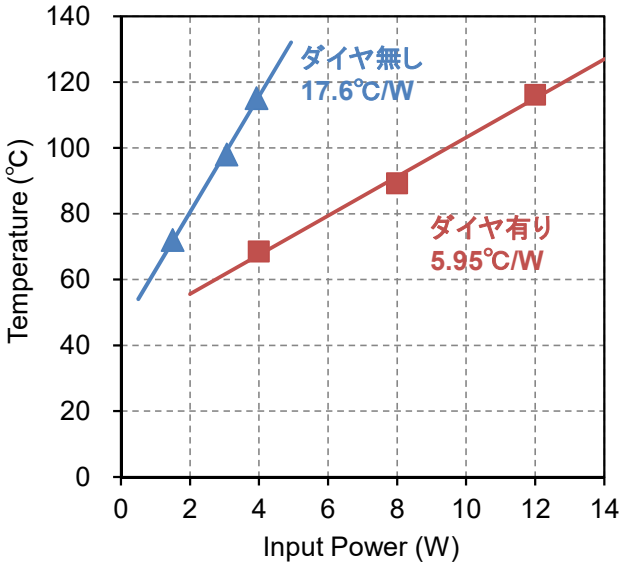


図 6-11　マルチゲート中央の最大表面温度の DC 電力依存性

図 6-12 は、シミュレーションした GaN HPA on SiC 現行構造である。一方、図 6-13 は、シミュレーションした GaN HPA on SiC/ダイヤモンド接合構造である。GaN, SiC, Diamond, AuSn, CuW の膜厚は、それぞれ 1.4, 50, 500, 25, 1000 μm に固定した。チップサイズは Diamond チップに合わせて 5 mm×5 mm の長方形で CuW ベース材サイズは 10 mm ×10 mm×1 mm t の正方形とした。ゲート-ゲート間距離 30 μm で、10 か所の発熱領域（長さ 0.5 μm×幅 0.1 mm×深さ 0.1 μm）を GaN 層内に設定した。ここで、発熱量は実際に投入した DC 電力とし、ゲート 1 本当たりの発熱量をそれぞれ 0.393W, 1.2W とした。表 6-4 は、現行構造および GaN HPA on SiC/ダイヤモンド接合構造シミュレーションに用いたパラメータを示す。GaN, SiC の熱伝導率および GaN/SiC 界面熱抵抗は、GaN/SiC 構造の熱分析測定から求めた 140, 420 W/mK、および、9×10^{-9} m^2K/W とした。一方、AuSn, CuW の熱伝導率は、参考文献[2-5]の 57, 200 W/mK を用いた。環境は空気, 30℃, 1 気圧で、ベース材底面温度を IR 評価時のステージ温度と同じ 60℃一定とした。

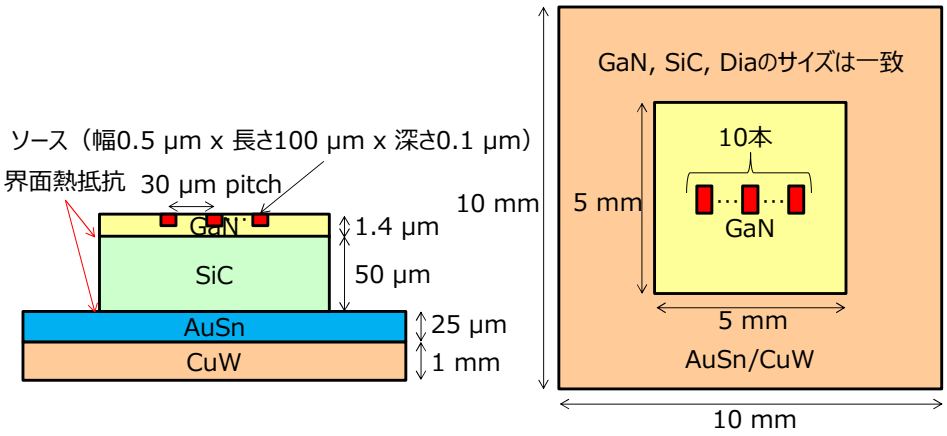


図 6-12 GaN HPA on SiC 現行構造

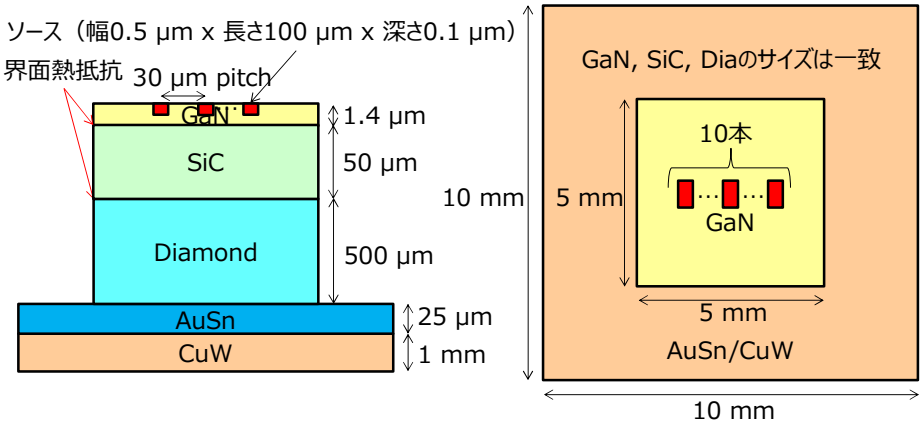


図 6-13 GaN HPA on SiC/ダイヤ接合構造

表 6-4 現行構造および GaN HPA on SiC/ダイヤ接合構造シミュレーションのパラメータ

パラメータ	GaN	GaN/SiC	SiC	SiC/Dia	Diamond	AuSn	CuW
熱伝導率 (W/mK)	140(※)	-	420(※)	-	2000	57	200
界面熱抵抗 (m^2K/W)	-	$9x10^{-9}$(※)	-	$7x10^{-8}$	-	-	-
比熱(J/KgK)	490	-	690	-	520	151	180
密度(g/cm^3)	6.15	-	3.21	-	3.515	14.52	15.65

※熱分析評価による測定値

図 6-14 は、シミュレーションした現行構造の熱分布（60-160℃スケール表示）を示している。また、図 6-15 は、シミュレーションと IR 評価による現行構造のゲート幅中央部表面温度の比較を示している。結果として、ピーク位置でシミュレーションと IR 評価の温度差が、平均約 40℃と非常に大きいことがわかった。実際のデバイスでは GaN 表面に SiN パッシベーション膜や金属電極・配線が存在し、IR 評価ではその最表面からの放射温度を測定している。また、SiN パッシベーション膜の最表面は GaN 層に存在する真の熱源から離れており、さらに金属電極・配線は熱を伝導することが考えられる。そこで、上述の現行構造に対して、SiN パッシベーション膜と金属電極・配線を施した、実物により近い現行構造での熱シミュレーションを実施した。表 6-5 に、シミュレーションに用いた SiN パッシベーション膜、金属電極・配線のパラメータを示す。

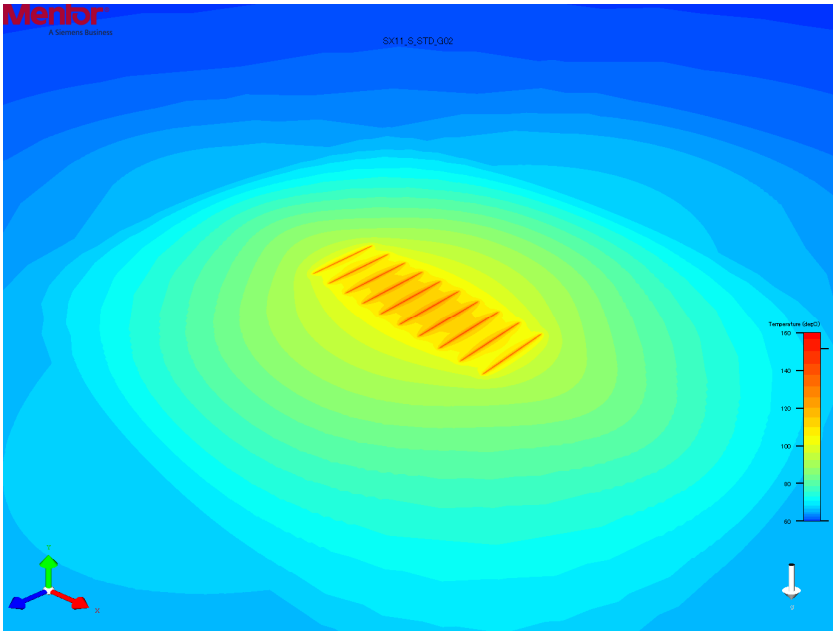


図 6-14 シミュレーションした現行構造（発熱量 3.93 W）の熱分布
（60-160℃スケール表示）

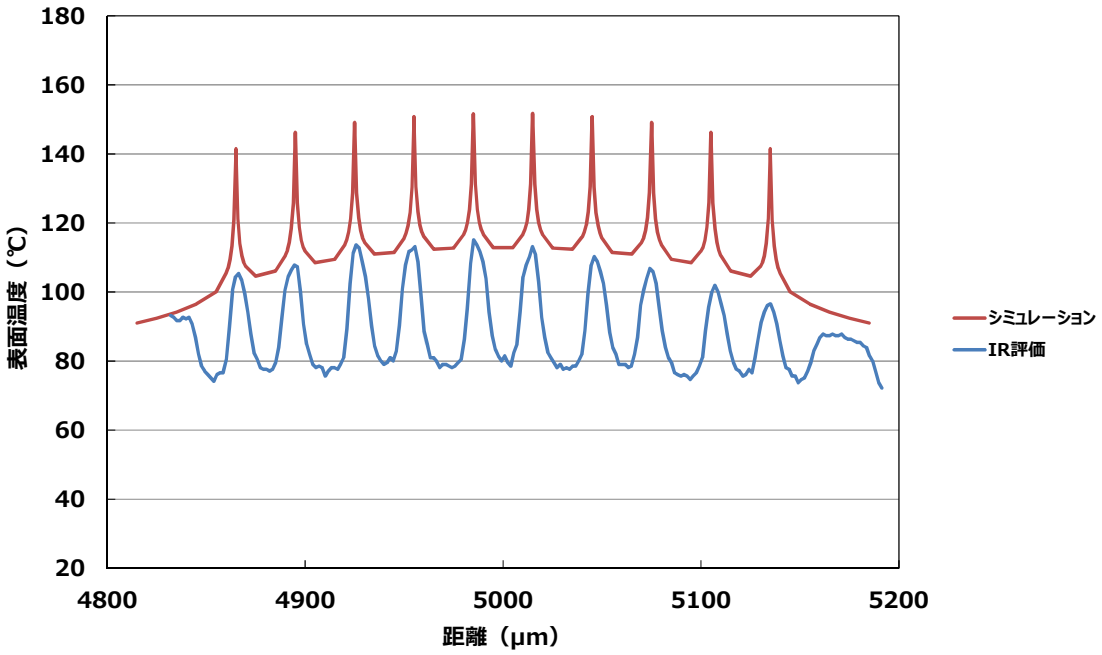


図 6-15　シミュレーションと IR 評価による現行構造（発熱量 3.93 W）の表面温度比較

図 6-16 は、シミュレーションした SiN パッシベーション膜と金属電極・配線を施した現行構造の熱分布（60-160℃スケール表示）である。図 6-17 は、シミュレーションと IR 評価による SiN 膜と金属電極・配線を施した現行構造の表面温度の比較を示している。結果として、ピーク位置でシミュレーションと IR 評価の温度差は、平均 13℃に縮まることが分かった。シミュレーションにより表面ピーク温度から求めた現行構造の熱抵抗は 16.5℃/W と、IR 評価による実測値と一致している。一方、金属電極・配線上でシミュレーションと IR 評価の温度差は平均 24℃と差が大きい。金属電極・配線上は放射率の影響から温度が低く見積もられているように推測される。また、シミュレーションによれば、図 6-18 に示すように GaN 層の温度は表面温度よりも約 17℃高く、IR では真の熱源の温度を過小評価していると推測される。

表 6-5　SiN パッシベーション膜、金属電極・配線のパラメータ

パラメータ	SiN	Al	Au
熱伝導率 (W/mK)	1.1	201	296
膜厚（μm）	1	0.5	1.5

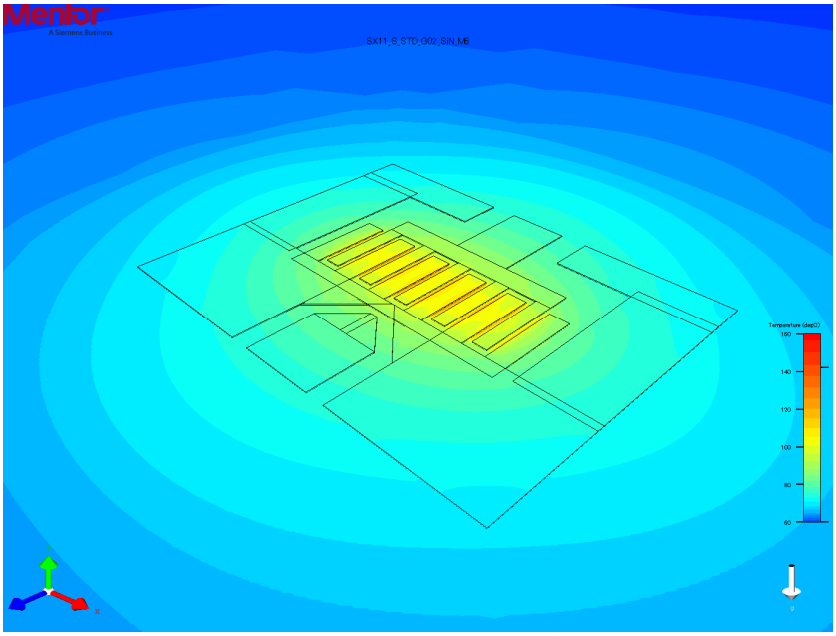


図 6-16 シミュレーションした SiN 膜と金属配線を施した現行構造（発熱量 3.93 W）の熱分布（60-160℃スケール表示）

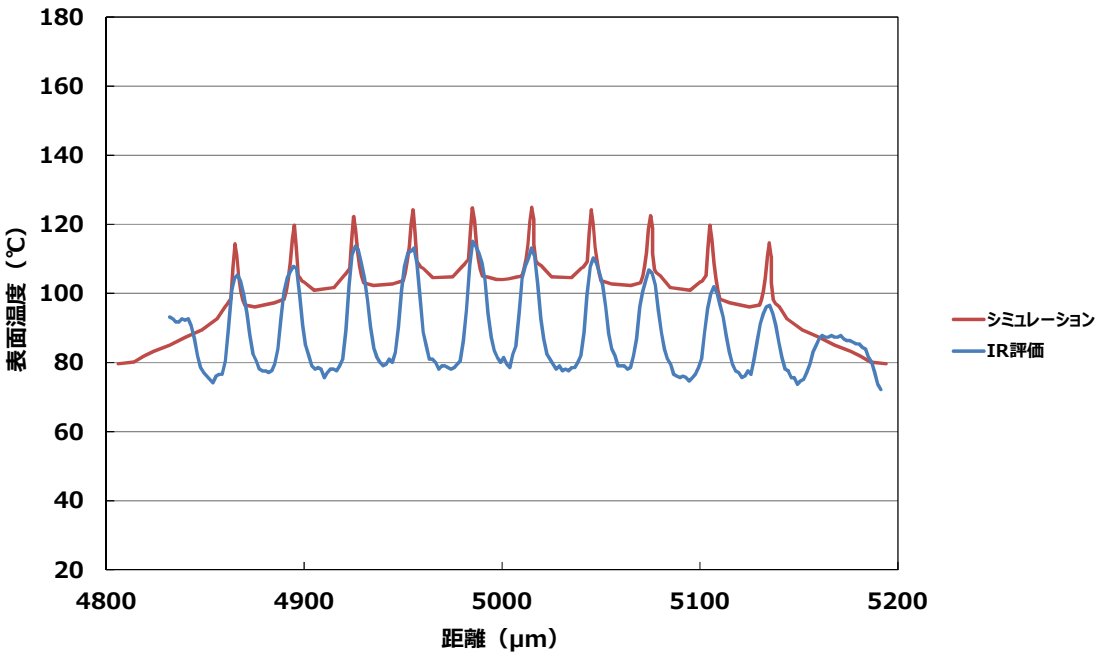


図 6-17 シミュレーションと IR 評価による SiN 膜と金属配線を施した現行構造（発熱量 3.93 W）の表面温度比較

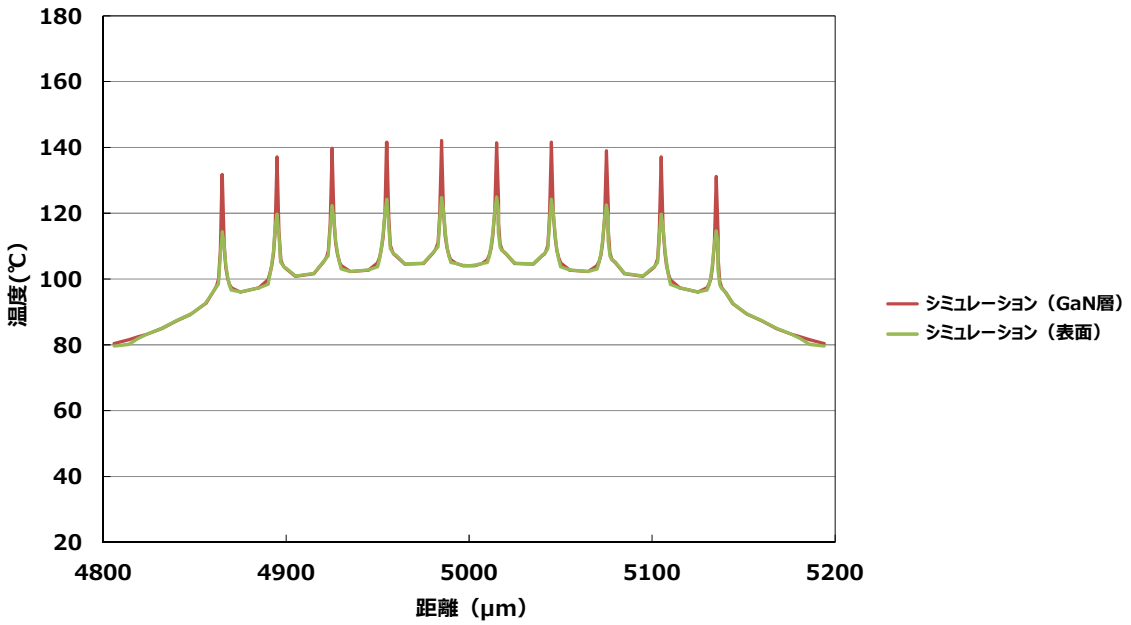


図 6-18　シミュレーションによる SiN 膜と金属配線を施した現行構造（発熱量 3.93 W）の表面温度と GaN 層温度の比較

上述と同様に、SiN パッシベーション膜と金属電極・配線を施した、実物により近いダイヤモンド接合構造での熱シミュレーションを実施した。図 6-19 に、シミュレーションした SiN 膜と金属配線を施したダイヤモンド接合構造（発熱量 12 W）の熱分布（60-160℃スケール表示）を示す。また、図 6-20 は、シミュレーションによる SiN 膜と金属配線を施したダイヤモンド接合構造の表面温度、GaN 温度、IR 実測温度の比較を示している。結果として、シミュレーションにより表面温度から求めたダイヤモンド接合構造の熱抵抗は 10.3℃/W で、先にシミュレーションした現行構造より 38%低減可能であることがわかった。しかしながら、ピーク位置でシミュレーションと IR 評価の温度差は平均 69℃と非常に大きく、金属電極・配線上でシミュレーションと IR 評価の温度差も平均 41℃と上述の現行構造のシミュレーションよりも温度差が大きくなっていることがわかった。これらの要因としては、接合技術の改善による SiC/ダイヤモンド界面熱抵抗の低減、また、ワイヤーボンディングを介した熱伝導など別のルートの放熱を考慮する必要があるかもしれない。

以上のように、ダイヤモンド接合により統合デバイス（最終試作（Ⅰ））の熱抵抗は、IR 評価では現行構造の 1/3、シミュレーションでは 38%低減した。ただし、ダイヤモンド接合構造のシミュレーションにおいては、定性的な傾向は一致しているが、ピーク温度には大きく差があり、他の放熱メカニズムを考える必要がある。

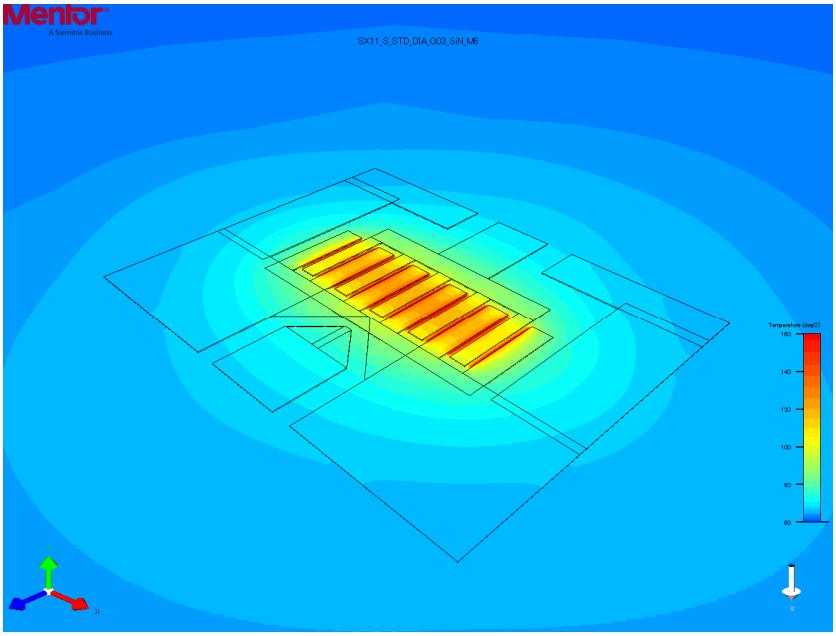


図 6-19 シミュレーションした SiN 膜と金属配線を施したダイヤモンド接合構造（発熱量 12 W）の熱分布（60-160℃スケール表示）

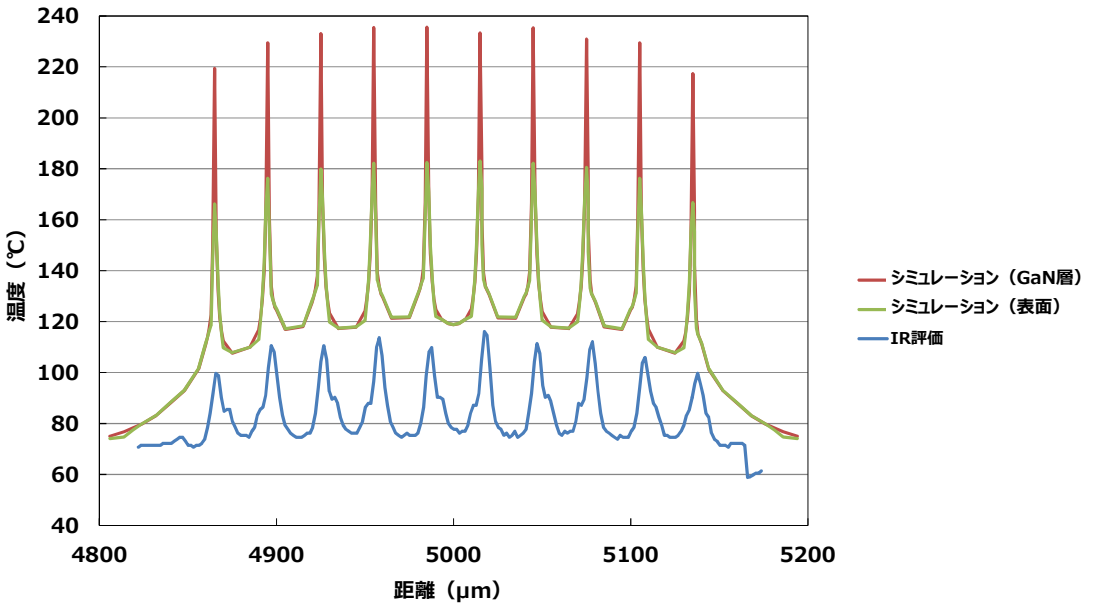


図 6-20　シミュレーションによる SiN 膜と金属配線を施したダイヤモンド接合構造の表面温度、GaN 温度、IR 実測温度の比較（発熱量 12 W）

２．３．６．５　まとめ

本研究の最終年度となる平成 29 年度では、SiC/ダイヤモンド構造の界面熱抵抗依存性およびダイヤモンド基板の熱伝導率依存性の熱シミュレーションを行い、実際に SAB 接合した SiC/ダイヤモンド構造の界面熱抵抗でトータル熱抵抗を従来よりも 30%低減可能かどうかを検討した。さらに統合デバイス（最終試作（Ⅰ））の SiC/ダイヤモンド接合を実施し、熱分布評価を行い、熱シミュレーション結果との整合性を検討した。

結果として、以下のことがわかった。

・実際に SAB 接合した最新の SiC/ダイヤモンド界面熱抵抗 6.72E-8 m^2K/W で、288 W 級 GaN HPA のトータル熱抵抗の 30%低減は実現可能である。

・現行構造モデルに SiN パッシベーション膜と金属電極・配線を付加することにより、シミュレーションから求めた熱抵抗は IR 評価による実測値と一致している。

・ダイヤモンド接合構造ではピーク領域でシミュレーションと IR 評価の温度差が大きく、接合技術の改善による SiC/ダイヤモンド界面熱抵抗の低減、ワイヤーボンディングを介した熱伝導等別ルートの放熱を考慮する必要がある。

・ダイヤモンド接合により統合デバイス（最終試作（Ⅰ））の熱抵抗は、IR 評価では現行構造の 1/3、シミュレーションで 38％低減した。

以上のように実測した熱パラメータを用いた熱シミュレーションを行い、実現可能なデバイス構造での放熱の最適化を図った。さらに熱抵抗を従来構造より 30%低減するために必要な SiC/ダイヤモンドの界面熱抵抗を熱シミュレーションにより見極め、接合プロセス技術にフィードバックを行った。さらに最終試作で作製した統合デバイス（最終試作（Ⅰ））の熱抵抗を実測し、シミュレーションとの整合性を検証した。

参考文献

【1】H. Sun, R. B. Simon, J. W. Pomeroy, D. Francis, F. Faili, D. J. Twitchen, and M. Kuball, “Reducing GaN-on-diamond interfacial thermal resistance for high power transistor applications”, APPLIED PHYSICS LETTERS 106, 111906 (2015).

【2】J. W. Pomeroy, M. Kuball, “Optimizing GaN-on-diamond Transistor Geometry for Maximum Output Power”, 2014 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICs).

【3】K. K. Chu, T. Yurovchak, P. C. Chao, C. T. Creamer, “Thermal Modeling of High Power GaN-on-diamond HEMTs Fabricated by Low-Temperature Device Transfer Process” 2013 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS).

【4】D. Altman, D, M. Tyhach, J. McClymonds, S. Kim, S. Graham, J. Cho, K. Goodson, D. Francis, F. Faili, F. Ejeckam, S. Bernstein, “Analysis and characterization of thermal transport in GaN HEMTs on diamond substrates”, 2014 IEEE Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm).

【5】Y. Won, J. Cho, D. Agonafer, M. Asheghi, and K. E. Goodson,” Fundamental Cooling Limits for High Power Density Gallium Nitride Electronics” IEEE TRANSACTIONS ON COMPONENTS, PACKAGING AND MANUFACTURING TECHNOLOGY, VOL. 5, NO. 6, JUNE 2015, 737.

２．３．７ ⑦接合用切削・研磨技術の開発

２．３．７．１　はじめに

デバイスの高出力化には InAlN 系 HEMT の適用・改善やオーミック電極技術の向上などに加え、発熱量の増加を緩和する放熱の構造設計が重要となる。ダイヤモンドは熱伝導率が 2000 W/mK と極めて高く、比較的熱伝導率の高い SiC(400 W/mK)と比べても 5 倍程度ある。そのため、ダイヤモンドをヒートスプレッダとして用いた GaN on ダイヤモンドは高放熱技術として有力な構造であり、主に DARPA(Defense Advanced Research Projects Agency)等で先行研究が行われている[1-4]。GaN on ダイヤモンドの作製方法としてはダイヤモンド上への GaN 成長[2]、ダイヤモンド貼り合わせ[3,4]等が報告されているが、本研究では高品質な InAlN 系エピ構造を使いこなす必要があるため、低温でのダイヤモンド貼り合わせ技術の適用が望ましい。しかしながら、従来のダイヤモンド貼り合わせ技術には GaN とダイヤモンドとの界面に数 10 nm の Dielectric Layer の接合層が用いられるため、その界面での熱抵抗が懸念される。本研究では、GaN チップとダイヤモンドを直接接合させることで低い界面熱抵抗の実現を狙い、そのための表面活性化接合（Surface Activated Bonding：SAB)法の検討を開始した。SAB 法は Ar の FAB（Fast Atom Beam）あるいはイオンビームを照射して物質表面を活性化し、活性面同士を高真空中で常温接合させる手法である。そのためには接合面を平坦化することが必須であり、平成 28 年度までに SAB への適用を狙って SiC およびダイヤモンドの更なる平坦化を追求すると共に、放熱性の向上に有利な SiC の薄層化を行い、目標値 SiC 膜厚 50 μm, Ra　0.1 nm を実現した。また、ダイヤモンドの平坦化についても CMP、機械研磨のいずれにおいても約 0.1 nm の Ra が得られ、目標値 0.3 nm 以下を達成した。平成 29 年度は、高放熱なデバイス構造の実現を目指し、SiC 膜厚を 30 μm まで薄膜化可能な切削・研磨技術の確立を目指した。目標とする研磨表面の Ra は 0.1 nm（AFM）である。さらに、薄化した SiC 基板端は脆弱となるため、クラックやチッピングを抑制するウェハーサポート技術も開発する。

２．３．７．２　実験手法

２－１　SiC 切削、研磨

本研究において、SiC 研削は当社所有 2 軸自動グラインダー装置を用いて荒研削、仕上げ研削を行った。砥石番手は、荒研削#1500、仕上げ研削#30000 である。スピンドルの送りレート，回転数およびステージの回転数は、荒研削の場合、20 μm/min, 1200 rpm, 50 rpm ，仕上げ研削の場合、5 μm/min, 600 rpm, 25 rpm とした。まず、残し膜厚 130 μm まで荒研削を行った後、残し膜厚 100 μm まで仕上げ研削を行った。さらに残し膜厚 100 μm から 75 μm まで研削した際には、10 μm 荒研削後、15 μm 仕上げ研削を行った。それ以降は仕上げ研削のみで処理した。その後、化学機械研磨（Chemical Mechanical

Polishing：CMP）は当社所有 CMP 装置で SiC 専用スラリーを用い、処理した。プラテン/ウェハの回転数は、60/61 rpm である。本 CMP では SiC はほとんど削れない。最後に当社所有スクラブ洗浄装置で洗浄液を用いて研磨面をスクラブ洗浄した。研削後、レーザー顕微鏡を用いて SiC 膜厚の面内分布を評価した。また、CMP 後、AFM 評価を行った。

２－２　ウェハーサポート

SiC を 30 μm まで薄化した際にクラックやチッピングが発生することが懸念されるため、形状の異なる 2 種類のウェハエッジトリミング加工を施した。ウェハエッジを SEM で観察した後、4inch サファイアサポートキャリアに接着剤で 3inch SiC 基板を貼り付けた。研削面は C 面である。

２．３．７．３　結果と考察

３-１　SiC 切削、研磨

図 7-1 は、研削前の SiC 基板のエッジトリミング加工形状と SEM 像である。2 種類のエッジトリミング加工形状は Type1, 2 とし、Type1 は SiC 基板エッジを垂直形状に 200 μm トリミング加工を、Type2 は表面側基板エッジを階段形状に深さ 100 μm, 幅 500 μm にトリミング加工を施した。これにより SiC 膜厚 100 μm 未満になるまで研削した際に SiC 基板エッジ形状はナイフ状にはならない。

上述のエッジトリミング加工を施した SiC 基板を膜厚 30 μm まで研削した後の膜厚面内分布を表 7-1 にまとめる。結果として、SiC 膜厚の平均値は狙い値に対して-0.3～1.7 μm の範囲となっている。さらに、SiC 膜厚による高低差（Range）の変化はほとんどなく 2.6～3.2 μm で、均一に研削できていることがわかった。なお、SiC 膜厚が薄くなると膜厚の面内分布が悪く見えるのは SiC 膜厚の絶対値が小さくなっているためである。また、図 7-2 に示すように 30 μm 厚まで研削後、SiC 基板のクラックやエッジチッピング等は見られなかった。エッジトリミング加工により薄化した際のナイフエッジ化を防ぐとともに、ウェハーサポートに用いた接着剤がウェハエッジを保護することにより、30 μm 厚まで薄化しても SiC 基板のクラックやエッジチッピングを発生させなかったと推測される。

図 7-3 は 30 μm 厚 SiC 基板（Type 1）の CMP 後表面 AFM 像で、表 7-2 は AFM 評価まとめである。ウェハー中央部、トップ部の平均面粗さ Ra はいずれも 0.1 nm となっており、こちらも平成 29 年度の目標値を達成した。

以上のように、クラックやチッピングを抑制するウェハーサポート技術を開発し、SiC 膜厚を 30 μm まで薄膜化可能な切削技術、および、平均面粗さ Ra=0.1 nm（AFM）の研磨技術を確立した。

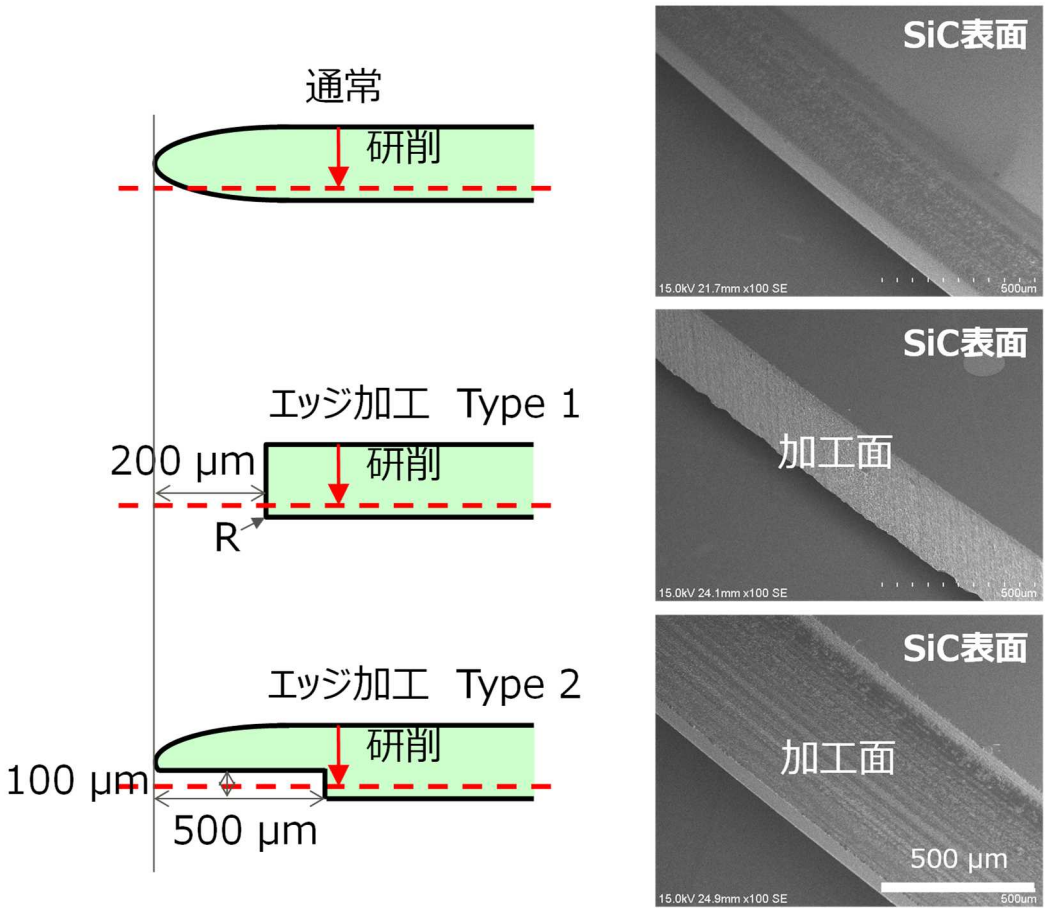


図 7-1 SiC ウェハエッジ加工形状と SEM 像

表 7-1 研削後の SiC 膜厚面内分布まとめ

	Type 1	Type 2
Average.(μm)	31.716	29.678
Max.(μm)	33.124	31.149
Min.(μm)	30.502	27.919
Unif.(%)	4.134	5.442
Range.(μm)	2.622	3.230

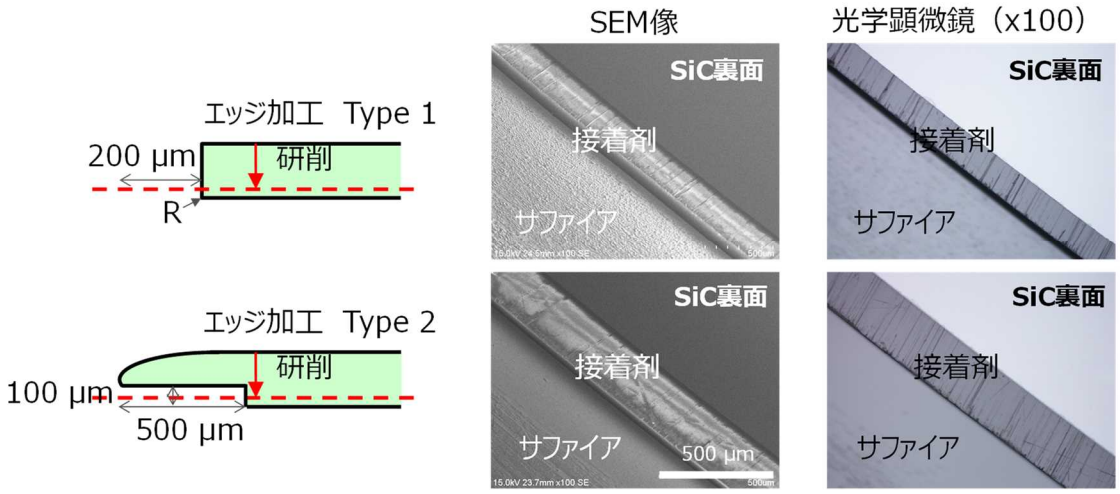
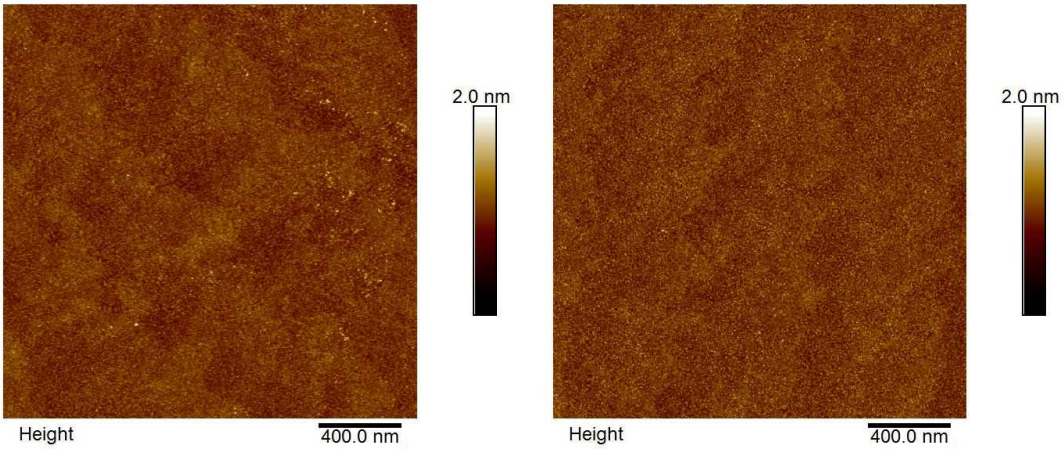


図 7-2　30 μm まで研削後の SiC ウェハのエッジ（SEM, 光学顕微鏡）



Center　　Top

図 7-3　CMP 後 30 μm 厚 SiC 基板（エッジ加工 Type 1）表面の AFM 像（2 μm 角）

表 7-2 CMP 後 30 μm 厚 SiC 表面（エッジ加工 Type 1）の AFM 評価まとめ

	Top		Center	
	10 μm 角	2 μm 角	10 μm 角	2 μm 角
RMS（nm）	0.158	0.170	0.106	0.128
Ra（nm）	0.126	0.136	0.0846	0.101

２．３．７．４　まとめ

本研究の最終年度となる平成 29 年度 では、SiC 研削・研磨について、クラックやチッピングを抑制するウェハーサポート技術を開発し、SiC 膜厚を 30 μm まで薄膜化可能な切削技術、および、平均面粗さ Ra 0.1 nm（AFM）の研磨技術を確立した。

参考文献

[9] J.D. Blevins, G.D. Via, K. Sutherlin, S. Tetlak, B. Poling, R. Gilbert, B. Moore, J. Hoelscher, B. Stumpff, A. Bar-Cohen, J.J. Maurer, A. Kane, CS MANTECH Conference Technical Digest, 105 (2014)

[10] M. Alomar *et al*., Electron. Lett. 46, 299 (2010).

[11] J.G. Felbinger, M. V. S. Chandra, Y. Sun, L. F. Eastman, J. Wasserbauer, F. Faili, D. Babic, D. Francis and F. Ejeckam, IEEE Electron Device Lett., **28**, 948 (2007)

[12] D.Altman, M. Tyhach, J. McClymonds, S. Kim, S. Graham, J. Cho, K. Goodson, D. Francis, F. Faili, F. Ejeckam and S. Bernstein, IEEE 14th ITHERM Conference, 1199 (2014)

２．３．８　⑧接合プロセス技術開発

２．３．８．１　はじめに

デバイスの高出力化にはIn系HEMTの適用・改善やオーミック電極技術の向上などに加え、発熱量の増加を緩和する放熱構造の設計が重要となる。ダイヤモンドは熱伝導率が2000 W/mKと極めて高く、比較的熱伝導率の高いSiC(400 W/mK)と比べても5倍程度も優れている。そのため、ダイヤモンドをヒートスプレッダとして用いたGaN on ダイヤモンドは高放熱技術として有力な構造であり、主にDARPA(Defense Advanced Research Projects Agency)等で先行研究が行われている[1-5]。GaN on ダイヤモンドの作製方法としてはダイヤモンド上へのGaN成長[2,3]、ダイヤモンド貼り合わせ[4,5]等が報告されているが、本研究では高品質なIn系エピ構造を使いこなす必要があるため、低温でのダイヤモンド貼り合わせ技術の適用が望ましい。しかしながら、従来のダイヤモンド貼り合わせ技術にはGaNとダイヤモンドとの界面に数10 nmのDielectric Layerの接合層が用いられるため、その界面での熱抵抗の増加が懸念される。本研究では、GaNデバイスのSiC基板とダイヤモンドを直接接合させることで低い界面熱抵抗の実現を狙い、そのための表面活性化接合SAB(Surface Activated Bonding)法の検討を開始した。

SAB法はArのFAB (Fast Atomic Beam) あるいはArイオンビームを照射して物質表面を活性化し、活性面同士を高真空中で常温接合させる手法である。FABは高速の中性原子ビームであり、イオンビームよりも一粒子当たりのエネルギーが大きいことから、表面の活性化に適している。また、イオンビームよりも接合界面への不純物の混入が少ないという特徴があることから、本研究ではAr FABを用いたSAB法を採用した。また、SAB法を適用するには接合面を平滑化することが必須であり、一般的にはRa < 0.5 nm程度の平坦性が要求される。

本研究では28年度までに接合に必要なSiCとダイヤモンドの研磨技術を確立し、SiCとダイヤモンドの接合にも成功した。29年度はSiC/ダイヤモンドの接合を改善するとともに、その技術をGaN-HEMT on SiCのデバイスに適用して従来構造から熱抵抗を30%低減する優れた放熱構造の実現を目指した。

２．３．８．２　実験手法

基板

基板には、T 社製の 3 インチ SiC 基板、ダイヤモンドには E 社製ダイヤチップを用いた(図 8-1)。SiC、ダイヤモンドともに接合予定面を研磨し、SiC の Ra を 0.15 nm 以下(AFM 評価)、ダイヤモンドの Ra を 0.2 nm 以下として接合の検討に用いた。研磨の詳細は「⑦接合用切削・研磨技術の開発」の項を参照されたい。

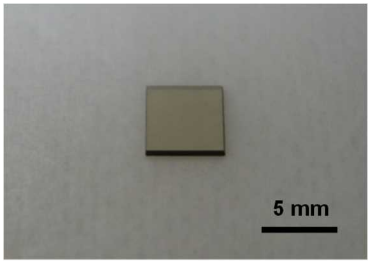


図 8-1　E 社製ダイヤチップ(研磨前)

接合方法（SAB 法）

接合には SAB 法を用いた。SAB による SiC 基板とダイヤモンドの接合のイメージを図 8-2 に示す。SAB 法では 3×10^{-7} Pa～1×10^{-6} Pa の高真空中で SiC 基板とダイヤモンドに Ar FAB（電圧 1 kV）を照射し、表面を活性化した。活性化とは表面のコンタミや酸化層を除去し、ダングリングボンドを生成させることであり、それぞれの基板の活性面同士を合わせることで新たに結合を生じさせ、接合を実現する。

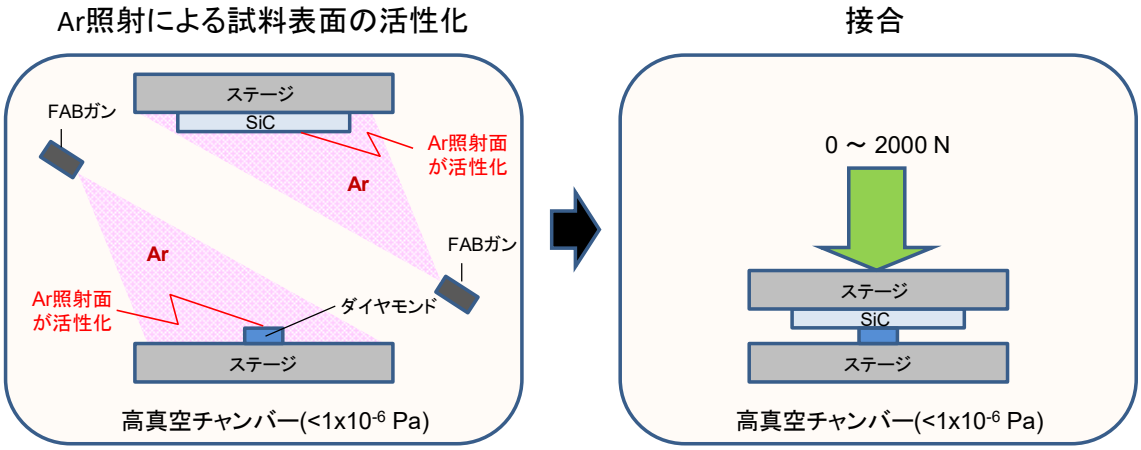


図 8-2　SAB 法による接合実験の実施イメージ

２．３．８．３　結果と考察

ダイヤモンドへのカバー膜のコンセプト

28 年度に行った SiC/ダイヤモンドの接合検討において、Ar 照射で形成する非晶質炭素が接合強度を低下させると推定されたため、SAB の Ar 照射時にダイヤモンドをカバーする膜の採用を検討した。そのカバー膜に要求される特性としては以下の 1)～6)などがあげられる。

1)ダイヤモンドとの密着性が良好である。
・・・接合強度の観点から必須である。
2)厚さの制御が可能である。
・・・膜が厚いと熱抵抗を増加させる懸念があり、nm オーダーでの膜厚制御が要求される。
3)形成される自然酸化膜が薄い。
・・・接合時の Ar 照射で自然酸化膜の除去が必要である。自然酸化膜が厚く、除去が困難になると接合に支障をきたす。
4)膜の平坦性が良い。
・・・SAB で接合するためには膜表面平坦性が極めて重要である。
5)Ar FAB を照射しても表面粗さが劣化しにくい。
・・・接合時の Ar 照射による表面の平坦性の劣化が SAB に適用可能なレベルである必要がある。
6)熱伝導率が高い
・・・熱伝導率が低い材料を用いると熱抵抗を増大させる懸念がある。

これらを考慮してダイヤモンド表面を Ti スパッタ膜でカバーすることを検討した。Ti カバー膜を用いた SAB による接合のイメージを図 8-3 に示す。Ti スパッタ膜に関してはこれまでの予備検討から要求特性の 1)～3)は問題ないと考えられることから、本報告書では 4)、5)について検討した。また、Ti の熱伝導率は 21.6 W/mK[6]であり、他の金属と比べて熱伝導率は高くないが、膜を数 nm に薄く制御できれば問題にはならないと考える。

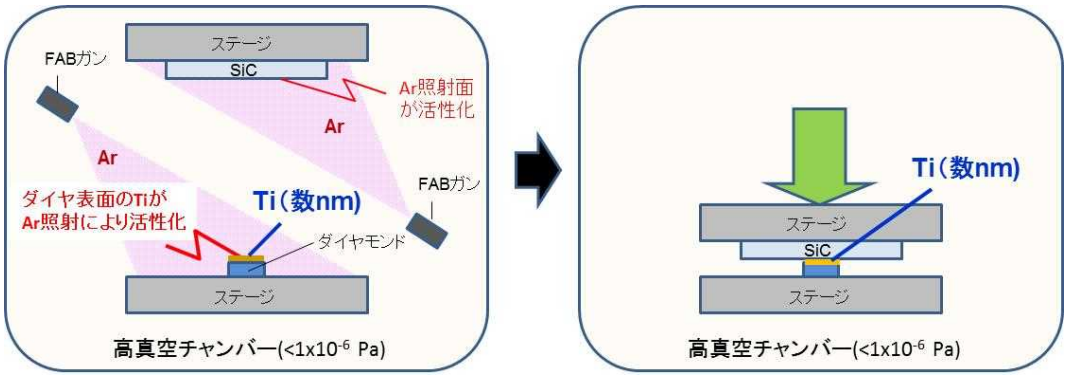


図 8-3　Ti カバー膜を用いた SAB による接合の実施イメージ

ダイヤモンドに成膜した Ti のモフォロジと Ar 照射への耐性

Ti の表面モフォロジを図 8-4 に、Ti 膜厚と表面粗さの関係を図 8-5 に示す。これまでの検討では AFM から得られる Ra によって面粗さを判断していたが、以降は RMS によって判断する。RMS には微細な凹凸がより大きく反映されるため、接合面の評価に適切と考えたためである。検討の結果、Ti の膜厚増加により表面粗さが増大することが確認され、特に 10 nm 以上で Ti が凝集する傾向もみられた。ただし、15 nm も含めて接合に適用可能な平坦性を有しているといえる。また、図 8-5 に示すように、下地がダイヤモンドでも Si でも Ti のモフォロジは同等であることが確認できたため、以降は Si 基板上に成膜した Ti も検討に用いた（研磨済ダイヤモンドの数量に限りがあるため）。

次に図 8-6 および図 8-7 に示すように、Ti の Ar FAB に対する耐性の評価を AFM で行ったところ、比較的長い照射時間（例えば 240 秒）を用いても Ti 表面に著しい荒れが生じることはなく、Ar FAB に対して十分に耐性がある（平滑性が損なわれにくい）ことを確認した。図 8-8 は Ar FAB 照射時間と Ti 膜厚（XRR による算出）の関係である。Ar FAB による Ti のエッチングレートは 1.2 nm/min.程度であり、Ti の自然酸化膜を 0.5～2 nm 程度とすると、Ti の活性化には 120 秒程度の Ar 照射が妥当である。

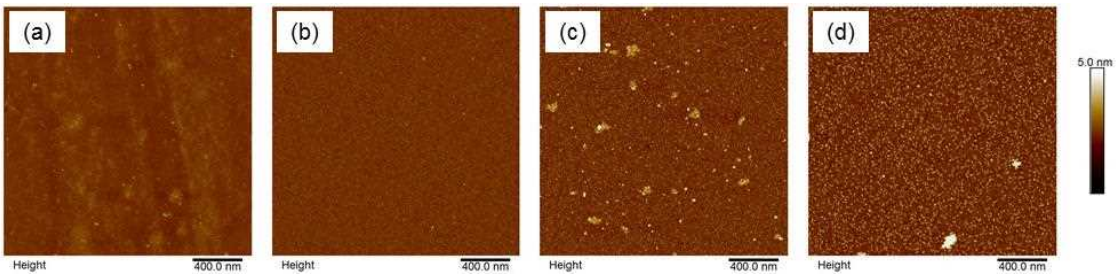


図 8-4　ダイヤモンド上に成膜した Ti の表面モフォロジ;(a)Ti 成膜無し(ダイヤモンドの研磨面), (b)Ti 5 nm, (c)Ti 10 nm, (d)Ti 15 nm

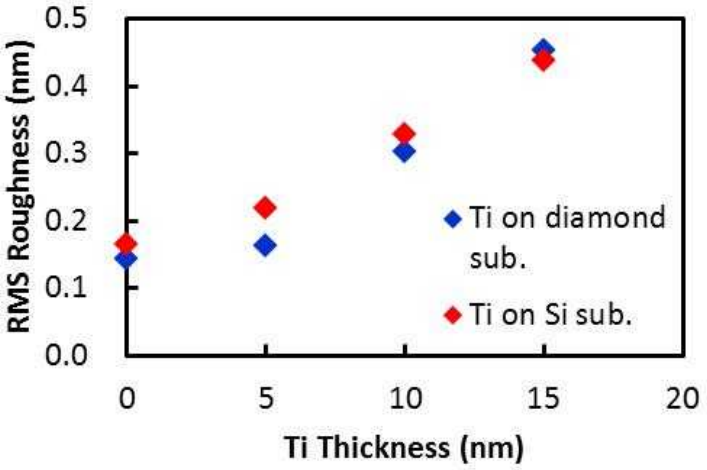


図 8-5　ダイヤモンド上および Si 上に成膜した Ti の厚さと表面粗さ(RMS)の関係

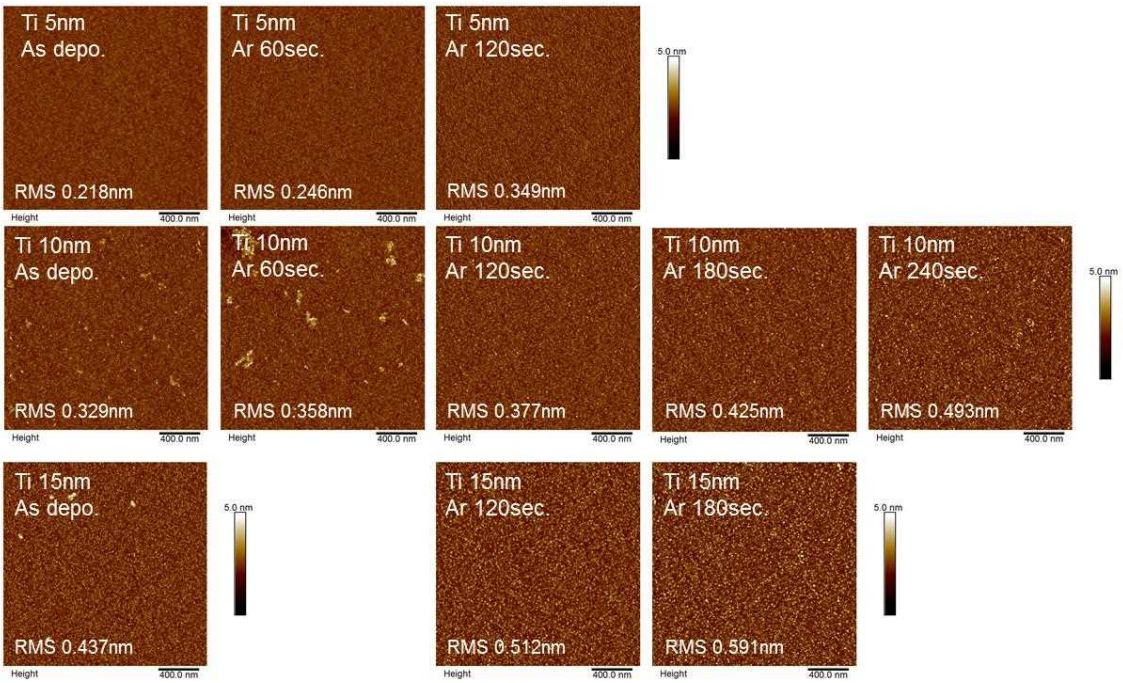


図 8-6　Ar FAB 照射後の Ti の表面モフォロジ（Si 基板を使用）

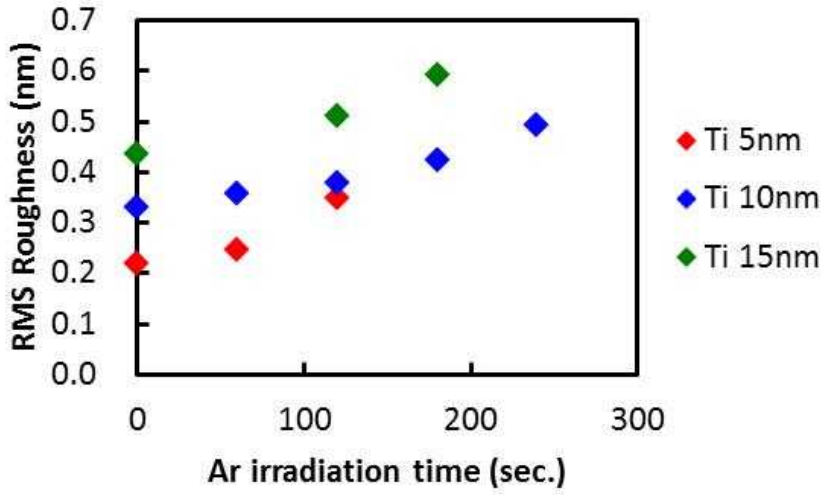


図 8-7　Ar FAB 照射時間と Ti の表面粗さ(RMS)の関係 (Si 基板を使用)

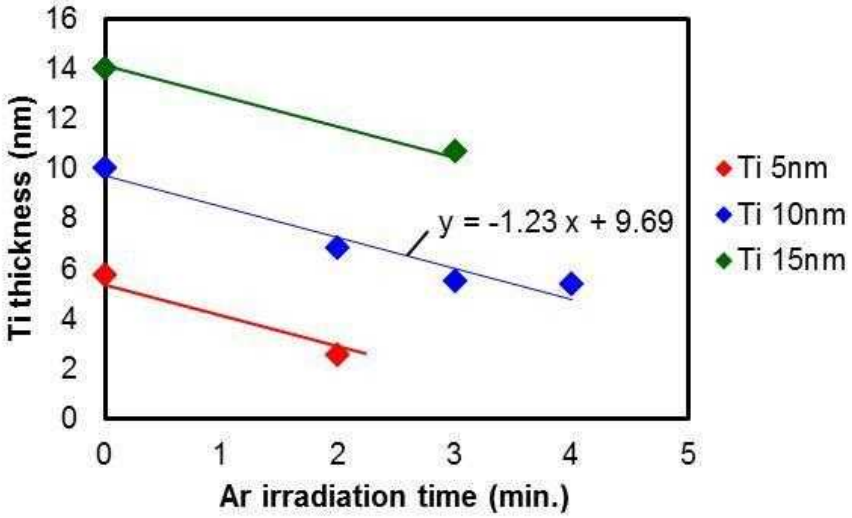


図 8-8　Ar FAB 照射時間と Ti 膜厚の関係(Si 基板を使用)

Ti 厚さと Ar FAB 照射の最適化検討（Si 使用）

Ti カバー膜を用いた SiC/ダイヤモンド接合の事前検討として、Ti カバー膜を成膜した Si（3 インチ）と Si（4 インチ）の接合を行った。図 8-9 および図 8-10 は接合した Si/Si の IR（赤外線）画像であり、図中の黒い箇所が空隙である。全ての接合において空隙率が 3%以下と概ね接合できたが、Ar 照射が 60 秒の時と Ti が 15 nm の時には比較的広範囲で空隙がみられた。Ar 照射 60 秒では Ti 酸化膜の除去が不十分の可能性があり、Ti 15 nm の時には表面荒れが空隙の生成に繋がっているとみられる。Ti の初期厚が薄いと Ar 照射により Ti が消失し、厚いと表面荒れのリスクがある。また、Ar 照射が短いと Ti の酸化膜除去が不十分となり、照射が長いと表面が荒れや Ti 消失のリスクがある。本検討では Ti 厚さや Ar 照射時間において十分なマージンを確認できた Ti 5～10 nm、Ar 照射 120 秒を条件の候補とした。

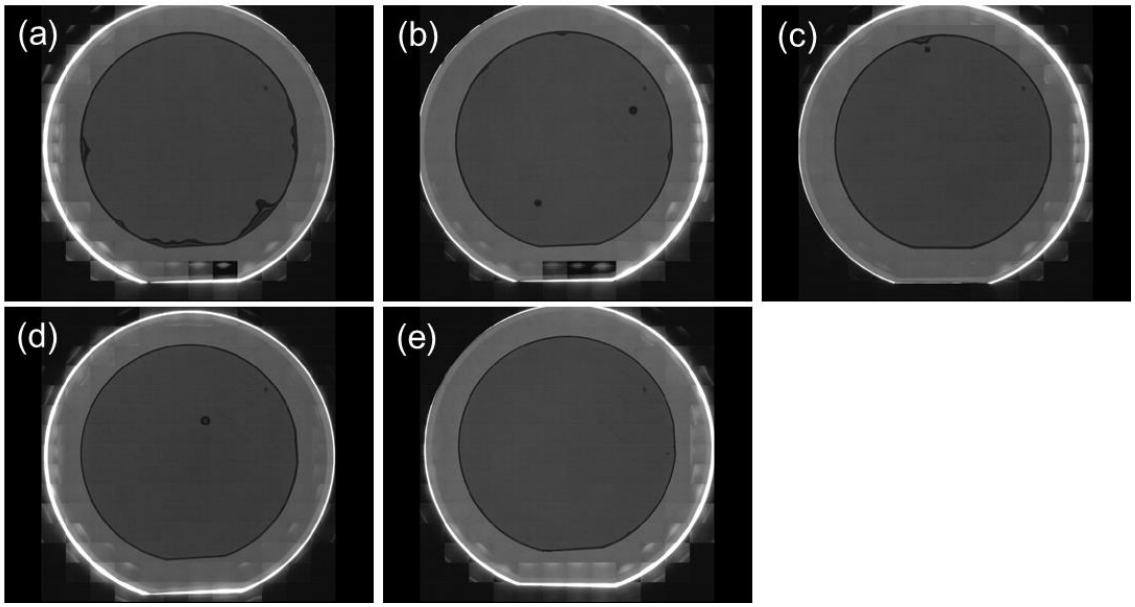


図 8-9　Ti カバーSi と Si の接合実施結果(Ti 10 nm で固定）；(a)Ar 照射 60 秒，(b) Ar 照射 90 秒，(c) Ar 照射 120 秒，(d) Ar 照射 180 秒，(e) Ar 照射 240 秒

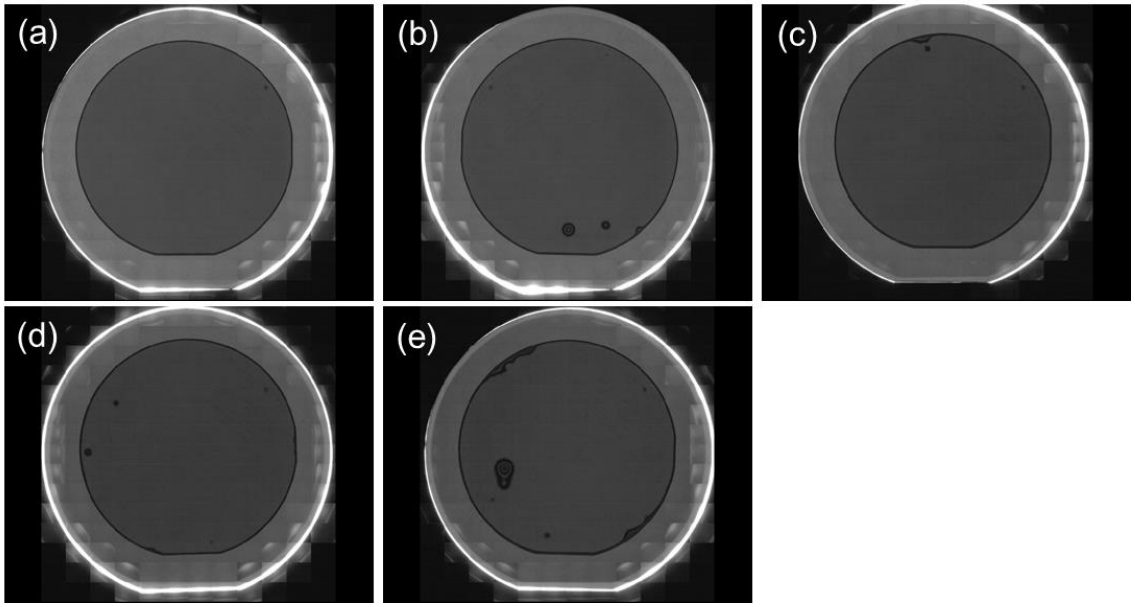


図 8-10　Ti カバーSi と Si の接合実施結果(Ar 照射 120 秒で固定）；
(a)Ti 5 nm, (b)Ti 7.5 nm, (c)Ti 10 nm, (d)Ti 12.5 nm, (e)Ti 15 nm

ダイヤモンド / SiC 接合の実施

Ti カバー膜を用いた本技術を 5 mm×5 mm および 9 mm×9 mm のダイヤモンドの SiC への接合に適用し（図 8-11)、研削・CMP により薄化した SiC にも適用可能であることを示した（図 8-11(e)）。さらに断面 TEM 像（図 8-12）に示すように、カバー膜を用いた SiC/ダイヤモンド接合の断面には空隙はなく、良好な接合界面が形成しており、またダイヤモンドに非晶質層のない狙い通りの構造となっていることを確認した。なお、Ti の厚さは 8 nm 程度であるが、成膜する厚さを調整することで薄くすることは可能である。また、接合はプロセスに耐えうる十分な強度を有しており、接合後に物理的な力を加えても剥れが生じることはなかった。

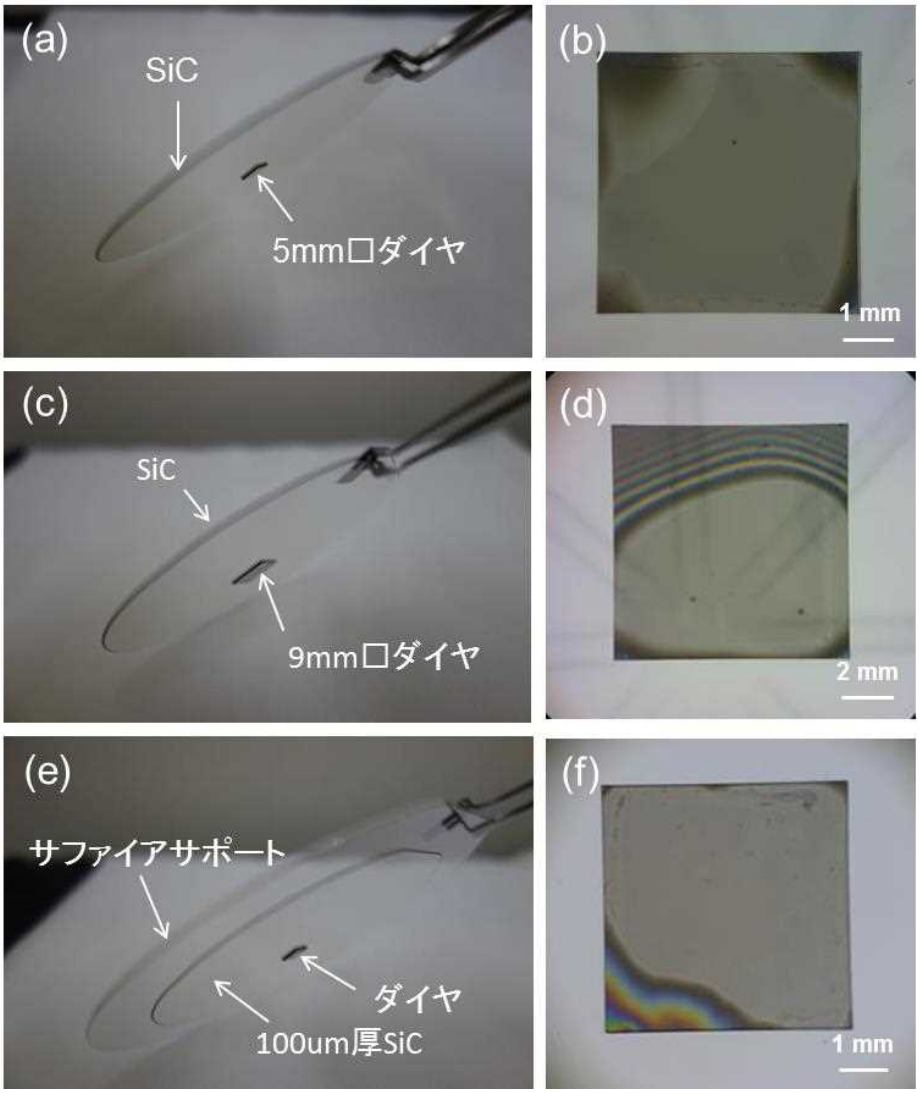


図 8-11　作製した SiC/ダイヤモンド接合;
(a)接合試料 A[*1] の全体写真, (b)接合試料 A の SiC 側から観察した実体顕微鏡像,
(c)接合試料 B[*1] の全体写真, (d)接合試料 B の SiC 側から観察した実体顕微鏡像,
(e)接合試料 C[*3] の全体写真, (f)接合試料 C の SiC 側から観察した実体顕微鏡像

[*1] 接合試料 A：5 mm×5 mm ダイヤと SiC の接合
[*2] 接合試料 B：9 mm×9 mm ダイヤと SiC の接合
[*3] 接合試料 C：5 mm×5 mm ダイヤと 100 μm まで薄化した SiC の接合

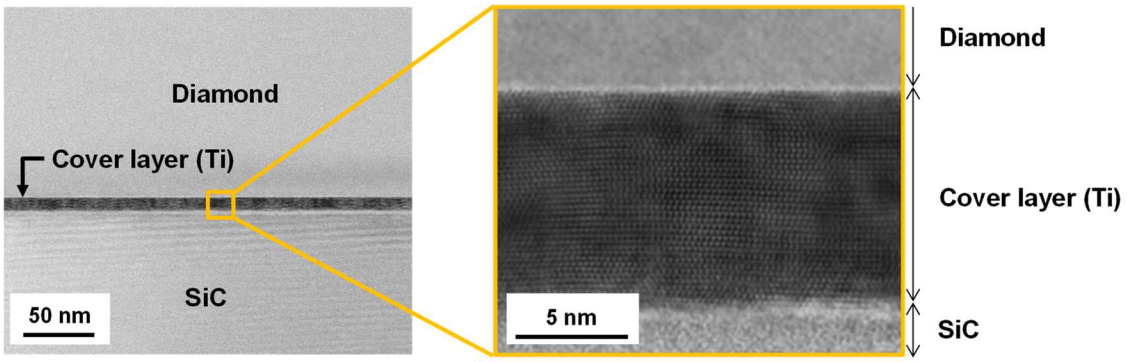


図 8-12　Ti カバー膜を適用して接合した SiC/ダイヤモンドの断面 TEM 像

SiC/ダイヤモンド接合のデバイス適用フロー

チップ化した GaN on SiC デバイスを用いてダイヤモンドとの接合を行った。これまでは SiC ウエハとダイヤモンドの接合について検討したが、ここでは SiC 基板を有する GaN-HEMT への適用について述べる。薄化し、かつチップ化した SiC を接合に用いるためには工程の工夫が必須である。開発した工程フローを下記（1）～（6）の順に説明する。

（1）GaN on SiC デバイスを Si サポート基板に貼付

接合に用いる GaN-HEMT をサポート基板に貼付した。詳細には GaN-HEMT 表面をレジストで保護し、熱可塑性の接着剤を使用して接着を行った。

（2）SiC 基板を薄化、CMP

GaN-HEMT の SiC を 50 μm まで薄化し、CMP によって平滑化を行った。SiC の表面粗さは AFM での評価で Ra=0.1 nm 以下を狙いとした。SiC の研削および CMP については「⑦接合用切削・研磨技術の開発」の項を参照されたい。SiC は 30 μm まで薄くすることも可能であるが、「⑥高放熱設計・熱評価」の項で 50 μm の薄化でも十分に熱抵抗低減が可能であることが示されている。本検討では接合時の荷重で SiC が割れるリスクを低減するため、50 μm の薄化とした。

（3）ダイヤモンドをサファイアサポート基板に貼付

接合に用いるダイヤモンドの研磨条件と表面モフォロジ、さらに表面の洗浄方法については「⑦接合用切削・研磨技術の開発」の項を参照されたい。

(4) カバー層(Ti)成膜

表面活性化接合時にダイヤモンド表面にアモルファス層が形成されることを防止するために、スパッタにより Ti を製膜した。なお、「3-3 ダイヤモンドへのカバー膜の検討」の項において、5 nm～15 nm の Ti 厚みで接合可能であることを確認しており、本件は 7.5 nm の Ti 厚みとした。

(5) 表面活性化接合

GaN-HEMT の SiC 基板とダイヤモンドの接合を表面活性化接合で実施した。これまでの検討結果から Ar 照射時間は 120 秒とした。また、接合時の荷重が大きいと 50 μm の薄い SiC が割れる傾向があったため、5 mm×5 mm のダイヤモンドを用いる場合は 70 kg、9 mm×9 mm のダイヤモンドを用いる場合は 200 kg を最適条件とした。

(6) GaN-HEMT on SiC/ダイヤモンドを SiC 研削用サポート基板から剥離

ダイヤモンドに接合した GaN-HEMT on SiC/ダイヤモンドを研削用サポート基板から剥離した。

以上の工程によって GaN-HEMT とダイヤモンドを接合した。本接合プロセスでは接合後に試料をサポート基板から剥離する工程で強い物理的負荷および熱的負荷がかかるがそれに耐えうる強固な SiC/ダイヤモンド接合が得られたといえる。

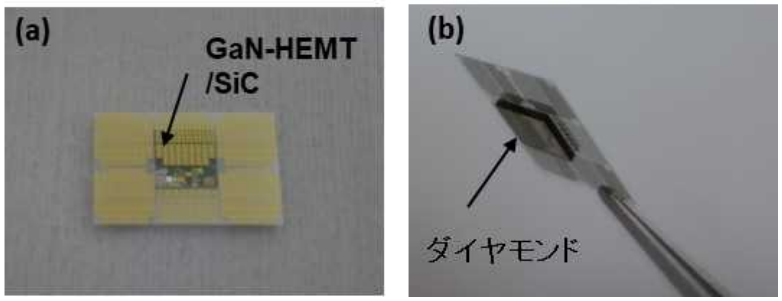


図 8-13　完成後の GaN-HMET / ダイヤ

接合試料の光学顕微鏡観察

ダイヤモンドに接合した GaN-HEMT の外観および光学顕微鏡像を図 8-13、14 に示す。図 8-14 においてダイヤモンドの基板端部に空隙が形成されているものの、中心付近は問題なく接合できることを確認した。熱抵抗の評価の詳細は「⑥高放熱設計・熱評価」の項を参照されたいが、ダイヤモンドの接合によって従来デバイスに比べて 1/3 程度の熱抵抗となることが示され、本検討の目標値である熱抵抗 30%低減を大幅にクリアした。

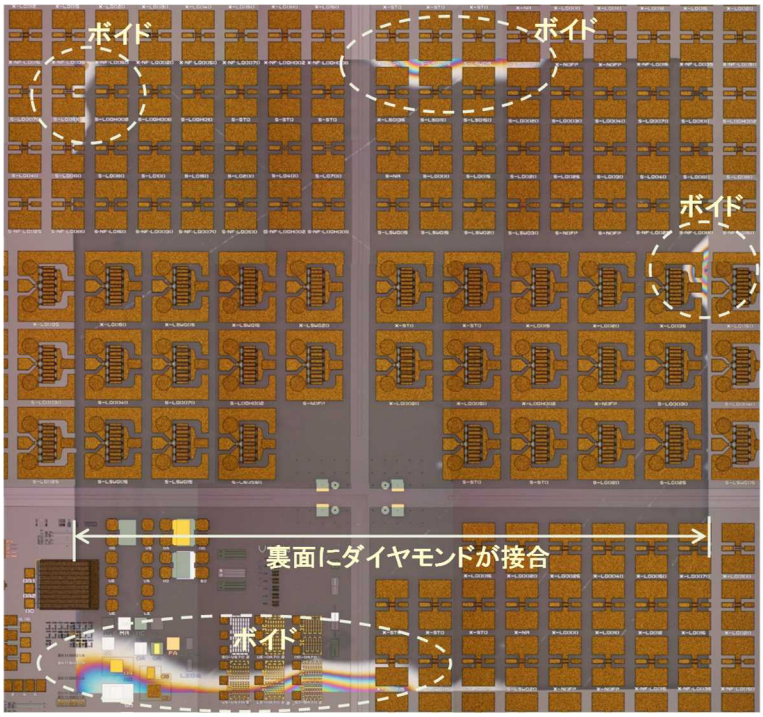


図 8-14　ダイヤモンドに接合した GaN-HEMT の光学顕微鏡像

２．３．８．４　まとめ

本研究では GaN-HEMT の放熱性を向上させるダイヤモンドヒートスプレッダの構造を実現するため、SAB 法を用いた SiC とダイヤモンドの接合技術の開発を行った。

- ダイヤモンド上に Ti カバー膜を用いる新規の接合技術を開発し、ボイドのない強固な SiC/ダイヤモンド接合を実現した。その際の適切な Ti の膜厚を 5～10 nm、Ar 照射時間は 120 秒とした
- Ti カバー膜を用いた SiC/ダイヤモンド接合技術を GaN-HEMT に適用し、従来のデバイスと比べて熱抵抗を約 1/3 に低減する優れた放熱構造を実現した。

参考文献

[13] J.D. Blevins, G.D. Via, K. Sutherlin, S. Tetlak, B. Poling, R. Gilbert, B. Moore, J. Hoelscher, B. Stumpff, A. Bar-Cohen, J.J. Maurer, A. Kane, *CS MANTECH Conference Technical Digest*, 105 (2014).

[14] M. Alomar *et al*., *Electron. Lett*. **46**, 299 (2010).

[15] K. Hirama, Y. Taniyasu, M. Kasu, *J. Appl. Pys*. **98**, 162112 (2011).

[16] J.G. Felbinger, M. V. S. Chandra, Y. Sun, L. F. Eastman, J. Wasserbauer, F. Faili, D. Babic, D. Francis, F. Ejeckam, *IEEE Electron Device Lett.*, **28**, 948 (2007).

[17] D.Altman, M. Tyhach, J. McClymonds, S. Kim, S. Graham, J. Cho, K. Goodson, D. Francis, F. Faili, F. Ejeckam, S. Bernstein, *IEEE 14th ITHERM Conference*, 1199 (2014).

[18] 改訂 4 版金属データブック，日本金属学会, 2004 年

２．３．９ ⑨要素技術統合向けインテグレーション

２．３．９．１　はじめに

前項までに、各要素技術開発の報告を行ってきた。一方、本研究の最終年度における目標は、現行素子サイズでの従来比出力 2 倍のデバイス実証である。デバイス作製にあたり複数の要素技術を同時に適用した場合、相互に影響を及ぼし合うことにより意図せず特性が低下することが予想される。そのため、本研究開発においては、要素技術の一部統合から始め、段階的に統合技術を増やして最終的に全要素技術の統合を行った。本項においては、各統合デバイスの構造および評価結果の詳細について報告する。

２．３．９．２　統合デバイス試作の概要

表 9-1 に、統合デバイス試作ロット名と、それらに適用した要素技術の一覧を示す。昨年度となる平成 28 年度に、In 系電子供給層（InAlN）をベースとした 3 種類の一次試作を行い、In 系電子供給層とゲート絶縁膜を組み合わせた際に、低耐圧および大リーク電流が問題になることを明らかにした。

平成 29 年度の二次試作においては、並行して開発を行っていたゲート絶縁膜を一旦非適用とし、新たに開発を行った 4 元系 InAlGaN 電子供給層を用い、表側プロセス（トランジスタ部）の統合を行った。この際、（Ⅰ）ミリ波向け、（Ⅱ）マイクロ波向けの 2 種類のデバイス構造を試みた。結果として、動作電圧が低いミリ波向けデバイスでは、94 GHz の W 帯において従来構造比 2 倍の出力密度を有する回路（MMIC：モノリシックマイクロ波集積回路）を実証した。一方、より高耐圧が必要なマイクロ波向けデバイスでは、更なるリーク電流低減施策が必要であることを示した。

最終試作においては、InAlGaN 電子供給層の更なる最適化（チャネル領域の電子密度抑制＋電子移動度向上）により耐圧向上を図り、またダイヤモンドの直接接合による放熱技術の統合を行った。この際、（Ⅰ）ショットキーゲート、（Ⅱ）絶縁ゲートの 2 種類のデバイス構造を試みた。この統合デバイス最終試作（Ⅱ）が、全要素技術を適用した構造となる。結果として、ショットキーゲートにおいては、S 帯において従来構造比 2 倍を大きく超える 22.3 W/mm の出力密度が得られた。一方、絶縁ゲートにおいては、ドレインバイアス 50 V までの動作においてショットキーゲートを上回る出力密度が得られた。更に絶縁ゲート品では、低トラップ絶縁膜のパッシベーション膜への適用により、パワーアンプの効率特性も改善することができた。

以上のように、本研究開発にて進めてきた各要素技術を組み合わせることにより、従来構造を大きく凌駕するデバイスを実現することができた。

表 9-1　統合デバイス試作に適用した要素技術一覧
（一次試作は平成 28 年度に実施）

要素技術	統合デバイス						
	一次試作			二次試作		最終試作	
	（Ⅰ）	（Ⅱ）	（Ⅲ）	（Ⅰ）	（Ⅱ）	（Ⅰ）	（Ⅱ）
①In系供給層	○	○	○	○	○	○	○
②バックバリア	○			○	○	○	○
③コンタクト		○		○	○	○	○
⑤絶縁膜			○				○
⑦切削・研磨						○	○
⑧ダイヤ接合						○	○

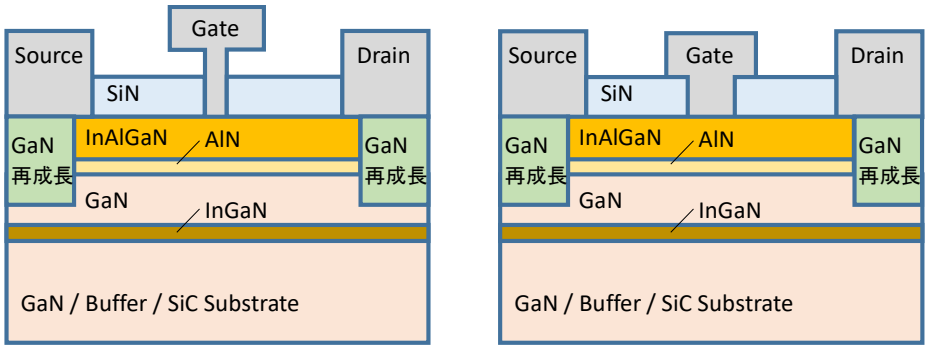
２．３．９．３　試作に用いたプロセス装置

図 9-1 に、統合デバイスの試作時に用いた主な半導体プロセス装置の一覧を示す。紫外線露光によるパターン形成、金属や絶縁膜などの薄膜形成、ガスによる掘り込み形状形成を行うドライ加工、酸・アルカリや有機溶剤などの薬液処理に分けられる。

図 9-1　統合デバイス試作に用いた主なプロセス装置一覧

２．３．９．４　統合デバイス二次試作の概要

二次試作においては、平成 29 年度の一次試作の結果を受け、まず MIS 構造を有しないショットキーゲートによるデバイスを試作した。要素技術としては、①In 系結晶を用いた電子供給層、②バックバリア、③コンタクト抵抗低減技術の統合を行った。①In 系電子供給層においては、一次試作において課題となったゲートリーク電流を更に低減させるため、２．３．１項において検討を行った 4 元系の InAlGaN を電子供給層として用いることとした。この InAlGaN は、成長温度を上げることにより結晶品質を高めることが可能である。これにより、InAlN よりも高耐圧が期待できる。なお、図 9-2 に、二次試作における HEMT 構造の断面模式図を示す。本試作においては、2 種類のデバイスを検討した。1 つは、ミリ波帯向け短ゲートデバイス（ゲート長：0.08 μm）であり、動作電圧が 10～20 V 程度と低いため、耐圧が低い状態でも各要素技術の効果を確認しやすいメリットがある。もう 1 つは、マイクロ波帯向けの比較的長いゲート長（0.25～0.5 μm）のデバイスであり、より高い出力を目指す構造である。



(a) 二次試作(Ⅰ)ミリ波デバイス　　(b) 二次試作(Ⅱ)マイクロ波デバイス

図 9-2　統合デバイス二次試作における HEMT 構造の断面模式図

２．３．９．５　二次試作（Ⅰ）ミリ波帯向けデバイス

図 9-3 に、作製した HEMT の 3 端子特性の結果を示す。In 系電子供給層による 2DEG 濃度増加および、オーミック電極部の再成長技術によるコンタクト抵抗低減により、従来の AlGaN/GaN-HEMT に比べ、電流値は 1.5 倍以上と大幅に増加した。一方、バックバリアの効果により、ゲート長 0.08 μm の短ゲートデバイスにおいても、漏れ電流を大幅に低減させることに成功した。

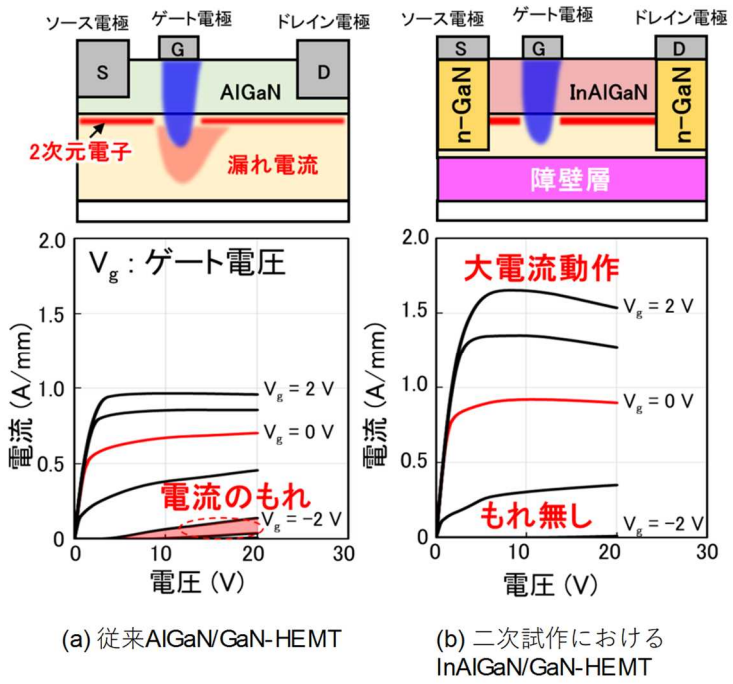


図 9-3　従来及び新構造での HEMT 特性の比較

図 9-4 に、W 帯（75-110 GHz）における、MMIC の CW（連続波）動作による出力パワーのベンチマーク図を示す。従来、MMIC のパワー評価は AlGaN 電子供給層によるものであり、およそ 2 W/mm が最大値であった。今回、94 GHz 帯において 4.16 W/mm という従来比 2 倍超の高い出力密度を有する MMIC を実現させることができた。また、発熱の観点からより高い信頼度が求められる CW 動作においても焼損は見られなかった。

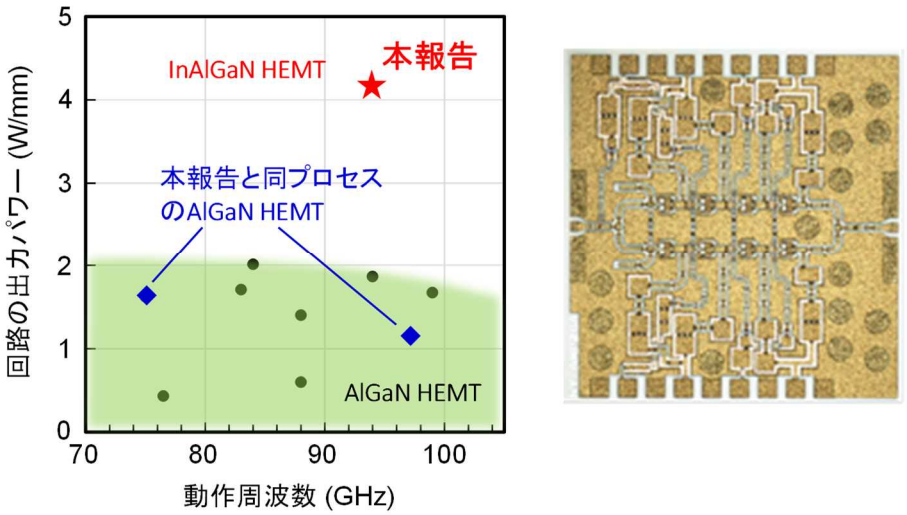


図 9-4　W 帯 MMIC ベンチマーク及び試作した MMIC 写真

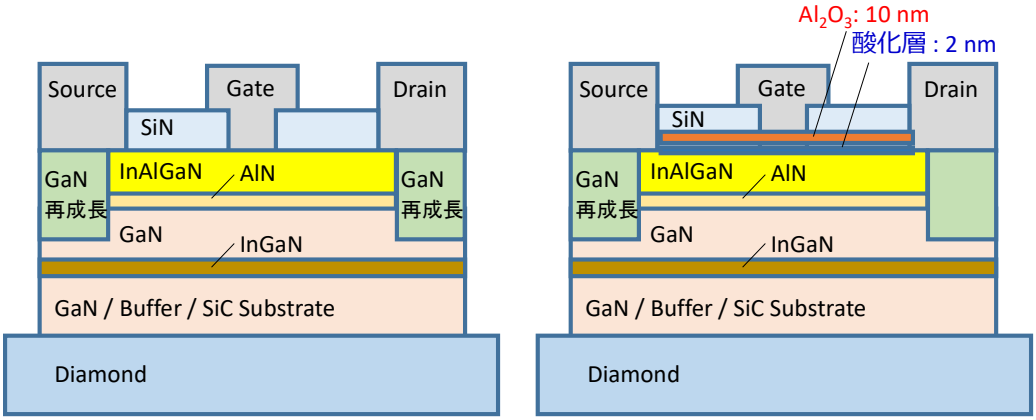
２．３．９．６　二次試作（Ⅱ）マイクロ波帯向けデバイス

二次試作（Ⅱ）では、同（Ⅰ）のデバイス諸元を変更し、マイクロ波帯においてより高出力を目指す構造とした。ゲート長は 0.25 μm から 0.5 μm クラスであり、1～10GHz 帯程度に対応したものとなっている。本試作においては、電子供給層に 4 元系の InAlGaN を用いており、前述の通り、リーク電流低減が期待できる。結果として、50 V 印加時におけるゲートリーク電流は、一次試作の-3 乗 A/mm 台から-4 乗 A/mm 台（図 9-6）へ 1 桁低減させることができた。しかしながら、パワー評価を行うためには更に 1 桁のゲートリーク電流の低減を実現させることが好ましく、次項の最終試作において新たな改善施策を行うこととした。

２．３．９．７　統合デバイス最終試作の概要

最終試作においては、全要素技術の統合を目的とした。表 9-1 及び図 9-5 に示すように、最終試作（Ⅰ）では、ショットキーゲートにおいて、ダイヤ接合を含めた絶縁膜以外の要素技術を統合した。また、同（Ⅱ）においては、ゲート絶縁膜を含めた全要素技術の統合を行った。ダイヤ接合に際しては、２．３．７項に示すように、SiC 基板を研削により 50 μm にまで薄化し、CMP 処理による平坦化後に接合を行った。

また、最終試作においては、二次試作から更なるゲートリーク電流の低減を目指し、InAlGaN 電子供給層の変更を行った。具体的には、２．３．１項及び２．３．４項に示す通り、InAlGaN 電子供給層による 2DEG 部のキャリア密度低減を行った。これによりバイアス印加時の電位分布を変調し、ゲート端の電界集中を緩和することによりゲートリーク電流の低減を図った。なお、併せて 2DEG の移動度を向上させることにより、デバイスのシート抵抗は同程度にとどめ、ドレイン電流の低下を防いだ。



(a) 最終試作（Ⅰ）ショットキーゲート　　(b) 最終試作（Ⅱ）MISゲート

図 9-5　統合デバイス最終試作における HEMT 構造の断面模式図

２．３．９．８　最終試作（Ⅰ）ショットキーゲート

前述の改善 InAlGaN 電子供給層の効果を図 9-6 に示す。カーブトレーサによる、ゲート-ドレイン電極間の 2 端子逆方向特性である。二次試作（Ⅱ）から最終試作（Ⅰ）の電子供給層変更により、ゲートリーク電流を大幅に低減させることができた。50 V 印加時におけるゲートリーク電流は、二次試作の-4 乗 A/mm 台から-5 乗 A/mm 台へ 1 桁低減しており、一次試作から比べると 2 桁低減させることができた。

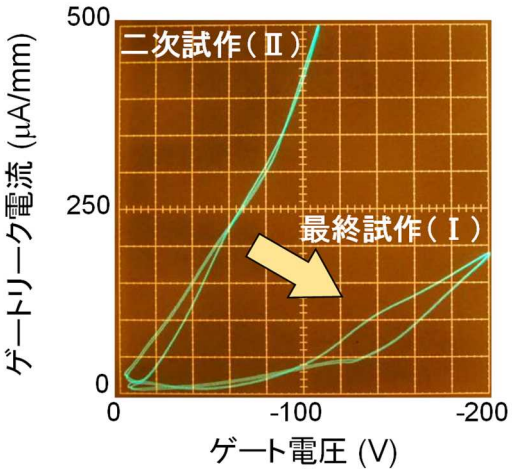


図 9-6　二次試作(Ⅱ)と最終試作(Ⅰ)でのゲートリーク電流の比較

最終試作（Ⅰ）のダイヤ接合後の様子を図 9-7 に示す。２．３．８項で示すように SiC 基板の裏面側にダイヤモンドは強固に接合されている。後述の、熱抵抗測定、パワー測定は、図示のゲート幅 1 mm の櫛歯型の単体トランジスタを用いた。

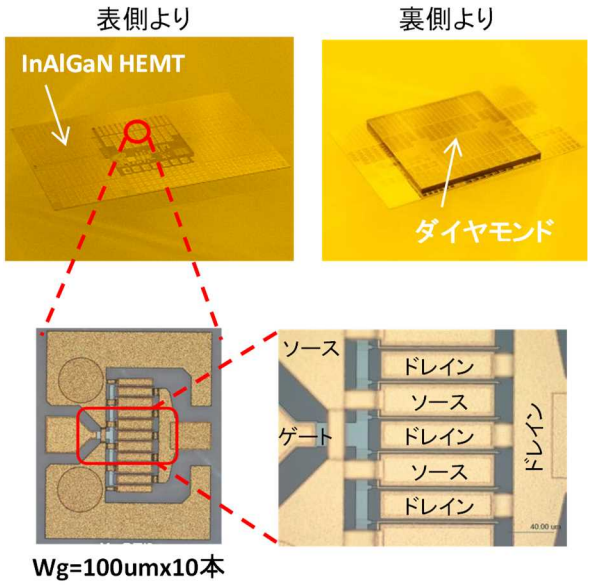
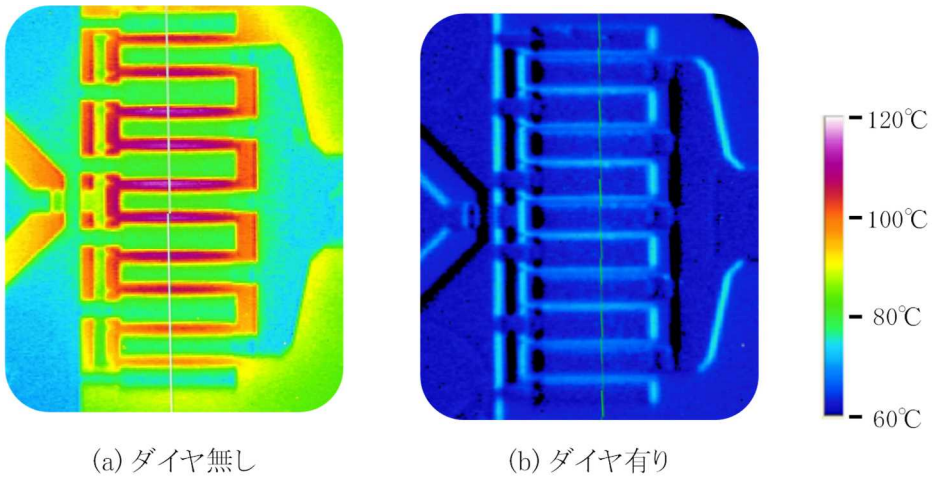


図 9-7　最終試作にてダイヤ接合したサンプル及び測定トランジスタ

次に、ダイヤモンドによる放熱効果を検証するため、赤外線カメラを用いて、パワー入力時の表面温度の様子を評価した（IR 評価）。図 9-8 に、4 W 印加時のトランジスタ表面の赤外線像を示す。ダイヤ有無を比較しており、カラーバーの範囲は揃えてある。図から明らかなように、ダイヤ接合無しのサンプルは 4 W の入力において最大で 120℃近くまで上昇しているものの、ダイヤ接合有りのサンプルは 70℃程度に抑えられている。ダイヤモンドのヒートスプレッド効果は絶大であることが分かった。

図 9-9 に、IR 評価において入力パワーを振った際の最大表面温度をプロットしたグラフを示す。このグラフの傾きが、熱抵抗と呼ばれるパラメータであり、この値が低いほど放熱性に優れた構造であるといえる。図から分かるように、ダイヤ有無の両サンプル共、プロットは良い線形性を示しており、評価が妥当であることを示唆している。熱抵抗の値は、ダイヤ接合無しのサンプルが 17.6℃/W、ダイヤ接合有りのサンプルが 5.95℃/W であった。ダイヤを接合することにより、SiC 基板上 GaN-HEMT の熱抵抗をおよそ 3 分の 1 に低減させることが可能となった。



(a) ダイヤ無し　　(b) ダイヤ有り

図 9-8　パワー(4 W)印加時における発熱状態の比較

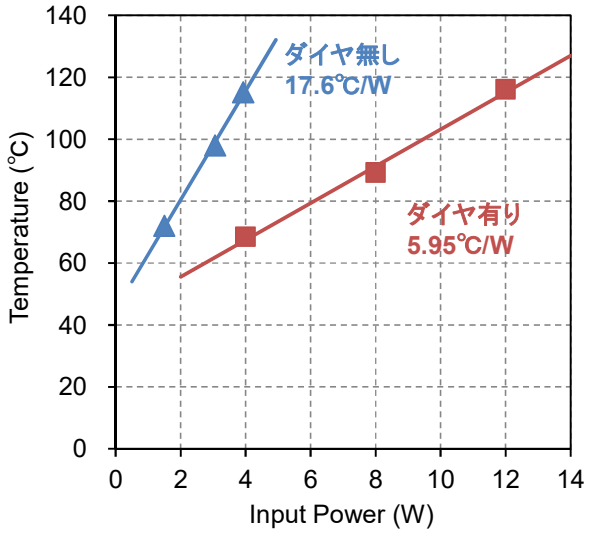


図 9-9　熱抵抗評価におけるダイヤ有無の比較（再掲）

最後に、パワー測定の結果を示す。チューナーにより最適なインピーダンス整合点を求め、その時点でのトランジスタへの入力パワーと出力パワーの相関（P_{in}–P_{out} 特性）を評価した（ロードプル評価）。

まず、S 帯（3 GHz 帯）でのロードプル評価において、図 9-10 に、V_{ds} を 50 V に固定した際の、出力パワー密度のパルス Duty 比依存を示す。パルス幅は 10 μs にて固定し、パルス周期を変化させた。図 9-11 にパルス測定の概要を示す。ダイヤ接合無しのサンプルは、パルス Duty 比が増える、つまりパルス占有率が増加するに従い、熱の影響により出力が下がってくる。一方、ダイヤ接合有りのサンプルは、その減少分がかなり抑制されていることが分かる。10%パルスと 90%パルスの差分は、ダイヤ無しで 1.83 W/mm、ダイヤ有りで 0.39 W/mm であり、熱による影響を 80%近く低減させることが可能となった。

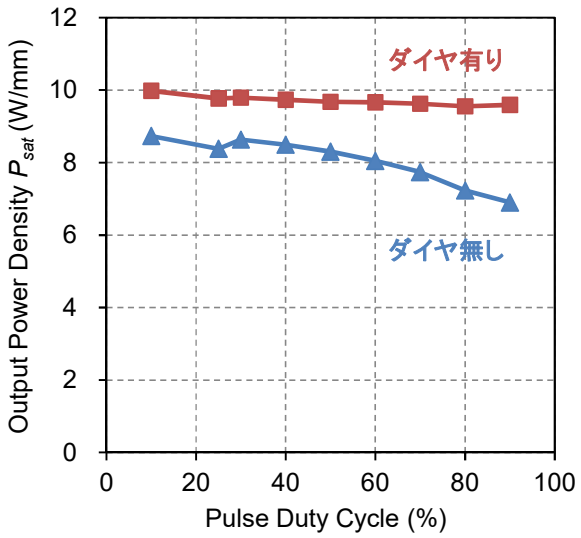


図 9-10　出力パワー密度のパルス Duty 比依存

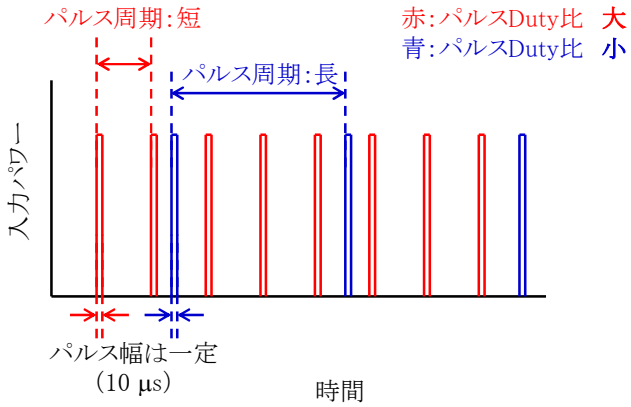


図 9-11　パルス測定の概要

次に、同じく S 帯において、P_{in}–P_{out} 特性の飽和出力の動作電圧依存を取得した（図 9-12)。なお、ダイヤ有り無し両サンプル共に、銅プレートに銀ペーストにて実装を行っている。最終試作（Ⅰ）のサンプルにおいては、ダイヤ有り無しに関わらず、動作電圧 100 V まで破壊することなく測定できた。一方、同様のプロセスにて作製した通常の AlGaN 電子供給層 HEMT のサンプルを図中の緑色のプロットにて示す。AlGaN 電子供給層では 2 種類の Al 組成共に 70 V 程度で破壊してしまうものが散見される（図 9-13：破壊後のサンプル写真）が、本研究成果の InAlGaN 電子供給層は非常に強固なデバイスを実現させることができた。これは、スペーサ層の挿入による InAlGaN 電子供給層の内部電界低減を、メカニズムの可能性の一つとして考えている。図 9-14 はゲート電極直下のエネルギーバンド図であり、線の傾きが電界強度を表している。スペーサ層の挿入により、InAlGaN 層の内部電界強度が抑制されていることが分かる。また、図 9-12 では、

パルス Duty 比やダイヤ有無の差も確認できた。これは、熱の影響がある場合、主に移動度低下などの原因により特性が劣化することを示している。ダイヤ接合をすることにより、パルス 10%において 14.8 W/mm から 19.8 W/mm へ、パルス 1%においては、19.9 W/mm から 22.3 W/mm へと大きく改善することができた。10%のダイヤ有り品と 1%のダイヤ無し品がほぼ重なった特性を示していることから、ダイヤ接合により、およそ 10 倍の熱量を放熱処理できていることが分かった。また、今回は所有する設備の関係で動作電圧の最大値は 100 V だが、ダイヤ接合における 1%パルス測定では、更に出力が向上される可能性がある。同様のプロセスにて作製した S 帯 AlGaN/GaN-HEMT のパワー密度（図中の緑色のプロット）は 6.5 W/mm 程度であり、本研究での 22.3 W/mm はこれを 3 倍以上と大きく凌駕することができた。

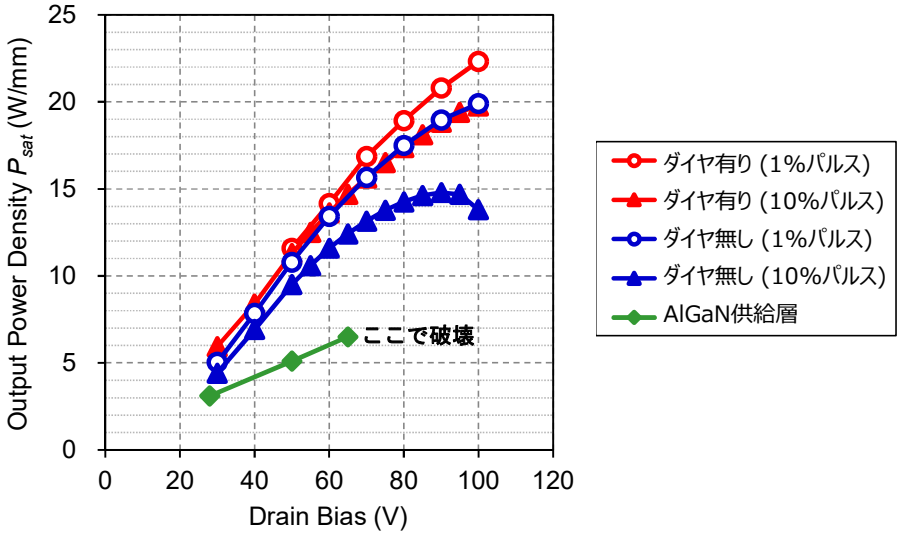


図 9-12　最終試作（Ⅰ）における出力パワー密度の動作電圧依存

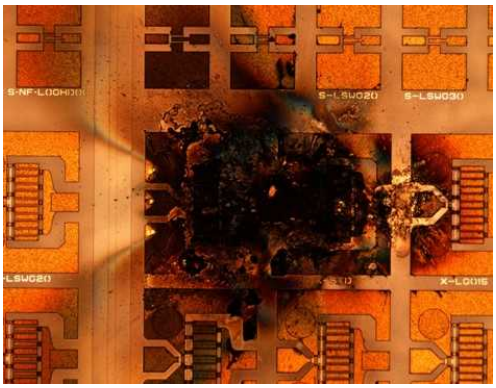


図 9-13　パワー測定時の破壊サンプルの例

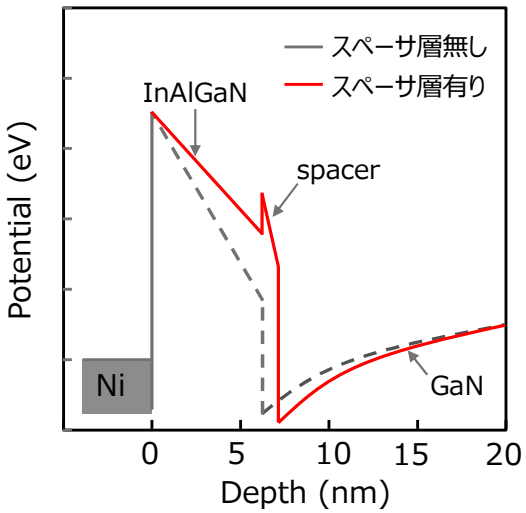


図 9-14　ゲート電極直下のエネルギーバンド図（模式図）

２．３．９．９　最終試作（Ⅱ）MIS ゲート

MIS ゲートの最大の利点は、ショットキーゲートに比べて順方向ゲート耐圧を大きくできる点にある。パワーアンプにおいて入力電力を増加させた場合、ドレイン電圧とゲート電圧のバランスによりゲート電極とその直下の半導体の間に順方向の立ち上がり電圧以上の電位差が生じると、ゲート電流が一気に流れてしまい出力電力が頭打ちとなってしまう。ショットキーゲートの順方向立ち上がり電圧は、概ね半導体と電極金属の材料物性に起因したショットキーバリアハイトで決まる。そこで、飽和領域での順方向ゲートリーク電流を抑制するため、MIS ゲートが有効となる。最終試作（Ⅱ）では、２．３．５項で開発を進めてきた“低トラップ絶縁膜”を MIS ゲートに適用し、DC 特性、及びパワー特性の評価を行った。

図 9-15 は順方向ゲートリーク電流を MIS とショットキーで比較した結果である。この結果から、MIS ゲートの採用により順方向耐圧が 7.7 V にまで向上し、ゲート電圧を 7 V 程度まで振り込めることがわかった。

図 9-16 は、2 端子逆方向耐圧測定の結果である。MIS ゲートのリーク電流は V_{gd}=-40 V において 3.5×10^{-9} A/mm と、ショットキーゲートよりも 3～4 桁ほど低い値を示している。その後、リーク電流が徐々に増加し、最終的には 150 V 前後で絶縁破壊に至った。最終試作では、InAlGaN 電子供給層による 2DEG 部のキャリア密度低減により、ゲート端の電界集中が緩和しているため、MIS ゲートの耐圧も一次試作より大幅に向上したが、ショットキーゲートを上回る耐圧は得られなかった。この点については、現状における MIS ゲートの課題であり、今後改善していく必要がある。

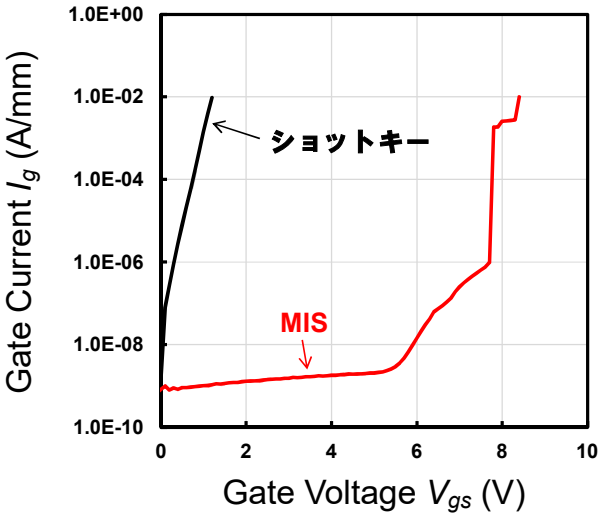


図 9-15　順方向ゲートリーク電流

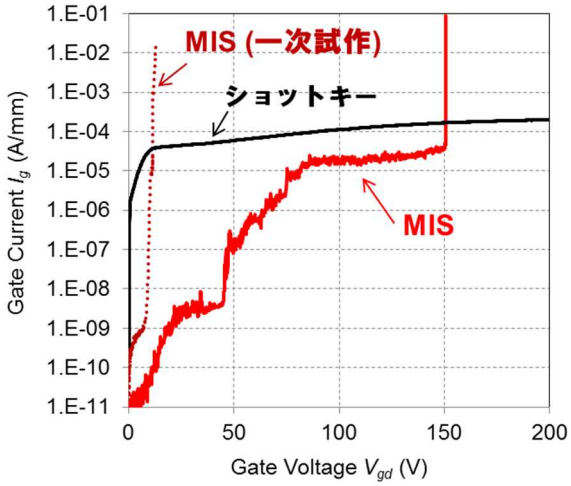


図 9-16　最終試作（Ⅱ）における 2 端子逆方向耐圧

次に、試作したデバイスの 3 端子パルス I-V 評価を行った（パルス I-V の評価方法については２．３．３項を参照)。MIS ゲートの特性を図 9-17（a)に、ショットキーゲートの特性を図 9-17（b)に示す。この結果から、ショットキーゲートの最大ドレイン電流は 1200 mA/mm 程度（@ V_{gs}= 2 V）であるのに対し、MIS ゲートは Vg= 3 V において 1550 mA/mm と、順方向に振り込むことで最大ドレイン電流が 30%程度向上することがわかった。また、電圧ストレス印加後（V_{ds}= 20 V）のドレイン電流減少率から電流コラプスを見積もると、MIS ゲートの採用により電流コラプスが大きく抑制されることがわかった（ドレイン電流減少率が 19%から 2%に低減)。これは、２．３．５項（低トラップ絶縁膜技術）で述べたように、絶縁膜である Al_2O_3 の成膜前に In 系電子供給層の表面を水

蒸気処理することで、Al_2O_3/InAlGaN 界面における電子トラップが低減した効果と考えられる。

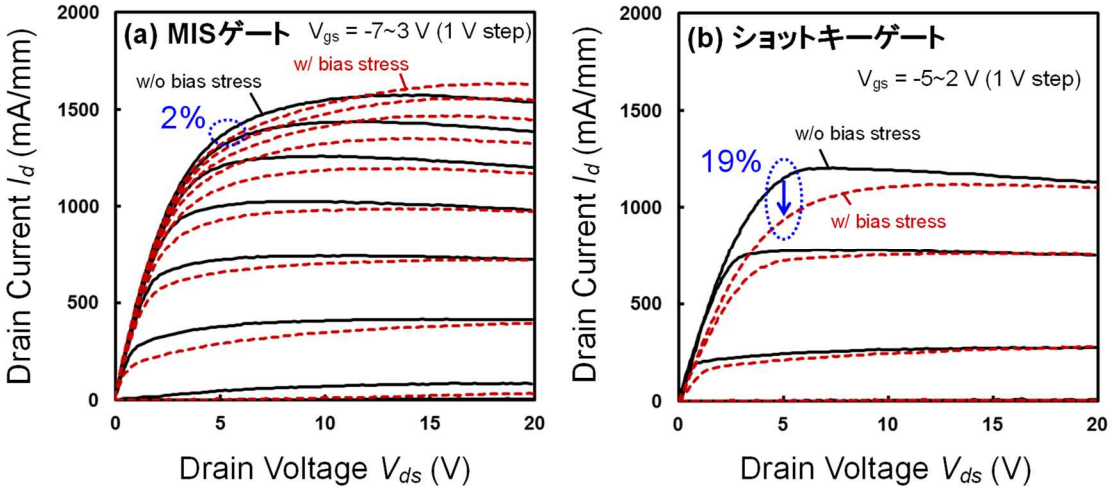


図 9-17　パルス I-V 測定による電流コラプス評価

次に、S 帯において、ロードプル評価における P_{in}-P_{out} 特性の動作電圧依存性をウェハ状態で取得した（図 9-18）。図 9-18 (a)に出力パワー密度（P_{sat}）、図 9-18 (b)に電力付加効率（PAE: Power-Added Efficiency）の評価結果を示す。この結果から、各動作電圧において P_{sat} は MIS ゲートの方が高く、出力特性が向上していることがわかる。これは、図 9-15 で示したように、MIS ゲートは順方向ゲートリーク電流が低く、より高い順方向電圧を印加できるため、ドレイン電流が増加した効果と考えられる。また、図 9-19 (b)に示す効率の動作電圧依存からは、MIS ゲートの採用により効率が 10%程度向上することが明らかとなった。これは、MIS ゲート形成時の界面改質（パッシベーション膜/InAlGaN）によって電子トラップが低減し、電流コラプスが抑制された効果と考えられる。

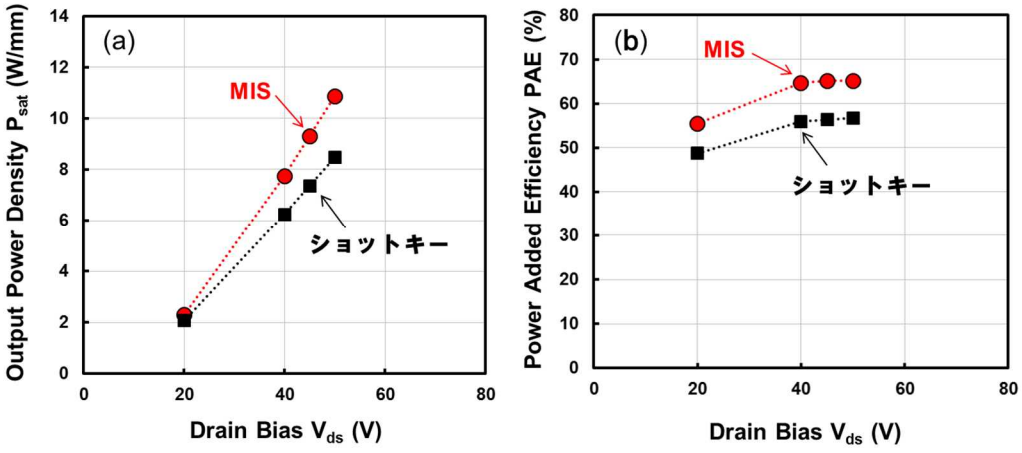


図 9-18　出力パワー密度，電力付加効率の動作電圧依存性

最後に、統合デバイスの裏面にダイヤモンドを接合し、P_{in}-P_{out}特性を評価した結果を図 9-19 に示す。通常の AlGaN/GaN-HEMT のサンプルを図中の緑色のプロットにて示す。この結果から、動作電圧 50 V における MIS ゲートの出力パワー密度は 12.6 W/mm と、ダイヤモンド接合前の値（10.9 W/mm）よりも更に向上することが明らかとなった。これは最終試作（Ⅰ）で述べたように、ダイヤモンドを用いた放熱により、移動度低下など、特性劣化要因が抑制された効果と考えられる。今回の評価では、MIS ゲートの耐圧により、動作電圧の上限は 50 V としたが、今後、低トラップ絶縁膜の絶縁性を向上するとともに、デバイス構造の工夫によりゲート絶縁膜部での電界緩和が実現した際には、動作電圧を上げることで更にパワー特性が向上すると期待できる。

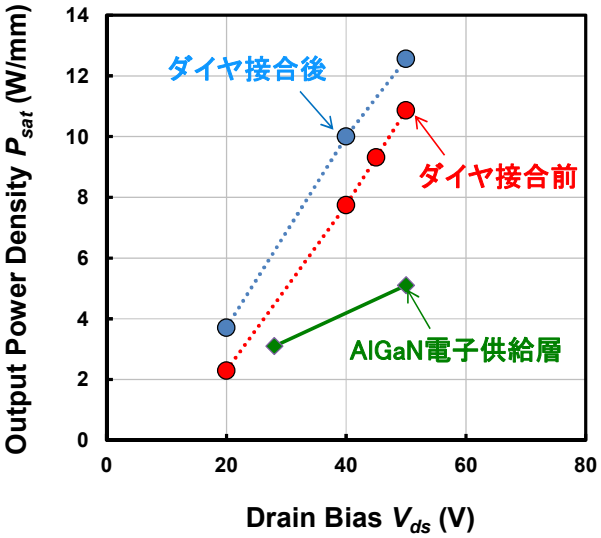


図 9-19　出力パワー密度の動作電圧依存性

２．３．９．１０　まとめ

本研究開発にて進めてきた要素技術を統合することにより、デバイスの高性能化を図った。統合時にゲートリーク電流及び破壊耐圧という新たな課題も明らかになり、これらを解決することで、デバイス特性の大幅な向上を達成した。なお、統合にあたっては、各要素技術の適用数を徐々に増やすことにより、平成 29 年度は全部で 4 通りの試作を行った。本研究開発の最終結果として、ミリ波帯、マイクロ波帯の両周波数帯において、最終目標である「現行素子サイズで従来比出力 2 倍」を充分に達成させることができた。

３．成果の外部への発表及び活動

１．学会等における口頭・ポスター発表

発表した成果（発表題目、口頭・ポスター発表の別）	発表者氏名	発表した場所（学会等名）	発表した時期	国内・外の別
Ultrathin Al2O3 Plasma-enhanced Atomic Layer Deposition on H2O-pretreated InAlN/GaN MIS-HEMTs（ポスター発表）	尾崎史朗、牧山剛三、多木俊裕、山田敦史、小谷淳二、新井田佳孝、佐藤優、鎌田陽一、美濃浦優一、佐藤元伸、岡本直哉、中村哲一	The 47th IEEE SISC 2016 (Semiconductor Interface Specialists Conference)	2016年12月	国外
Electron mobility enhancement in MOVPE-grown InAlN-HEMTs by control of surface morphology of spacer layer（口頭発表）	山田敦史、石黒哲郎、小谷淳二、中村哲一	ISPLasma2017	2017年3月	国内
Advanced HEMTs and MMICs Technologies for Next-Generation Millimeter-wave Amplifiers（口頭発表）	牧山剛三、多木俊裕、尾崎史朗、新井田佳孝、岡本直哉、美濃浦優一、佐藤優、鎌田陽一、石黒哲郎、常信和清、中村哲一、宮本恭幸	12th International Coference on Nitride Semiconductors	2018年7月	国外
InAlNHEMT構造のMOVPE成長と内部電界制御の必要性（口頭発表）	小谷淳二、山田敦史、中村哲一	2017年応用物理学会秋季学術講演会シンポジウム	2017年9月	国内
InAlGaN/GaN HEMT Device Technologies for High-Power-Density W-band Amplifiers（口頭発表）	牧山剛三、多木俊裕、尾崎史朗、新井田佳孝、岡本直哉、美濃浦優一、佐藤優、鎌田陽一、石黒哲郎、常信和清、中村哲一、宮本恭幸	International Conference on Materials and Systems for Sustainability 2017	2017年9月	国内
Surface Activated Bonding of SiC/Diamond for Thermal Management of GaN Devices（ポスター発表）	美濃浦優一、岡本直哉、佐藤元伸、多木俊裕、尾崎史朗、牧山剛三、小谷淳二、山田敦史、石黒哲郎、常信和清、中村哲一	The 48th IEEE SISC 2017 (Semiconductor Interface Specialist Conference)	2017年12月	国外
選択再成長およびバックバリア技術を応用した世界最高性能W帯増幅器（口頭発表）	牧山剛三、多木俊裕、尾崎史朗、新井田佳孝、岡本直哉、美濃浦優一、佐藤優、鎌田陽一、石黒哲郎、常信和清、中村哲一、宮本恭幸	電気学会「次世代化合物半導体デバイスの機能と応用(第2期)」調査専門委員会	2017年12月	国内
High-Power-Density GaN HEMT Amplifiers for Millimeter-Wave Applications（口頭発表）	牧山剛三、多木俊裕、尾崎史朗、新井田佳孝、岡本直哉、美濃浦優一、佐藤優、鎌田陽一、石黒哲郎、常信和清、中村哲一	UKNC(イギリス窒化物コンソーシアム)の Winter Conference 2018	2018年1月	国外
高周波アプリケーション向けHEMTの現状と将来（口頭発表）	高橋剛、牧山剛三	応用物理学会春季学術講演会分科企画シンポジウム	2018年3月	国内
GaN-HEMTの高出力化に向けた SiC/ダイヤモンド常温接合技術（口頭発表）	美濃浦優一、岡本直哉、佐藤元伸、多木俊裕、尾崎史朗、牧山剛三、小谷淳二、山田敦史、石黒哲郎、常信和清、中村哲一	日本学術振興会産学協力研究委員会　接合界面創成技術第191委員会主催「第15回委員会・講演会」	2018年3月	国内
Thermal Analysis of GaN-HEMT/SiC on Diamond by Surface Activated Bonding（口頭発表）	岡本直哉、美濃浦優一、佐藤元伸、多木俊裕、尾崎史朗、牧山剛三、山田敦史、小谷淳二、常信和清、中村哲一	2018 International Conference on Compound Semiconductor Manufacturing Technology	2018年5月	国外
Thermal Management of High Power GaN-HEMTs by Surface Activated Bonding of SiC/Diamond（口頭発表）	岡本直哉	Advancements In Thermal Management 2018	2018年8月	国外

２．学会誌・雑誌等における論文掲載

掲載した論文（発表題目）	発表者氏名	発表した場所 （学会誌・雑誌等名）	発表した時期	国内・外の別
Electron mobility enhancement in metalorganic-vapor-phase-epitaxy-grown InAlN high-electron-mobility transistors by control of surface morphology of spacer layer	山田敦史、石黒哲郎、小谷淳二、中村哲一	Japanese Journal of Applied Physics (57,01AD01 2018)	Jan-18	国外

３．知的財産権の申請状況

実施年度	発明の名称	発明者（所属）	出願登録区分	出願番号（出願日）	出願区分	出願国
29	化合物半導体装置及びその製造方法	山田　敦史,小谷　淳二	出願	2018-002897	国外国別	日本、米国
29	半導体装置及びその製造方法	山田　敦史,小谷　淳二	出願	2018-053234	国外国別	日本、米国
29	化合物半導体装置及びその製造方法	石黒　哲郎,山田　敦史, 小谷　淳二,中村　哲一, 牧山　剛三	出願	2017-137262	国外国別	日本、米国
28	化合物半導体基板及びその製造方法、化合物半導体装置及びその製造方法、電源装置、高出力増幅器	山田　敦史	出願	2016-189942	国内	日本
28	化合物半導体基板及びその製造方法、化合物半導体装置及びその製造方法、電源装置、高出力増幅器	山田　敦史	出願	15/676451	国外国別	米国
28	半導体装置及びその製造方法	美濃浦　優一,岡本　直哉	出願	2017-088692	国内	日本
28	半導体装置及びその製造方法	美濃浦　優一,岡本　直哉、 多木　俊裕	出願	2017-155032	国外国別	日本、米国
28	化合物半導体装置及びその製造方法	牧山　剛三,美濃浦　優一	出願	2017-244455	国外国別	日本、米国
28	半導体装置、電源装置及び増幅器	牧山　剛三,岡本　直哉	出願	2017-019694	国内	日本

４．プレスリリース

実施年度	発表タイトル	発表日	所属
29	W帯向け窒化ガリウム送信用パワーアンプで世界最高の出力密度を達成 無線通信の長距離化・大容量化と低消費電力化を実現	2017年7月24日	富士通株式会社 株式会社富士通研究所
29	世界初、単結晶ダイヤモンドと炭化シリコンを常温で接合する技術を開発 効率的に冷却し、GaN-HEMT送信用パワーアンプの 高出力化によりレーダーの観測範囲を約1.5倍に拡大	2017年12月7日	富士通株式会社 株式会社富士通研究所

５．関連報道　等

実施年度	報道内容	新聞掲載	Web掲載
29	W帯向け窒化ガリウム送信用パワーアンプで世界最高の出力密度を達成 無線通信の長距離化・大容量化と低消費電力化を実現	日経産業新聞 化学工業日報 電波新聞　他	日経テクノロジー online Semicoductor Today Compound Semiconductor　他
29	世界初、単結晶ダイヤモンドと炭化シリコンを常温で接合する技術を開発 効率的に冷却し、GaN-HEMT送信用パワーアンプの 高出力化によりレーダーの観測範囲を約1.5倍に拡大	化学工業日報	日本経済新聞 電子版 朝日新聞デジタル Compound Semiconductor　他

６．展示会　出展

実施年度	展示内容	展示会名	開催期間
29	GaN-HEMTを用いた大容量無線通信技術を開発 世界に先駆けてW帯大容量無線通信の長距離化・省電力化を両立	ワイヤレス・テクノロジー・パーク 2018	2018年5月23日～25日

４．まとめ、今後の予定

本研究はヘテロ構造最適化による高周波デバイスの高出力化実現を最終目的とする。今年度は、高出力化の基幹となる要素技術群の開発・検討および各要素技術を統合したデバイス試作と性能評価を実施し、全項目において設定目標を達成した。以下に項目別の研究成果をまとめる。

① InAlN, InAlGaN 系結晶成長技術の開発
InAlGaN 層の組成制御技術を確立し、シート抵抗と平坦性の数値目標を達成した。

② バックバリア成長技術の開発
低不純物濃度を実現する成長条件最適化を実施し、オフリーク電流の数値目標を達成した。

③ コンタクト抵抗低減技術の開発
MOCVD 法を用いた再成長技術を開発し、MBE 法を上回る低コンタクト抵抗を実現した。

④ 高電流構造シミュレーション
要素技術融合構造をモデル化した計算手法を確立し、実測値再現性±10%を達成した。

⑤ In 系窒化物半導体向け低トラップ絶縁膜技術の開発
2 層絶縁膜の最適化を実施し、閾値電圧変動とゲートリーク電流抑制の数値目標を達成した。

⑥ 高放熱構造設計
熱抵抗を従来比 30%低減する界面熱抵抗を算出すると共に、実測とシミュレーションの整合性を検証した。

⑦ 接合用切削・研磨技術の開発
エッジ加工を施した基板サポート技術を適用し、SiC 薄化と平坦性の数値目標を達成した。

⑧ 接合プロセス技術開発
極薄カバー膜を付与する表面活性化接合技術を確立し、熱抵抗低減の数値目標を達成した。

⑨ 要素技術統合向けインテグレーション
要素技術を融合したデバイス試作を実施し、現行素子サイズで従来比出力 2 倍を達成した。

以上、本研究の最終目標を達成し、委託業務を完了した。