

令和 4 年度 防衛装備庁
安全保障技術研究推進制度

研究成果報告書

超高耐圧 α 型酸化ガリウムパワー半導体 とパルス電源の基礎研究

令和 5 年 5 月

株式会社 F L O S F I A

本報告書は、防衛装備庁の安全保障技術研究推進制度による委託業務として、株式会社 F L O S F I A が実施した令和4年度「超高耐圧 α 型酸化ガリウムパワー半導体とパルス電源の基礎研究」の成果を取りまとめたものです。

1. 委託業務の目的

1. 1 研究課題の最終目標

本委託業務は、高電圧・大電流のパルス電源の実現を目的とし、 α -Ga₂O₃を用いたスイッチング素子の開発、及び開発した素子を用いたパルス電源のシステム化に取り組む。それぞれの取組における最終目標は以下のとおり。

(1) スwitchング素子の開発

超高耐圧大電流パワーデバイスの開発を目的とした、 α -Ga₂O₃材料の基礎検討及びウェハ開発を行い、最終目標である耐圧20kV1kA級IGBT実現のための要素技術を開発する。大電流化を検証するためのステップとして耐圧1.7kV100A級MOSFETを開発し、高耐圧化を検証するためのステップとして耐圧10kV10A級MOSFETを開発する。さらに、開発した要素技術を適用して、超高耐圧化（20kV以上）を図った小面積のPiNダイオード及びIGBTの試作・評価を行い、それらの成果から最終目標とする耐圧20kV1kA級IGBT実現の可能性を示す。各ステップのデバイスにおける目標値は次のとおり。

- ・ 定量的な目標値1（大電流化）：耐圧1.7kV以上、電流容量100A以上のMOSFETを実証
- ・ 定量的な目標値2（高耐圧化）：耐圧10kV以上、電流容量10A以上のMOSFETを実証
- ・ 定量的な目標値3（ハイリスク研究）：耐圧20kV以上のPiNダイオードを実証
- ・ 定量的な目標値4（ハイリスク研究）：耐圧20kV以上のIGBTを実証

(2) パルス電源のシステム化

パルス電源に適したエネルギー貯蔵方式、及び（1）で開発した耐圧1.7kV100A級MOSFETを用いて1kV5kA級のパルス電源ミニモデルを仮作し、模擬負荷によって実証を行う。さらに、耐圧20kV1kA級IGBTの予想特性、及び将来のエネルギー貯蔵システムの性能を勘案した回路、熱及び構造シミュレーションにより、電圧10kV1MA級パルス電源へのスケールアップが可能であることを検証する。

- ・ 定量的な目標値1: 耐圧1.7kV100A級MOSFETを用いて1kV5kA級パルス電源ミニモデルを仮作し、模擬負荷によって実証を行う。

1. 2 最終目標を実現するために克服又は解明すべき要素課題

(1) スwitchング素子の開発

(i) 基礎検討

デバイスの設計に必要なバルク移動度（IGBTのオン電圧設計に必要）やインパクトイオン化率（IGBTの耐圧設計に必要）等の各種物性定数の取得、また、 α -Ga₂O₃では未踏領域であり、高耐圧バイポーラデバイスで必須となる、少数キャリアライフタイム制御技術の開発（IGBTのオン電圧とスイッチング特性の設計に必要）、p層の開発（IGBTコレクタ層のホール注入効率制御に必要）及び拡張欠陥密度の低減（IGBTの特性変動抑制に必要）を行う必要がある。

(ii) ウェハ開発

超高耐圧大電流パワーデバイスに必要な高品質基板、及びその上に形成する耐圧20kV対応の厚膜・低濃度エピ層の開発が必要である。

(iii) 素子開発

耐圧20kV対応の接合終端技術及びパシベーション技術、並びにIGBT製造に必要な各種要素プロセス技術の開発が必要である。

(iv) パッケージ開発

耐圧 20kV 対応の実装技術開発が必要である。

(v) 耐圧20kV1kA級IGBT実現可能性の検証

将来スケールアップした 10kV1MA 級パルス電源システムで用いる、耐圧 20kV1kA 級 IGBT の実現可能性の検証及び将来特性予測が必要である。

(vi) α -(AlGa)₂O₃の予備研究

α -(AlGa)₂O₃ はダイヤモンド及び AlN よりも大きな絶縁破壊電界が期待できる新材料であり、 α -Ga₂O₃ と材料物性が近いことから、基本的なデバイス製造プロセスを転用できると考えられるが、最近、n 型半導体の動作が実証されたばかりであり、デバイスとしての実現性を高める上で、高品質結晶成長・成膜技術の開発や半導体特性の検証等、基礎的な検討が必要である。

(2) パルス電源のシステム化

(i) スイッチング回路設計

α -Ga₂O₃ 単一素子で耐圧を確保することを前提とした、回路トポロジーの考案、設計、回路シミュレーション、熱シミュレーション及び構造シミュレーションを実施する必要がある。

(ii) 電圧1kV5kAミニモデルの仮作及び試験評価

(1) で試作する、素子耐圧 1.7kV 100A の α -Ga₂O₃ MOSFET を使用して電圧 1kV-電流 5kA のミニモデルを仮作し、模擬負荷を接続して設計通りに動作することを確認し、 α -Ga₂O₃ スイッチング素子を使用したパルス電源システムのコンセプト実証、設計手法及び各種シミュレーションの妥当性の確認を行う必要がある。また、大電流化に向けて、スイッチング素子の並列化を併せて検討する必要がある。

1. 3 要素課題に対する実施項目及び体制

これらの要素課題に取り組むため、株式会社 F L O S F I A は実施項目 (1) (i)、(ii)-b、(iii)~(vi) 及び (3) を実施する。国立研究開発法人物質・材料研究機構では、実施項目 (1) (ii)-a を担当する。三菱重工業株式会社では実施項目 (2) を担当する。実施項目の詳細及び中間評価 (令和 2 年 12 月頃までに実施予定) までに達成すべき目標は下記のとおり。

(1) スイッチング素子の開発

(i) 基礎検討 (担当: 株式会社 F L O S F I A)

耐圧 20kV 級までのデバイス設計に必要な低濃度エピ層におけるバルク移動度及びインパクトイオン化率の測定、バイポーラデバイスのオン電圧低減に必要な深い準位の評価及び少数キャリアライフタイム制御技術の開発、ホール注入効率を制御できる p 層の開発並びに安定動作を実現するための拡張欠陥密度低減技術の開発を行う。本検討に際しては、適切な方法でアカデミアからの技術コンサルを受け、最先端の技術的な基盤の上に各種技術の開発を進める。

令和 2 年度の各種デバイス開発 (耐圧 10-20kV 終端開発、耐圧 1.7kV100A MOS 開発、耐圧 10kV10A MOS 開発及び耐圧 20kV PiN 試作・評価) 開始時に、それまでの基礎検討の結果 (バルク移動度・インパクトイオン化率の基礎評価、深い準位の評価、p 層の E_g 拡大及び拡張欠陥の挙動把握) をデバイス技術に導入する。これらの物性定数は、エピ層の高品質化によって、より材料の本来の特性に近い値が得られるようになるため、それ以後も継続して評価を実施し、令和 3 年度以降のデバイス開発に順次反映させる。

【中間評価で達成すべき目標】

- ・基礎物性（バルク移動度、インパクトイオン化率及び深い準位）の定量的な評価に目途をつけ、得られた基礎物性をデバイスシミュレーションに組み込む。

(ii)-a ウェハ開発用 高品質結晶成長技術の開発（担当：国立研究開発法人物質・材料研究機構）

超高耐圧大電流パワーデバイスに必要な α -Ga₂O₃ の高品質基板、及び耐圧 20kV 対応の高品質厚膜・低濃度エピ層の開発を HVPE 法により行う。基礎的な結晶欠陥の挙動解析に基づき、超格子バッファ層や横方向成長技術等を用いて高品質結晶の成長技術を開発する。

令和 1 年度までの HVPE 法による基板成長技術の調査・検討結果は、(ii)-b のウェハ開発に順次反映させる。令和 2 年度以降の HVPE 法による高品質基板開発及び耐圧 20kV 向けエピ代替基板の開発結果は、(ii)-b での自立基板の作製及びその上の厚膜・低濃度エピ成長に反映して令和 3 年度以降の各種デバイス開発の試作に用いる。

【中間評価で達成すべき目標】

- ・本格的に検討する対象技術の絞り込みを完了し、高品質基板開発及び耐圧 20kV 向けエピ代替基板の開発に着手する。

(ii)-b ウェハ開発（担当：株式会社 F L O S F I A）

(ii)-a で開発した高品質結晶成長技術を基に、(iii) で使うウェハを開発する。HVPE 法による自立基板の高品質化、及びミス CVD 法による耐圧 20kV 対応の厚膜・低濃度エピ層の開発を行う。同一材料上にエピタキシャル成長を行うホモエピタキシャル成長が可能となれば、超高耐圧デバイスに必要な高品質な厚膜・低濃度エピ層、及び 100A 級の大容量チップの製造が可能となる。この 100A 級の大容量チップを並列実装することにより、1kA を超えるデバイスへの見通しを得る。

自立基板の高品質化並びに耐圧 1.7kV 及び 10-20kV 向けエピ開発の結果は、令和 2 年度以降の各種デバイス開発の試作で導入する。令和 3 年度以降は(ii)-a の成果を順次取り入れて、ミス CVD 法に加え HVPE 法による自立基板上への厚膜・低濃度エピ成長も実施し、デバイス開発の試作に用いる。

【中間評価で達成すべき目標】

- ・耐圧 10kV 対応の厚膜・低濃度エピ層の開発完了
- ・自立基板の高品質化手段の明確化

(iii) 素子開発（担当：株式会社 F L O S F I A）

チップ端部の電界強度を緩和するための耐圧 20kV 対応接合終端技術、放電防止のためのパシベーション技術、及び IGBT の素子構造を製造するための各種要素プロセス技術の開発を行う。大電流化を検証するために耐圧 1.7kV100A 級 MOSFET を開発するとともに、高耐圧化を検証するために耐圧 10kV10A 級 MOSFET を開発する。さらに、(i) 及び(ii) で開発した技術を統合し、小面積の耐圧 20kV 級 PiN ダイオード及び IGBT の試作・評価を行う。

【中間評価で達成すべき目標】

- ・耐圧 10kV 対応接合終端技術・パシベーション技術の開発完了
- ・高注入 PiN ダイオードの開発完了

(iv) パッケージ開発（担当：株式会社 F L O S F I A）

耐圧 20kV 級のチップを実装するためのパッケージを開発する。

【中間評価で達成すべき目標】

- ・耐圧 10kV 実装技術の開発完了

(v) 耐圧20kV1kA級IGBT実現可能性の検証（担当：株式会社F L O S F I A）

上記の(i)～(iv)で開発した技術に基づき、耐圧20kV1kA級IGBTの実現可能性を検証する。

(iii)で開発した耐圧20kV級小面積IGBT及び耐圧1.7kV100A級MOSFETの試作・評価結果に基づき、耐圧20kV100A級IGBTチップの実現可能性について、シミュレーション等により検証する。また、小面積IGBTの電気特性評価結果に合わせ込んで高精度化したシミュレーション等により、複数個のチップを並列接続した場合のスイッチング動作を解析し、均一な電流分担でスイッチングできるか検証する。これらの結果を総合して、耐圧20kV100A級IGBTチップ10個を搭載したモジュールの実現可能性を検証する。さらに、製造プロセスの高度化等を考慮したシミュレーションにより、将来のIGBTの特性予測を行う。

【中間評価で達成すべき目標】

- ・なし（令和4年度に実施）

(vi) α -(AlGa)₂O₃の予備研究（担当：株式会社F L O S F I A）

α -Ga₂O₃に続く将来のデバイス材料として、現時点で最高性能の実現の可能性がある α -(AlGa)₂O₃について基礎検討を行う。この材料は α -Ga₂O₃よりもバンドギャップが広く、超高耐圧でより低損失なパワーデバイスを実現できる可能性がある。

【中間評価で達成すべき目標】

- ・ α -(AlGa)₂O₃のバンドギャップ拡大及び高温耐熱性向上の確認

(2) パルス電源のシステム化

(0) エネルギー貯蔵方式の調査及び検討（担当：三菱重工業株式会社）

高電圧大電流パルス電源を実現するには、高出力密度のエネルギー貯蔵デバイスを採用するとともに、線路の低抵抗化／低インダクタンス化を実現し、同時に高いエネルギー密度を確保することが不可欠である。エネルギー貯蔵デバイスの選定に際しては、(1)強誘電体キャパシタ、電気二重層キャパシタや二次電池等の静電蓄積方式、(2)コンパルセータ等の運動エネルギー蓄積方式、(3)超電導電力貯蔵(SMES)等の磁気エネルギー蓄積方式等の候補の中から、パルス電源に求められる①出力密度、②エネルギー密度、③出力電流波形の制御性、④電力システムとの親和性等の観点で比較検討を行い、将来的な技術予測を含め、小型に構成できるとともに、繰り返し耐久性を有し、目標のパルス波形が出力可能になる方式を選定する。

【中間評価で達成すべき目標】

- ・パルス電源に有望なエネルギー貯蔵方式の検討完了

(i) スwitching回路設計（担当：三菱重工業株式会社）

半導体スイッチング素子の適用においては、高速応答特性及び耐圧／絶縁特性を考慮した回路トポロジーの適正化が不可欠である。そのため、パルス電源（その1）の回路設計では、代表機関から入手可能な低電圧用 α -Ga₂O₃素子に対し、電気特性の評価結果やデバイスシミュレータの結果等から抽出したパラメータを基に、回路シミュレータにおいて検討を行い、 α -Ga₂O₃素子特性を盛り込んだ回路トポロジーの選定及び回路設計を行う。

パルス電源（その2）の回路設計では、代表機関から入手可能な1.7kV100Aの α -Ga₂O₃素子に対するスイッチング回路設計を実施する。設計に向け、パルス電源（その1）での模擬負荷に対する高速応答特性について、課題を明らかにして反映する。さらに、 α -Ga₂O₃素子による高電圧大電流回路開発に向けた高速応答性、低損失化（発熱特性）、絶縁対策、冷却対策や電磁力対策等の検討に必要な熱解析及び構造シミュレーションを開発し、高電圧大電流用回路トポロジーの適正化を行う。

【中間評価で達成すべき目標】

- ・パルス電源に有望な回路トポロジーの検討完了

(ii) 低電圧パルス電源ミニモデルの仮作及び評価（担当：三菱重工業株式会社）

・ミニモデル仮作（その1）

代表機関から入手可能な低電圧用 α -Ga₂O₃ 素子を用い、スイッチング回路設計で選定した回路トポロジーによるパルス電源（その1）を仮作する。

・ミニモデル評価

簡易的な模擬負荷を接続してスイッチング特性評価を行い、選定した回路トポロジーの妥当性を確認する。ミニモデルによる実測評価及び回路シミュレータの結果の整合性を確認し、回路シミュレータの改善点を明確にする。

【中間評価で達成すべき目標】

- ・パルス電源(その1)を設計・製作し、評価を完了。

(iii) 電圧1kV5kAパルス電源ミニモデルの仮作及び評価（担当：三菱重工業株式会社）

・ミニモデル仮作（その2）

エネルギー貯蔵システム及び回路トポロジーの検討結果並びに（1）(iii)で開発した耐圧 1.7kV100A 級 α -Ga₂O₃ MOSFET 素子を組み込んだ電圧 1kV5kA ミニモデル（パルス電源(その2)）を仮作する。

・ミニモデル評価

仮作したミニモデルに模擬負荷を接続して動作確認を実施する。ミニモデルの実測評価及び各種シミュレーションの妥当性を検証し、 α -Ga₂O₃ スwitching素子を用いたパルス電源システムのコンセプトが妥当である事を確認する。

・将来のスケールアップ実現性検証

上記ミニモデル仮作・評価結果並びに（1）(v)で検証した耐圧 20kV1kA 級 IGBT の将来予測特性に基づいた熱、回路及び構造シミュレーションの結果から、電圧 10kV1MA システムの実現性を検証する。

【中間評価で達成すべき目標】

- ・パルス電源(その2)の設計方針決定

(3) プロジェクトの総合的推進（担当：株式会社 F L O S F I A）

1回／月を基準として「研究開発進捗確認会議」を実施し、研究の進捗状況の確認、技術課題の確認、評価、解決方針の調整、研究の方向性に関する協議や知財関連の活動等のほか、技術動向、業界動向や他者とのベンチマーク等に関する情報共有を行い、プロジェクトの円滑な推進を図る。

本委託業務の実施により得られた成果について、国内外の学会等において積極的に発表し、本研究の更なる進展に努める。なお、研究成果の発表に当たっては、委託契約書の定めに従い、事前に発表内容等を通知する。

2. 研究開始時に設定した研究目標の達成度

(1) スイッチング素子の開発 (担当: 株式会社 F L O S F I A)

- ・ 定量的な目標値1 (大電流化) : 耐圧1.7kV以上、電流容量100A以上のMOSFETを実証
下記の途中段階の成果はあったが、完全縦型化に時間を要し目標値には達しなかった。
 - ① 完全縦型SBDで耐圧1.7kVアンペア級動作を確認した。
 - ② 大電流密度化につながる完全縦型トレンチゲートMOSFETで0.4A通電を確認した。
 - ③ 耐圧1.7kV級MOSFETのシミュレーションによるデバイス設計を完了した。
- ・ 定量的な目標値2 (高耐圧化) : 耐圧10kV以上、電流容量10A以上のMOSFETを実証
下記の途中段階の成果はあったが、目標値には達しなかった。
 - ① 横型PiNダイオードを試作し耐圧10kVを確認した (世界初)。
 - ② 厚膜 (30 μ m)、低濃度 ($1 \times 10^{16} \text{cm}^{-3}$) エピで耐圧10kV級完全縦型PiNダイオードを試作した。
 - ③ 耐圧10kV級MOSFETのシミュレーションによるデバイス設計を完了した。
- ・ 定量的な目標値3 (ハイリスク研究) : 耐圧20kV以上のPiNダイオードを実証
耐圧は10kVまでは確認できたが20kVには至らなかった。
 - ① 薄膜エピでのPiNダイオードで伝導度変調を確認した (世界初)。
 - ② 耐圧20kV級PiNダイオードのシミュレーションによるデバイス設計を完了した。
 - ③ 耐圧20kV向けパッケージ開発を行い20kVの耐圧特性を確認した。
- ・ 定量的な目標値4 (ハイリスク研究) : 耐圧20kV以上のIGBTを実証
デバイスシミュレーションによるデバイス設計までは行ったが、試作は実施しなかった。
 - ① 目標値3②の結果をもとに、耐圧20kV級IGBTのシミュレーションによるデバイス設計を完了した。
 - ② 上記①の結果をもとに静特性・動特性、熱解析、チップ並列動作解析等を行い、耐圧20kV1kA IGBT実現可能性を検討した。

(2) パルス電源のシステム化 (担当: 三菱重工業株式会社)

- ・ 定量的な目標値1: 耐圧1.7kV100A級MOSFETを用いて1kV5kA級パルス電源ミニモデルを仮作し、模擬負荷によって実証を行う。

仮想 α -Ga₂O₃としてSiC MOSFETスイッチングモジュールを適用したパルス電源を仮作して正常動作を確認し、1.1kV 4.6kA 10msecのパルス出力を実証した。

3. 委託業務における研究の方法及び成果

(1) スwitching素子の開発

(i) 基礎検討 (担当: 株式会社 F L O S F I A)

基礎検討では、デバイス設計に必要でありデバイス特性に大きな影響を与える①バルク移動度や②インパクトイオン化率等の基礎評価方法の検討、バイポーラデバイスのオン電圧低減に必要な③深い準位の評価、PiNダイオードのアノード層や IGBT のコレクタ層等に用いる④p型層の検討、及び安定動作を実現するための⑤欠陥評価方法の検討を実施した。

以下、詳述するように全ての項目で大きな進展があり、後述のウェハ開発、素子開発の過程において、ここで構築した基礎技術を活用した。

① バルク移動度の評価

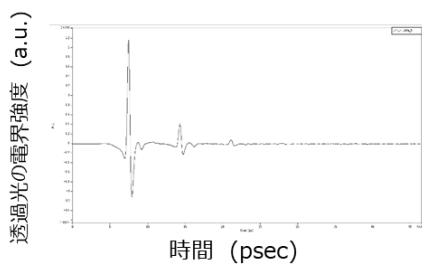
デバイスの順方向特性に影響を与えるバルク移動度 (キャリアの移動のしやすさを表す指標) の評価装置として、電極形成した半導体素子を使って測定することのできる高感度ホール効果測定装置、及び非破壊非接触で測定することのできるテラヘルツ分光装置を導入した。

高感度ホール効果測定装置は、ワイドバンドギャップ半導体向けに高感度で n 型/p 型の判定、キャリア濃度、キャリア移動度の測定ができる装置である。光照射用非磁性ファイバー装置とホール効果測定装置導光孔付磁極も備えて光照射測定が可能な仕様とした。本装置はエピタキシャル成長層のバルク移動度向上、および超高耐圧パワー半導体デバイスのキャリア濃度を設計値にあわせる濃度制御のための測定装置として活用した。

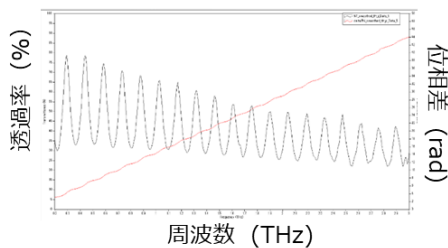
テラヘルツ分光装置は、高感度ホール効果測定装置とは異なり、電極を形成せずに移動度とキャリア密度の非破壊非接触測定が出来ることを特徴としており、簡便にエピタキシャル膜の評価を行うことができる。テラヘルツ光の試料の透過光検出値から透過率と位相差を測定し、その後、Drude モデルにより酸化ガリウム膜の複素誘電率を計算し測定値と比較することで、膜の導電率、移動度、キャリア密度を求める (図 1-1)。

解析手順

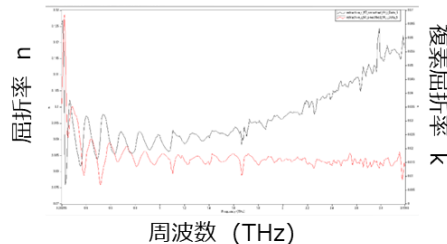
1. 試料 (半導体膜+基板) を透過するテラヘルツ光を測定



2. 基板 (比較用) との差分から膜透過率と位相差を計算



3. Drude Modelより複素誘電率を計算



4. 複素屈折率から導電率(σ)、キャリア密度(N)、移動度(μ)を算出

$$\tilde{\epsilon}(\omega) = \epsilon'(\omega) - i\epsilon''(\omega) = \epsilon_b - \frac{D}{\epsilon_0(\omega^2 - i\omega/\tau)}$$

(ϵ_b : 誘電率、 τ : 散乱時間)

$$\text{Drude weight: } D = \frac{e^2 N}{m^*}$$

$$\sigma = D\tau (= eN\mu)$$

$$N = \frac{Dm^*}{e^2}$$

$$\mu = \frac{e\tau}{m^*}$$

図 1-1 テラヘルツ光透過率・位相差からの解析手法

同一試料について、ホール効果測定とテラヘルツ光学測定の間方でエピタキシャル層の抵抗値を測定した。その結果、ドーパ量の多い n^+ エピタキシャル層において両手法でよい一致を示し、抵抗値の測定にテラヘルツ分光が有力な測定方法であることを明らかにした (図 1-2)。

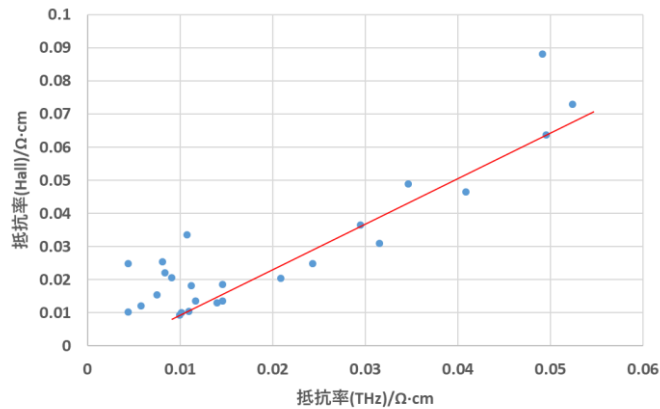


図1-2 ホール効果測定とテラヘルツ分光で測定した抵抗値の比較
 (縦軸) 高感度ホール効果測定装置による測定値
 (横軸) テラヘルツ分光装置による測定値

② インパクトイオン化の検討

PN 接合への逆方向電圧印加により発生する高電界によって、電子あるいは正孔 (キャリア) が加速され、価電子帯の電子と衝突し、電子正孔対が発生する現象が、インパクトイオン化である。電界中を電子が単位距離進む際に、電子正孔対を発生させる衝突回数がインパクトイオン化率である。この値が大きくなるとキャリア発生が増倍し、いわゆるアバランシェ現象を引き起こし絶縁破壊に至る。インパクトイオン化率が高いと、空乏層内の高電界により加速されたキャリアの増幅が起りやすくなり耐圧が低下する。シミュレーションによるデバイス設計において、インパクトイオン化率の数値精度が高まることで、精度の高い耐圧設計が可能となる。

第一原理計算によるインパクトイオン化率 (単位 1/s) と自社開発したモンテカルロ計算による同係数 (1/cm) の導出を進めた。図 1-3 に計算によって求めた電子のインパクトイオン化率を示す。図 1-3 (左) は第一原理計算 (密度汎関数法) で得られた DOS (状態密度) からの計算結果、図 1-3 (右) はより高精度の GW 計算 (多電子系の準粒子エネルギーを摂動論的に求める手法の 1 つ。多電子系の自己エネルギーを 1 粒子グリーン関数 G と遮蔽クーロン相互作用 W で近似する。) で得られた DOS からの計算結果である。図 1-3 (右) より、バンドギャップ 5.3eV を超えたエネルギーから、インパクトイオン化率が上昇しており、10eV 以上で大きな値となることが分かった。

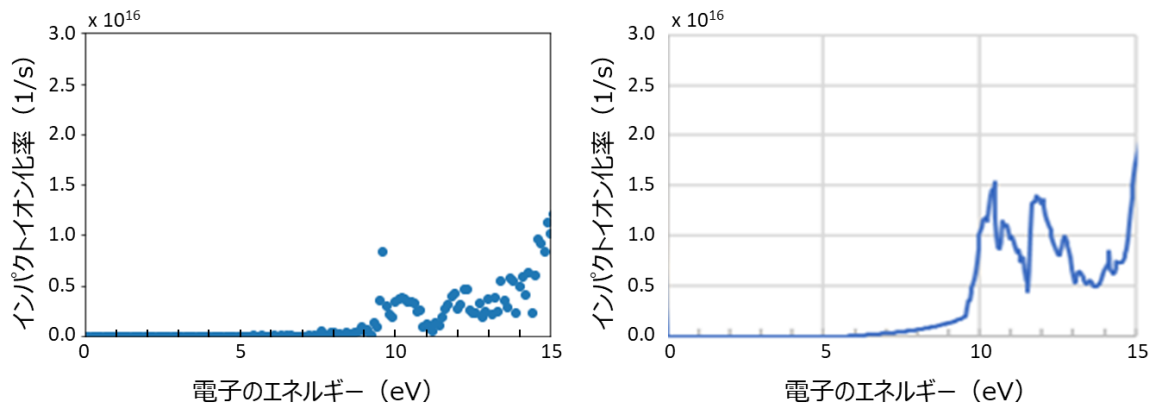


図 1-3 (左) 低精度モデル、(右) 高精度モデル

③ 深い準位の評価

最終目標である IGBT 素子のスイッチング特性は、キャリア輸送時に深い準位の影響を受けることが予想され、それら準位の定量評価、すなわち準位エネルギーと捕捉断面積およびトラップ密度の導出が必要である。これらの値をデバイスシミュレータに記述し計算することで、デバイスシミュレーションの精度が上がり、高耐圧、大電流デバイスの半導体層設計指針が明確になってくる。これらの値を求めるため、深い準位に捕捉されるキャリアの脱離過程に由来する半導体の容量変化から、深い準位のエネルギー、トラップ密度等を決定する手法である DLTS (Deep Level Transient Spectroscopy) にて評価を進めた。

試作した縦型 α -Ga₂O₃ SBD を用い、表 1-1 の測定条件で、DLTS 測定および光 DLTS 測定を行った。図 1-4 に DLTS のスペクトル例を示す。DLTS 測定では、低温側に E1~E5 (低温側より便宜的に命名したもの) のピークが確認され、高温側に顕著な強度を有する 1 個のピーク (以下、E6 と記載) とさらに高温側に E7 のピークが観測された。各ピークが電子トラップ準位によるものであると仮定し、それらの熱的放出時定数のアレニウスプロット (T2 補正) を図 1-5 (左) に示した。また、光 DLTS 測定では、スペクトルの強度が全般的に弱くブロードであるが、300~400K の温度領域に 2 個の負側ピーク (以下、H1 および H2 と記載) が確認された。ガウシアン型ではないことから、離散準位ではなく連続準位であることが推定される。これらのピークが正孔トラップ準位によるものであると仮定し、それらの熱的放出時定数のアレニウスプロット (T2 補正) を図 1-5 (右) に示した。H1 および H2 いずれのプロットも通常の温度依存性を示しておらず、これらは単純な正孔トラップの離散準位ではないことを示唆している。

表 1-1 DLTS 測定及び光 DLTS 測定の測定条件

測定モード	DLTS	光DLTS
解析方法	Correlation Function法	
温度範囲 (K)	80-673	
測定温度間隔 (K)	2	
パルス/バイアス電圧 (V)	0/-5	(0/0)
パルス幅	0.1ms	5s (光)
励起光源波長 (nm)	—	254、185
Period Width : Tw (ms)	19.2、192、1920	500、5000
Twに対応する時定数 (ms)	9.84、91.94、920	239.4、2390

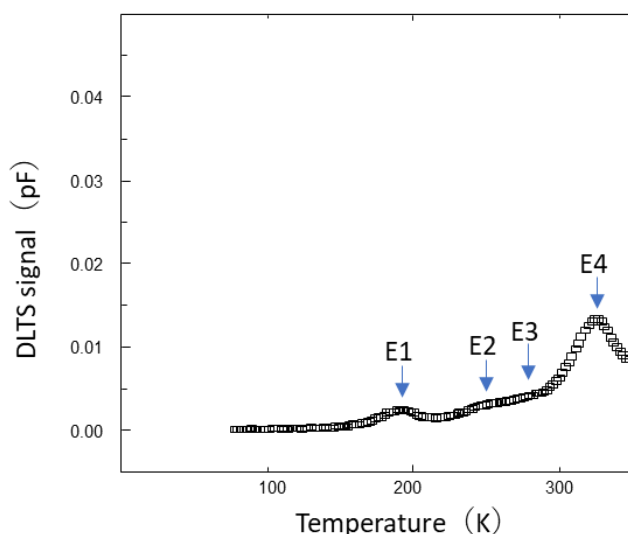


図1-4 DLTSのスペクトル例

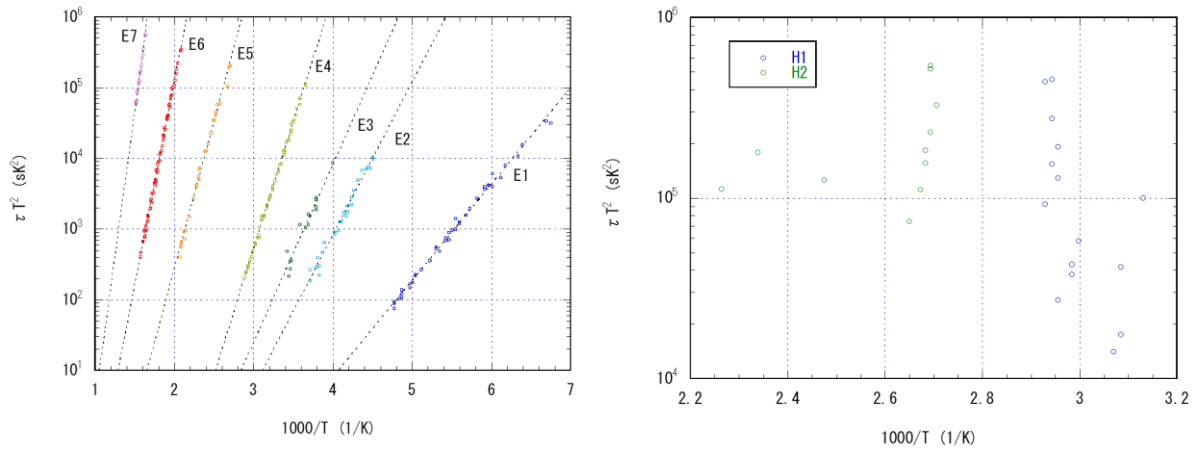


図 1-5 熱的放出時定数 (T2 補正) のアレニウスプロット (左: DLTS、右: 光 DLTS)

④ p型層の検討

1) 不純物ドーピングの検討

PiNダイオードのアノード層やIGBTのコレクタ層等に用いるp型層について、p型ドーピングの検討を実施した。ミスT-CVDの原料溶液にドーパントを添加して成膜した試料のSIMS測定を行った。原料溶液濃度にしたがって膜中のドーパント濃度が階段状に増えており、狙い通り添加することができた。また、各層の界面も急峻に濃度が変化しているため、成膜時の熱による拡散も小さいと考える。

2) α -(Ir, Ga)₂O₃混晶膜の検討

酸化物半導体でp型特性を示す物質はあまり報告されていない。金属酸化物の場合、伝導帯は金属の軌道、価電子帯は酸素の2p軌道より形成され、酸素の2p軌道同士の重なりが小さいため、価電子帯の軌道は空間的に局在している。従って、価電子帯のバンド分散は小さくなり、バンドの湾曲具合の逆数に比例するホールの有効質量は大きくなる。そのため、キャリアの移動度が小さくなり、p型の伝導性を示しにくい。これに対し、 α -Ir₂O₃ではIrの5d軌道がエネルギー的に酸素の2p軌道と近く、Irの5d軌道と酸素の2p軌道の混成軌道から価電子帯は形成される。このため価電子帯は空間的に広がった軌道となり、ホールの移動度が高くなる。また、 α -Ir₂O₃は α -Ga₂O₃と同じコランダム構造をとり、 α -Ga₂O₃を基板とする酸化物半導体デバイスとの相性がよい特徴も有する。一方、 α -Ir₂O₃のバンドギャップは3.0eVと小さい。高耐压デバイス実現に向けてバンドギャップの大きな α -Ga₂O₃を利用しているにもかかわらず、p層としてバンドギャップの小さな材料を高電界が印加される主接合に用いることは高耐压デバイスとして望ましくない。

そこで、本研究では α -Ga₂O₃と α -Ir₂O₃の混晶を作製することで、Ir₂O₃の狭いバンドギャップを拡張させることを目指した。 α -Ga₂O₃は酸素原子の六方最密充填構造を基礎として酸素原子の間にある8面体配位の穴の2/3に金属原子が入り、残りの1/3は空孔のコランダム構造をとる。その基本格子はa軸が4.98 Å、c軸は13.43 Åである。 α -Ir₂O₃では、基本格子のa軸の長さは5.28 Å、c軸は14.35 Åであり、 α -Ga₂O₃とのミスマッチが小さい。このため格子不整合に由来する転位が少ない α -(Ir, Ga)₂O₃の混晶膜を α -Ga₂O₃の上に積層出来ると期待される。

α -(Ir, Ga)₂O₃膜を α -Al₂O₃のc面上に成長させてX線回折を行った結果、 α -(Ir, Ga)₂O₃膜由来の回折ピークが観測され、混晶膜は α -Ga₂O₃と同じくコランダム構造を有していることを確認した。ホール効果測定の結果、 α -(Ir, Ga)₂O₃膜でp型特性が観測された。これにより、PiNダイオードのアノード層やIGBTのコレクタ層のp型キャリア濃度を変化させて注入効率 γ 制御が可能となる。

⑤ 欠陥評価方法の検討

1) 多光子顕微鏡による観察

半導体膜内の欠陥は、膜内の移動度、伝導性を下げる要因となっており、欠陥の評価は優れた特性の膜・デバイスの作製に不可欠である。本研究では多光子顕微鏡を用いて欠陥の評価を行った。多光子顕微鏡では、低いエネルギーの光を物質に照射し、3光子過程によりエネルギーの高い準位まで電子を多段階励起する。励起された電子がエネルギー的に高い準位から下の準位へ脱励起する際に、準位間のエネルギーに相当する光を発生する。多光子顕微鏡ではこの多段階の光励起、脱励起に由来する発光、つまりフォトルミネッセンス (PL) を計測する手法を利用している。3光子過程は非線形現象であり、非線形現象は対称性が崩れる場所で選択的に起こる。このため、欠陥で選択的にPL発光が観測されることが期待される。また多光子顕微鏡では、物質のバンドギャップよりエネルギーの小さな光を物質に照射しているので、膜内部まで光は透過できる。そのため、非接触・非破壊で膜内部の欠陥を計測できる特徴も有する。

(ii)-b-③の図1-23で後述するELO法で作製した膜について多光子顕微鏡により欠陥評価を行った。図1-6は多光子顕微鏡を用いて計測したPL発光強度像、および同一領域を計測した断面TEM像である。焦点位置を深さ方向に変えながら、PL発光強度を計測することで深さ分解のPL像を得ることが出来る。基板に近いところでPL発光強度が高く、上部では発光強度が低くなっている。対応するTEM像では、転位が基板に近いところで多く、基板から離れた膜上部では転位密度が少ない。以上の結果はPL発光強度が転位密度に対応していることを示しており、転位の空間分布を多光子顕微鏡により非接触・非破壊で評価できることが明らかになった。

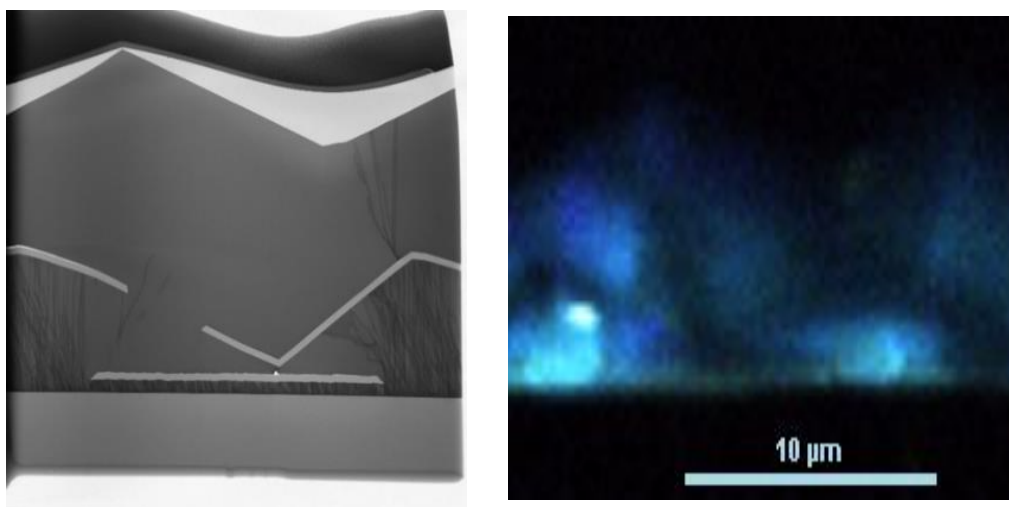


図 1-6

(左)ELO で作製した α -Ga₂O₃ 膜の断面 TEM 像
(右)対応する領域の断面多光子顕微鏡像

(ii)-a ウェハ開発用 高品質結晶成長技術の開発(担当：国立研究開発法人物質・材料研究機構)

超高耐圧の α -Ga₂O₃ デバイスを実現するためには、転位密度が低く、導電性の制御された厚膜を高速成長する必要がある。本節では、そのための礎となる HVPE 法 (Halide Vapor Phase Epitaxy (ハライド気相成長) 法) の基礎技術、転位密度低減技術、n 型ドーピング制御、およびそれらを総合した高耐圧デバイス用厚膜エピウェハの作製に関して、本研究開発で得られた主な成果をまとめる。

① HVPE成長の基礎技術

1) 高速成長機構の解明

HVPE法はGa₂O₃やGaAs等のIII-V族化合物半導体では50年以上の歴史を有するが、 α -Ga₂O₃のHVPEは2015年に初めて報告されたばかりの新しい技術である。そのため、産業応用上も極めて重要な、基礎的な技術蓄積や科学的理解が進んでいない。HVPE法の最も重要な特長のひとつは高速成長であり、 α -Ga₂O₃のHVPE成長においても、原料のGaClとO₂にHClを適量添加すると成長速度が劇的に向上することを本研究開発以前から発見していたが、その効果の系統的な調査は行っておらず、メカニズムも不明だった。そこで、成長条件と成長速度の相関を系統的に調査するとともに、熱力学解析を援用して高速成長機構の解明に取り組んだ。

図1-7に成長速度のHCl添加量依存性を示す。成長速度はHCl添加量とともに急激に増大し、過剰な添加では減少に転じる振る舞いを明らかにした (図1-7●)。また、HCl添加条件下でHVPE成長炉内に存在する各ガス種の平衡分圧を熱力学解析により計算した結果 (図1-7実線)、HCl添加によりGaClがGaCl₃に転換されることがわかった。GaCl₃とO₂の反応は、GaClを用いた場合に比べて平衡定数が小さい (図1-8)。そのため、高濃度原料を供給しても寄生成長が起こりにくいので高速成長が可能になると考えられる。これらの知見に基づいてHVPE成長条件を最適化し、100 μ m/h超の高速成長を実現し、さらなる高速化の見通しも得た。

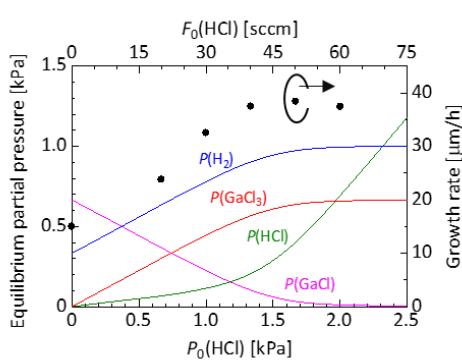


図 1-7 各平衡ガス分圧の計算結果および成長速度の HCl 添加量依存性

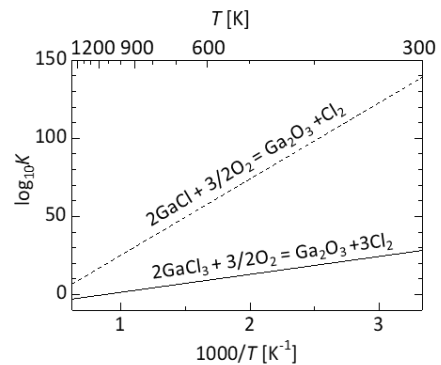


図 1-8 Ga₂O₃ 析出反応の平衡定数依存性

2) H₂添加効果

一般に、HVPEを含むCVD成長においては、原料ガスをキャリアガスで輸送する。これまでは、酸化物用のキャリアガスとしては窒素やアルゴン等の不活性ガスを用いることが常識であった。酸化物を還元・分解する作用をもつ水素の使用は考えられなかった。しかし最近、ある種の酸化物において、あえて水素をキャリアガスとして用いると結晶性や表面品質の顕著な改善が見られたとの報告があった。そこで、 α -Ga₂O₃のHVPE成長でも水素ガスの使用を検討した。その結果、成膜雰囲気H₂を添加することで、原料利用効率が大幅 (~230%) に増大することを発見した。その際、光学顕微鏡により、平坦性が損なわれていないことを確認した。H₂添加条件では、不純物 (H, Cl) が概ね50%以下に低減することも見出した。

3) 残留不純物と成長条件

上記1)で述べたように、 α -Ga₂O₃のHVPEは基礎的な技術蓄積や科学的理解が進んでおらず、原料供給条件と膜の特性の相関の全体像が不明瞭なまま、条件検討が進められてきた。これは、本技術の産業応用を目指すのにあたり問題となる可能性があった。そこで、原料であるGaClやO₂の供給条件と結晶特性（モザイク性と不純物濃度）を系統的に調査した。

図1-9に、結晶品質の指標であるX線ロッキングカーブ幅（FWHM、小さいほど良い）の原料供給量依存性を示す。GaClあるいはO₂の供給分圧が大きく、成長速度が大きいほうがFWHMが狭くなる（刃状転位密度が減少する）ことを明らかにした(図1-9(b)の●)。また、図1-10には不純物濃度と成長速度の関係を示す。H、C、N、Si、S、Cl濃度をSIMS分析で調査したが、[H]、[Cl]のみが有意に検出された。[H]、[Cl]はO₂/GaCl比に関わらず成長速度とともに増大(同一の成長速度ならば不純物濃度に有意差無し)し、とくに[Cl]は急激に増大した。すなわち、経済性や刃状転位密度の観点からは成長速度は高いほうが望ましい一方で、HやClが増大してしまう。[H]、[Cl]はいずれも理論的には浅いドナーであり、導電性自立基板を作製する際には問題とならない。

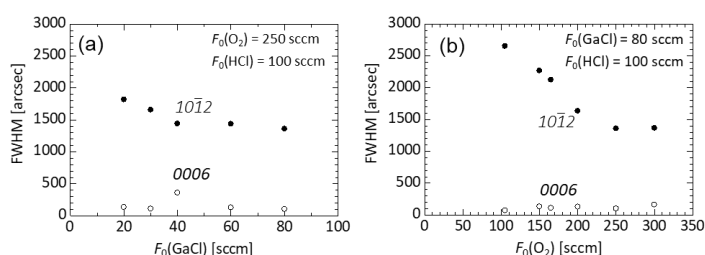


図 1-9 X線ロッキングカーブ幅の(a) GaCl および (b) O₂ 供給量依存性

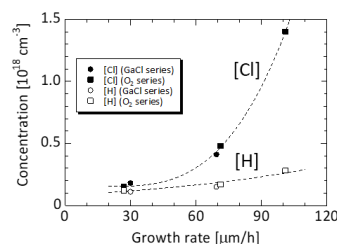


図 1-10 不純物濃度と成長速度の関係

4) c面以外の成長

これまで α -Ga₂O₃のHVPEはc面結晶のみ検討してきたが、他の面方位(図1-11)がより優れた特性を発揮する可能性もある。例えば、ミストCVDでは、m面の電子移動度がc面よりも大きいことが実験的に示されている[参考文献1]。もしc面よりも優れた面方位を見いだせれば、耐圧20kV向けエピ代替基板の開発を有利に進めることができる。本検討では、HVPEの成長条件を精査し、a、m、r面の成膜に世界に先駆けて成功した。一例として、m面 α -Ga₂O₃のX線pole figureを図1-12に示す。サファイア基板のそれと一致しており、単結晶膜が得られたことを示している。なお、1)–3)で述べた高速成長やH₂添加は、c面以外でも有効と考えている。

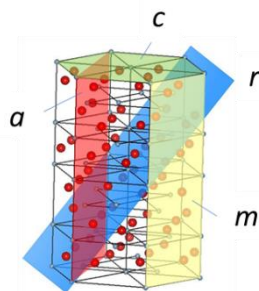


図 1-11 α -Ga₂O₃ とサファイアの結晶構造

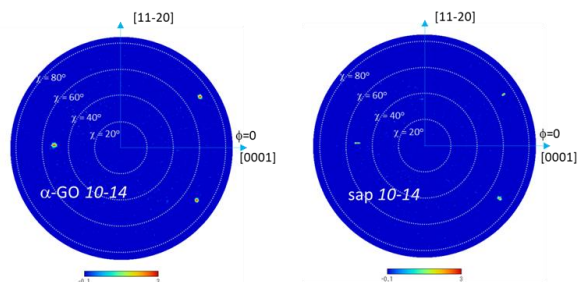


図 1-12 m面 α -Ga₂O₃のX線極点図(左)。単結晶サファイア基板のもの(右)と一致している。

5) 低温高速成長

これまで、 α - Ga_2O_3 の厚膜成長には、異常成長（ β 相の混入）による品質低下の問題があった。異常成長の抑制に低温成長が有効であることはわかっていたが、成長速度が大幅に低下してしまう問題があった。そこで、低温でも高速成長が可能な条件を系統的に探索した。その結果、低温で成長速度を上げすぎると成長膜がアモルファス化し、成長温度が低いほど容易にアモルファス化が起こる傾向があることがわかった。この検討に基づいて成長可能な条件範囲を明らかにし（図1-13左）、低温でも従来比10倍の成長速度を実現することができた（図1-13右）。

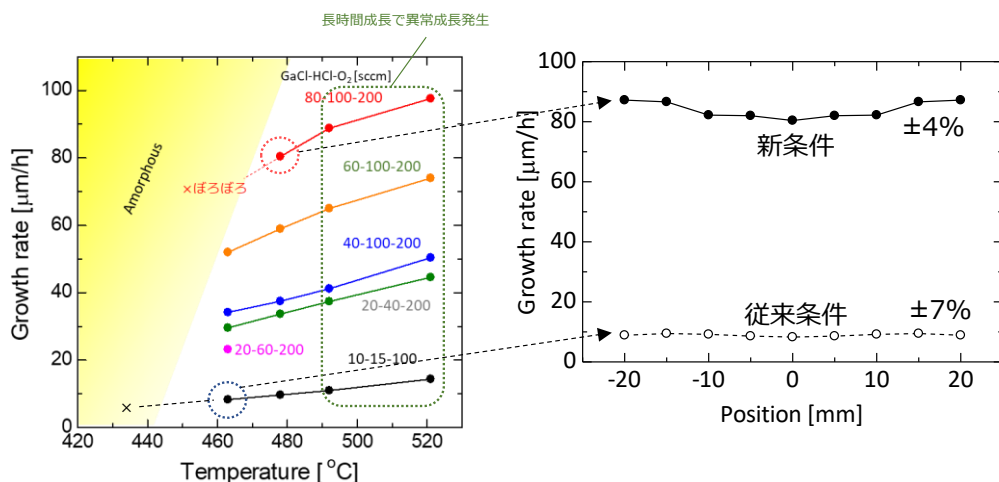


図 1-13 (左) アモルファス化せずに成長可能な条件範囲の探索結果
(右) 新旧成長条件での成長速度の比較

② 転位密度低減

1) c面以外のELO

上記①4)において、c面以外の様々な面方位の α - Ga_2O_3 をHVPEで成長可能なことを示したが、格子不整合に伴う高密度の転位への対策が必要であることはこれまでのc面の場合と同様である。そこで、これらの結晶面においても選択横方向成長（ELO）の適用を試みた。その結果、いずれの面方位であっても選択成長が可能ながわかった。さらに、面方位によっては従来のc面の場合とは成長挙動が大きく異なり、ELOを行ううえでc面よりも有利な可能性あることを見出した。例えば、m面でELOを行う際、ストライプマスクの方向を適切に定めると、c面に比べて横方向成長が非常に速く、より広い高品質領域を実現できる可能性があることを見出した（図1-14）。また、c面のELOではELOを複数回行わないと欠陥集中領域が残留するが、r面のELOでは、1回の成長で欠陥集中領域を終端できることを発見した（図1-15）。

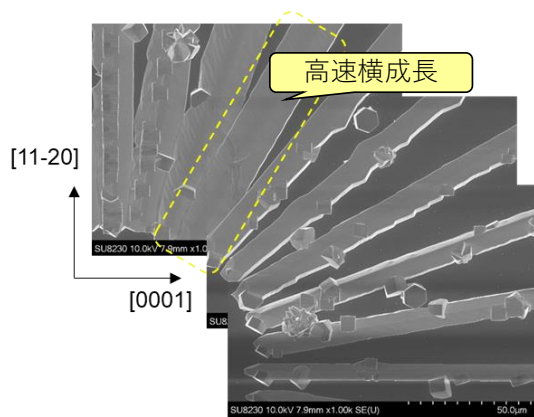


図 1-14 様々な方向のマスクで成長した m面 α - Ga_2O_3 のSEM像。

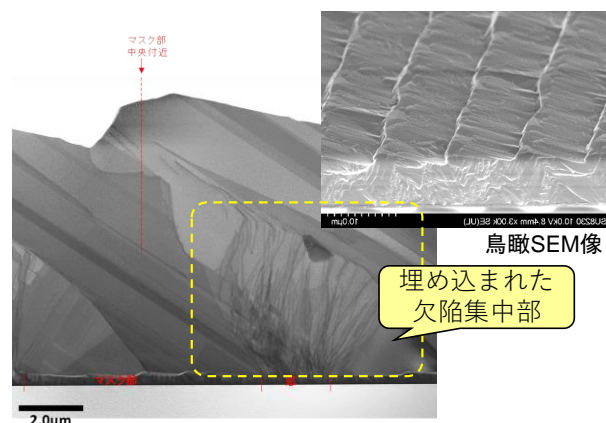


図 1-15 ELOによるr面 α - Ga_2O_3 の断面TEM像。

2) マスクレス低転位化技術

ELOは有効な低転位化手法ではあるものの、複数回のエピ成長や微細加工を必要とし、製造コスト増加の原因となる。我々は、HVPE成長の条件を工夫すると、マスクを用いなくても均一な低転位化が可能なることを見出した(図1-16)。本技術によれば、ELOを用いることなく転位密度が約1/100 ($3 \times 10^{10} \rightarrow 4 \times 10^8 \text{ cm}^{-2}$)に低減できる。ELOを用いないので、転位密度の周期的な濃淡が無く、均一である(図1-17)。系統的な成長条件の調査の結果、この現象は低温高速成長を行うことで最も効果を発揮することを明らかにした。このとき、特に成長初期過程において、成長表面に微細な凹凸が形成されやすいことがわかった(図1-18)。この凹凸により転位が屈曲し、膜厚方向に伝播しにくくなるのが本質と考えている。この手法と厚膜成長とを組み合わせると、厚さ約200 μm において転位密度は $1.5 \times 10^8 \text{ cm}^{-2}$ に到達した(図1-19)。

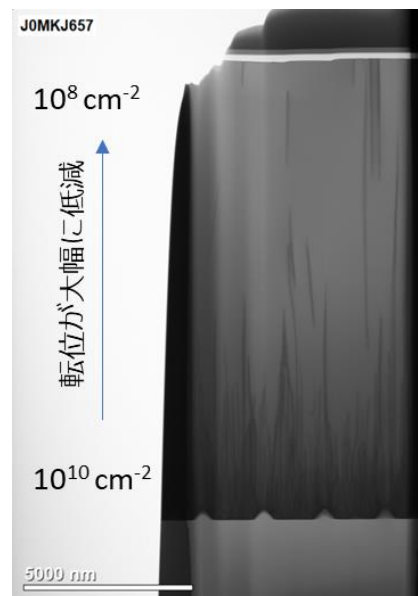


図 1-16 新手法で成長した $\alpha\text{-Ga}_2\text{O}_3$ 膜中の転位挙動を明らかにした断面TEM像。

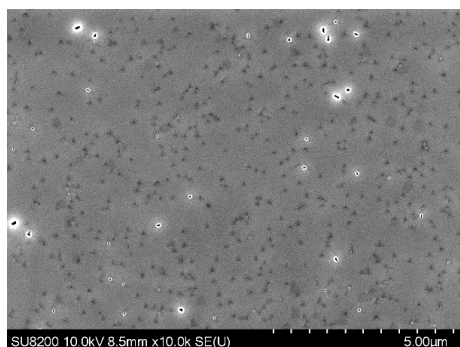


図 1-17 マスクレス法により成長した $\alpha\text{-Ga}_2\text{O}_3$ の表面SEM像。転位に対応するエッチピットが均一に分布している。

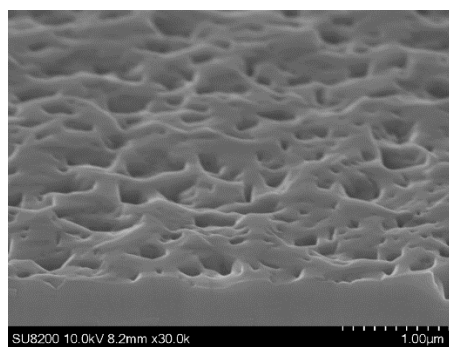


図 1-18 低温高速成長により形成された凹凸モフォロジ。

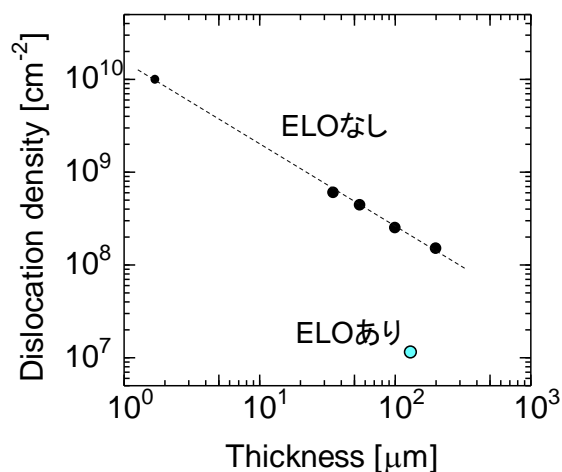


図 1-19 膜厚と転位密度の関係。

さらに、厚膜成長 (~140 μm) と ELO とも組み合わせることで $1.1 \times 10^7 \text{ cm}^{-2}$ を達成した (図1-19の緑のプロット)。図1-20には、この試料のエッチピット分布を従来条件のものと比較して示す。従来試料では、マスク窓部に相当する部分に転位密度が高い領域が残存しているが、改善後の試料ではそのような領域が無く、全面が均一に高品質である。これは、低温高速成長の効果によって窓部でも転位密度が減少することと、厚膜成長により、同符合のバーガースベクトルをもつ転位が互いの斥力により分散したためと考えられる。

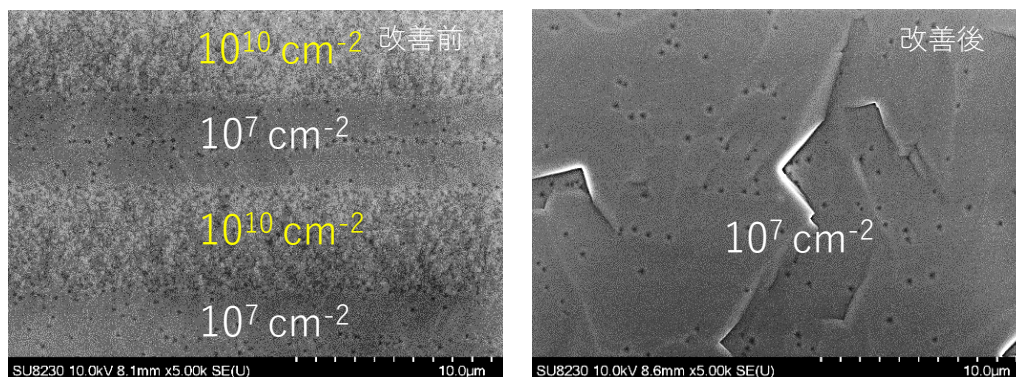


図 1-20 従来の ELO 試料(改善前)と、低温高速成長を組み合わせた試料(改善後)のエッチピット分布。

③ 低濃度n型ドーピング制御

20kV耐圧デバイスのドリフト層では、キャリア濃度を $1 \times 10^{16} \text{ cm}^{-3}$ 未満の低濃度に制御する必要がある。新たなドーピング源の検討により、20kV級デバイスのドリフト層に必要な 10^{16} cm^{-3} 未満のドーピング濃度制御を達成した。

④ 高耐圧デバイス用厚膜エピウエハの作製

高耐圧デバイスのドリフト層は、低キャリア濃度の制御が必要なだけでなく、十分な空乏層厚が得られるだけの膜厚が必要である。また、キャリア散乱やリーク電流の低減のためには転位密度が 10^7 - 10^8 cm^{-2} 以下であることが望ましい。②2) で述べたマスクレス低転位化手法を含む本研究開発の成果を総合的に適用し、10kV耐圧デバイスに向けてドナー濃度が $1 \times 10^{16} \text{ cm}^{-3}$ で厚さが約30 μmのエピ膜 (転位密度約 $1.4 \times 10^8 \text{ cm}^{-2}$) を製造した。図1-21はこのエピウエハの断面模式図である。図1-22には実際に製作した2インチエピウエハの外観写真を示す。

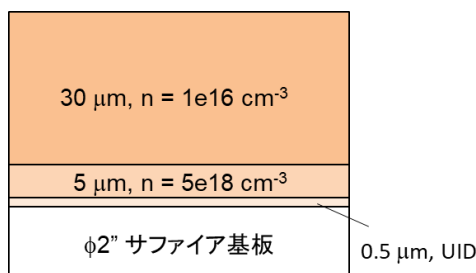


図 1-21 10kV 耐圧デバイス用に製造したエピウエハの断面模式図



図 1-22 実際の 2 インチエピウエハの外観

⑤ まとめと今後の課題

表1-2に、本研究の成果をまとめた。本研究開発により、我々は $\alpha\text{-Ga}_2\text{O}_3$ の HVPE 成長の高速成長機構や低温での成長挙動を系統的に明らかにし、低温でも高速成長が可能になった。これにより、異常成長を防ぎながら厚膜成長を行うことが可能になり、②2) でも述べたように、20 kV耐圧デバイスに必要な膜厚を大きく超える200 μm厚膜の成長も達成した。低温高速成長技術は、マスクレスの低転位化技術にもつながった。転位密度は 10^8 cm^{-2} 台と、従来の化合物半導体の感覚からすれば依然として高めにも感じられるが、高根らの理論検討によれば転位

密度が $10^7 \sim 10^8 \text{ cm}^{-2}$ になればキャリア移動度は物質本来の値に近くなるはずである[参考文献2]。さらに、新しいn型ドーピング原料の検討の結果、普及価格帯の容量のマスフローコントローラの制御範囲内でも 10^{16} cm^{-3} を下回るドナー濃度を実現した。つまり、20kV耐圧デバイス用エピの実現に向けた基礎技術確立に成功したと言える。

表 1-2 本研究開発の成果一覧

検討項目	成果
① 1) 高速成長機構の解明	HCl 添加による増速機構の解明と 100 $\mu\text{m}/\text{h}$ 超の達成。
① 2) H_2 添加効果	原料利用効率向上による成長速度向上と不純物濃度低減。
① 3) 残留不純物と成長条件	成長速度が大きいほど残留不純物濃度が増加し、刃状転位密度は低減することを解明。
① 4) c 面以外の成長	a、m、r の各面でのエピ成長を HVPE では初めて実現。
① 5) 低温高速成長	低温でもアモルファス化することなく、従来比約 10 倍の成長速度を実現。
② 1) c 面以外の ELO	m 面では横方向成長速度が大きく、高品質領域拡大の可能性。r 面では、欠陥集中部の埋め込み効果によりさらなる高品質化の可能性。
② 2) マスクレス低転位化技術	低温高速成長を行うだけで、大きな転位密度低減効果 ($10^{10} \rightarrow 10^8 \text{ cm}^{-2}$ 台) が得られることを発見。さらに、ELO や厚膜成長と組み合わせることで転位密度 $1.1 \times 10^7 \text{ cm}^{-2}$ を達成。
③ 低濃度 n 型ドーピング制御	20kV 級デバイスのドリフト層に必要な 10^{16} cm^{-3} 未満のドーピング濃度制御を達成。
④ 高耐圧デバイス用厚膜エピウェハの作製	10kV 級デバイスの試作に必要な低濃度ドーブ厚膜/高濃度コンタクト層を備えたエピウェハの試作に成功。

参考文献

- [1] Akaiwa et al, phys. stat. sol. (a) 217, 1900632 (2020)
- [2] Takane et al, 69th JSAP spring meeting 25p-E202-12 (2022)

(ii)-b ウェハ開発 (担当: 株式会社 F L O S F I A)

(ii)-a で開発した高品質結晶成長技術を基に(iii)で使うウェハを開発する。2018年度、2019年度の2年間でHVPE装置を立ち上げ、自立基板の作製、転位密度の低減に取り組んだ。

以下、詳述するように、高品質エピタキシャル成長技術において大きな進展があり、ここで開発した高品質・厚膜エピタキシャル成長技術は、後述の高耐压デバイス開発の過程において活用した。

① HVPE装置の立ち上げ

最終目標である耐压20kV1kA級IGBT実現のための要素技術開発である「ウェハ開発」において、超高耐压用の低濃度・厚膜エピ基板の成膜技術の確立が必須である。

HVPE法は原料としてハライドを使用する気相成長法であり、使用する原料に炭素を含まないため高品質結晶の成長が可能である。また、大口径化が容易で高速成長が可能のため将来的な工業化に有利な成長法である。本研究では、スイッチング素子を作製するための α -Ga₂O₃エピ基板の開発を目的としてHVPE装置を導入した。

② 自立基板の作製

基板の α -Al₂O₃と α -Ga₂O₃の熱膨張係数が異なることを利用して、高温で成長した後、室温まで冷却する過程で α -Ga₂O₃膜を基板から自然剥離することに成功した。

③ 転位密度の低減

本研究ではELO (Epitaxial lateral overgrowth) を適用することで転位低減を行った。基板上に α -Ga₂O₃を成長させた後、開口パターンを有するSiO₂膜を α -Ga₂O₃膜の上に成膜する。続いて、 α -Ga₂O₃を再度成長させる。SiO₂膜の開口部分では α -Ga₂O₃が露出しているため、開口部分から α -Ga₂O₃は成長する。つまり開口部を有するSiO₂膜はマスクとして働く。 α -Ga₂O₃は開口部から垂直方向に優先的に成長するが、横方向にも成長しSiO₂膜の上部も最終的には α -Ga₂O₃膜で覆われることになる。ここで α -Ga₂O₃中の転位に注目する。転位は膜の成長方向に沿って伸びていくので、基板に対して垂直方向に延びる。図1-23にはELOを用いて作製した α -Ga₂O₃膜の断面TEM像を示す。SiO₂膜のない領域では、基板近傍に存在する多数の転位が、そのまま基板に対して垂直方向に伸びている。一方、SiO₂のマスク上では一部の転位が曲がって伸びてきているものがあるが、転位密度が激減していることが分かる。本研究では、基板の真下から見て1層目のSiO₂膜の開口部分とは重ならない部分を開口させたSiO₂をもう一層、成長させた。基板から垂直方向に成長する転位が2層目のSiO₂膜の上に成長する α -Ga₂O₃膜に伝搬することを防ぐことができる。図1-23のTEM像から、2段目のELOで作製した膜内にほとんど転位がないことが分かる。TEM像を解析することで、転位密度を定量的に評価した。ELOを使わない通常の成膜法で作製した膜では転位密度が $1 \times 10^{10} \text{ cm}^{-2}$ であったが、多段階ELOを用いた膜では密度が $5 \times 10^6 \text{ cm}^{-2}$ 未満であることが分かった。ELOが膜内の転位密度を激減させる有効な手段であることを示し、転位密度の極めて少ない α -Ga₂O₃膜の作製に成功した。



図 1-23 多重 ELO で積層させた α -Ga₂O₃膜の断面 TEM 像

この技術を用いて20kV級デバイスに対応できる膜厚70 μm の厚膜エピ層の成膜に成功した（図1-24（左））。ここで多重ELOでは表面凹凸が激しくなるという課題があった。そこでELO成膜条件、最適マスクパターン設計などHVPE法の改良を進め、大幅に表面凹凸の改善された高品質成膜法を確立することができた（図1-24（中））。一方で、多重ELOはマスク合わせズレやエピ成長中の異常粒発生等による製造上の不具合から想定より結晶欠陥が多くなる課題があったが、新規ELO法を開発して多重ELOと同等以上の結晶性を有するエピ膜作製に成功した（図1-24（右））。

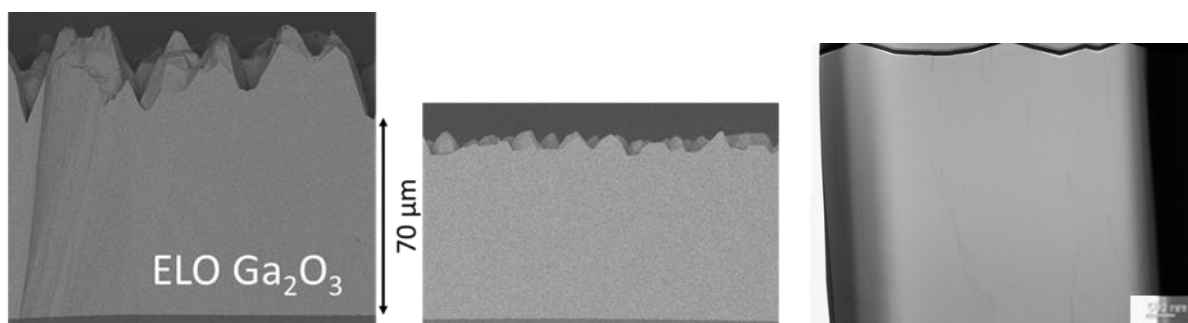


図 1-24 ELO 法による低欠陥化

（左） 2019 年度成果：厚膜・高品質 α - Ga_2O_3 膜断面像

（中） 2020 年度成果：同品質にて表面凹凸改善

（右） 2021 年度成果：新規 ELO 成長エピ層

(iii) 素子開発（担当：株式会社 F L O S F I A）

素子開発では、①PiN ダイオードによる電導度変調の実証、②トレンチゲート MOSFET 開発、③耐圧 1.7kV 級素子開発、④耐圧 10kV 級素子開発、⑤耐圧 20kV 級素子開発に取り組んだ。

これまで α -Ga₂O₃ ではパワー半導体デバイス開発の実例が少ない中、完全縦型トレンチゲート MOSFET の動作実証、完全縦型 1.7kV SBD のアンペア級動作という社会実装につながる世界初の成果が得られた。完全縦型デバイスでは、 α -Ga₂O₃ デバイスを 10 μ m 程度に極薄化して金属支持基板に転写することで、SiC デバイスなみの熱抵抗を実現している。さらに超高耐圧バイポーラデバイスのコア技術となる電導度変調の世界初の確認、耐圧 10kV 級 MOSFET、耐圧 20kV 級 IGBT の特性予測、両面冷却による厚膜デバイスの放熱懸念の払拭など、将来にわたって α -Ga₂O₃ のパワー半導体材料としての大きなポテンシャルを示すことができた。

① PiNダイオードによる電導度変調の実証（ α -Ga₂O₃で世界初）

サファイア基板の上にミストCVD法でn⁺ α -Ga₂O₃層、HVPE法でノンドーパ α -Ga₂O₃層（i層）、ミストCVD法でp型 α -Ir₂O₃層を順次エピタキシャル成長させ、リソグラフィ、ドライエッチング工程を経て疑似縦型PiNダイオードを試作した。ウェハの半分はp型 α -Ir₂O₃層を形成せずにショットキー金属を成膜することで、同一ロットでユニポーラ動作（SBD動作）とバイポーラ動作（PiN動作）の比較検証を行うようにした。

SBDの測定結果とPiNダイオードの測定結果を図1-25に示す。SBDと比較して2ケタ近く電流が増加しており、少数キャリア注入による伝導度変調が確認できた。また、i層が2 μ mから1 μ mになることでPiNダイオードの電流は一桁上昇した。i層膜中に存在する多数キャリアのドリフトが支配的であれば膜厚と電流値は反比例の関係であり（膜厚が半分になれば電流値は2倍に）、ここからも電流の起源が少数キャリアの注入～拡散であることが確認できた。

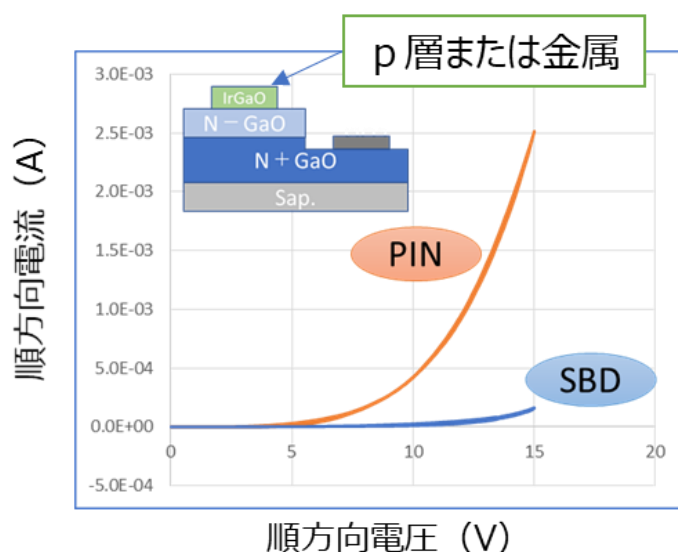


図 1-25 同一エピ膜を持つ SBD と PiN ダイオードの順方向 I-V 特性比較

② トレンチゲートMOSFET開発

IGBTの要素技術となるMOSFETの開発に着手、シミュレーション結果を基に動作検証素子の設計～試作～動作確認を進めた。素子は最終目的である高耐圧、大電流駆動に対応できる縦型トレンチゲートMOSFETとした。

1) 小面積疑似縦型トレンチゲートMOSFETの試作・評価

サファイア基板の上に小面積疑似縦型トレンチゲートMOSFETを試作した。1枚のウェハ中にゲート、ソースの円形状の径を変えることによりMOSゲート幅を変化させた多種の大きさのデバ

イスを配置した。3端子プローバを用いてトランジスタ特性を測定した結果、ゲート閾値電圧約4Vでドレイン電流が立ち上がっており、ノーマリオフで正常にトランジスタ動作する素子が形成されていることが確認できた。

2) 完全縦型トレンチゲートMOSFETで0.4A通電を達成 (α -Ga₂O₃ 縦型デバイスで世界初)

大電流化を図るために完全縦型トレンチゲートMOSFETを試作・評価した。 α -Ga₂O₃材料は熱抵抗が大きく放熱に課題があることから、最低限の厚さ10 μ m程度まで極薄化して熱抵抗の小さな金属支持基板に転写して放熱性をSiC並みに高め、スイッチング動作を確認した。図1-26に試作した完全縦型トレンチゲートMOSFETの断面模式図(左)、チップ外観写真(右上)、ドレイン電流のゲート電圧依存性(右下)を示す。ゲート閾値電圧約6Vでドレイン電流が立ち上がっており、ノーマリオフで正常にトランジスタ動作しており、0.4Aまで通電することができた。

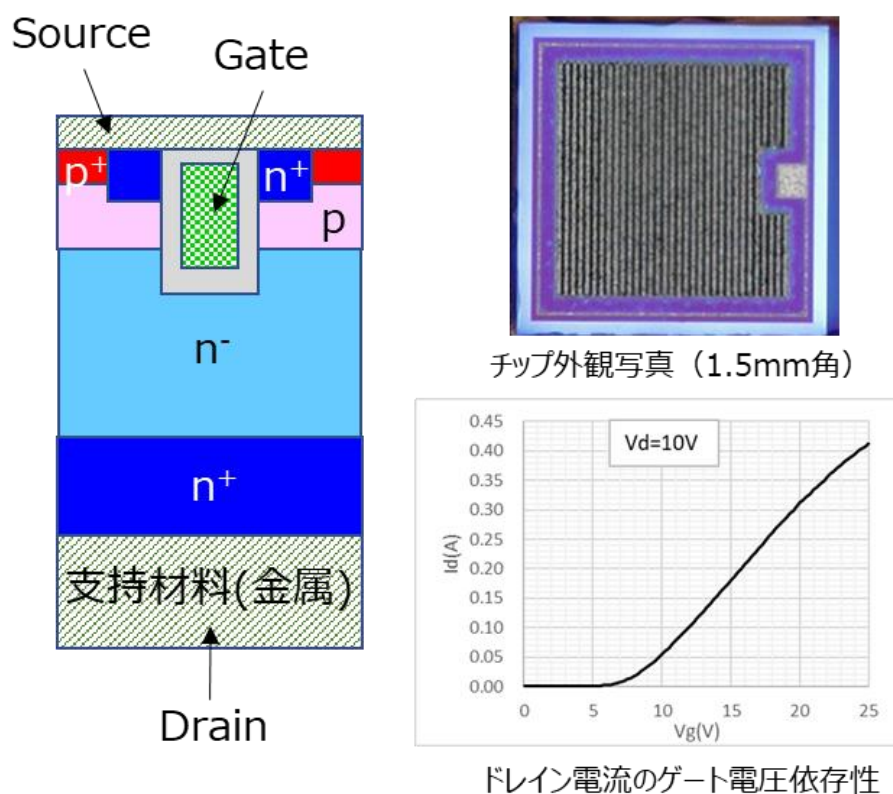


図 1-26 完全縦型トレンチゲート MOSFET の断面模式図 (左)、試作したチップ外観写真 (右上)、ドレイン電流のゲート電圧依存性 (右下)

③ 耐圧1.7kV級素子開発

1) 完全縦型1.7kV級SBDでアンペア級動作を達成 (α -Ga₂O₃ 縦型デバイスで世界初)

大電流化を図るために、チップサイズ1mm角程度の完全縦型SBDを試作・評価した。前述したように α -Ga₂O₃材料は熱抵抗が大きく放熱に課題があることから、最低限の厚さ10 μ m程度まで極薄化して熱抵抗の小さな金属支持基板に転写して放熱性をSiC並みに高めている。独自に開発した接合終端構造を適用して耐圧1.7kVでアンペア級動作を達成した。

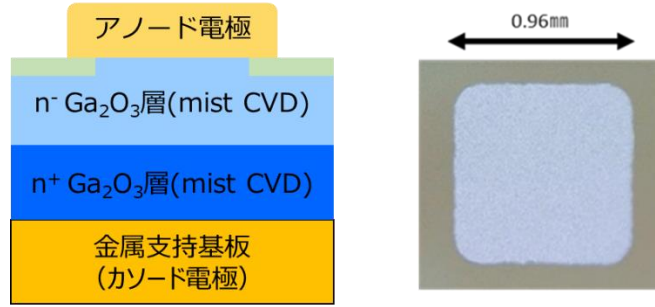


図 1-27 完全縦型 SBD 断面模式図 (左) と試作したチップの顕微鏡写真 (右)

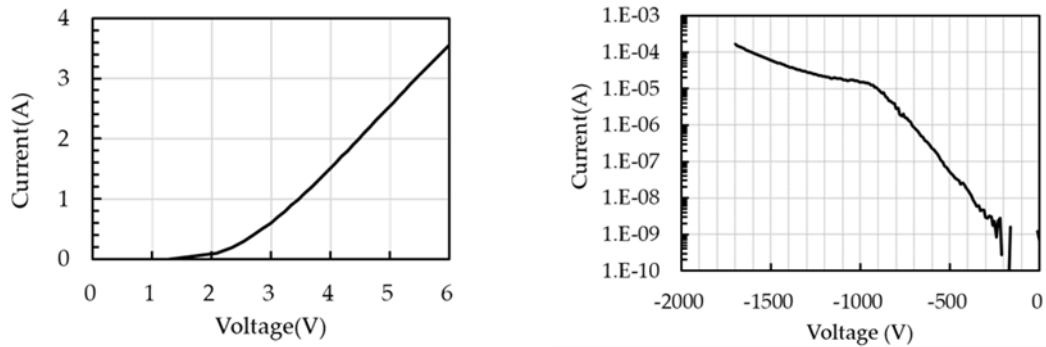


図 1-28 順方向特性 (左) と逆方向特性 (右)

2) 耐圧1.7kV級MOSFETの設計 (デバイスシミュレーション)

デバイスシミュレーションを用いてトレンチゲートMOSFETのユニットセル設計を行い、耐圧1.7kV級MOSFETの設計に成功した。

④ 耐圧10kV級素子開発

1) 横型PiNダイオードによる耐圧10kV実証 (α -Ga₂O₃デバイスで世界初)

耐圧を保持するi層の長さを種々変化させて耐圧を確認できるように、横型PiNダイオードを試作した。P⁺アノード層及びN⁺カソード層のコンタクト層を形成後、電極を作製した。プロセスを完了した横型PiNダイオードを図1-29に示す。1枚のウェハ中に10 μ mから200 μ mまでの5種類のアノード・カソード間距離を変化させたデバイスを配置し、電極間距離と耐圧の関係を調べた。

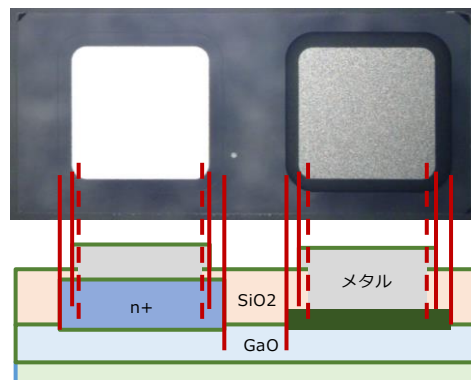


図 1-29 高耐圧 PiN ダイオード構造

完成したウェハをフロリナート中に浸漬して2端子プローバを用い、電極間に逆バイアスをかけて、もれ電流を見ながら耐圧を評価した結果、10kV印加時の電流値はnAオーダーであり、十分な耐圧が得られていることが分かった。

2) 耐圧10kV級MOSFETの設計（デバイスシミュレーション）

デバイスシミュレーションを用いてトレンチゲートMOSFETのユニットセル設計を行った。耐圧1.7kV級と同様に、ゲート絶縁膜の信頼性確保のため電界緩和構造を組み込むことでトレンチゲート底部にかかる電界強度を抑制する構造を採用している。種々のデバイスパラメータを調整して耐圧および特性オン抵抗への影響を検討して、ドリフト層濃度、厚さを決定した。

⑤ 耐圧20kV級素子開発

1) 耐圧20kV級IGBTの設計（デバイスシミュレーション）

デバイスシミュレーションを用いてトレンチゲートIGBTのユニットセル設計を行った。耐圧10kV級MOSFETと同様に、ゲート絶縁膜の信頼性確保のため電界緩和構造を組み込むことでトレンチゲート底部にかかる電界強度を抑制する構造を採用している。デバイス表面側には電荷蓄積層、裏面側には正孔注入層となるp型コレクタ層を備えている。種々のデバイスパラメータを調整して耐圧およびオン電圧への影響を検討して、ドリフト層濃度、厚さを決定した。

(iv) パッケージ開発（担当：株式会社FLOSFIA）

端子間20kV印加条件において、界面・表面リークが発生せず破壊しない実装技術の開発として、まず耐圧10kVチップを実装するためのパッケージ開発を行い、動作確認を行った。

デバイス開発と並行してパッケージ開発・評価を実施するため、絶縁チップ（ダミーチップ）を作成・実装し、その環境下でのパッケージ電極間の耐圧性能を調査することとした。シミュレーション結果を基にパッケージの試作を行い、耐圧評価を再委託先である三菱重工業㈱にて行った結果、破壊が生じることなく10kV耐圧を有することが確認できた。

その後、端子間距離を拡大して耐圧20kV対応に改良した高耐圧パッケージを試作した結果、絶縁破壊が生じることなく20kV耐圧を有することが確認できた。

(v) 耐圧20kV1kA級IGBT実現可能性の検証（担当：株式会社FLOSFIA）

(iii)⑤の耐圧20kV級IGBT設計の結果をもとに、電流容量100Aチップ10個をパッケージに実装して1kA級動作させる可能性を検証した。①放熱性を強化したパッケージ構造での電流容量100Aチップに必要なチップ寸法の算出、②ゲート閾値電圧が不揃いの場合のターンオン・ターンオフ時の電流分担のシミュレーション、③さらに微細化を図った場合のIGBTのシミュレーションによる特性予測等の検討の結果、0.94cm角の100Aチップを10並列動作させることが可能であることがわかった。

(vi) α -(AlGa)₂O₃の予備研究（担当：株式会社FLOSFIA）

本材料は α -Ga₂O₃よりもバンドギャップが広く、超高耐圧でより低損失なパワーデバイスを実現できる可能性がある。Al組成比を振った α -(AlGa)₂O₃を成膜することにより、耐熱性の向上、AlNを超えるバンドギャップの拡大、n型ドーピングによる伝導を実証した。

(2) パルス電源のシステム化

(0) エネルギー貯蔵方式の調査及び検討（担当：三菱重工業株式会社）

パルス電源に用いるエネルギー貯蔵方式として、以下の観点を検討して調査・分析を行った。

- ① 現時点で入手可能であり、パルス電源への組み込みや単体評価が可能であること
- ② 他のエネルギー蓄積方式との比較や将来的な技術進展の調査から、最も小型化可能であること
- ③ 採用する回路トポロジーとのマッチングがよく、システムとして成立すること

また、調査対象とするエネルギー貯蔵方式は以下の通りである。

- a) 電気エネルギー貯蔵方式
- b) 運動エネルギー貯蔵方式
- c) 磁気エネルギー貯蔵方式

①～③の観点を基に各方式を調査して、パルス電源回路に最も適したデバイスを選定する方針とした。

1) 電気エネルギー貯蔵方式調査

二次電池やキャパシタをはじめとする電気エネルギー貯蔵技術は、現在リチウムイオン電池が主流である一方、全固体電池やリチウム硫黄電池、リチウム空気電池等の開発が進展しており、本研究ではこれらの将来二次電池についても調査する。また、化学反応で電気エネルギーを貯蔵する電池と異なり、電極間に静電エネルギーを蓄積し、電池と比較して瞬間的な高出力性能に優れたキャパシタについても対象とする。キャパシタは、高出力性能に優れるためパルス電源の適用候補であり、電気二重層キャパシタ（EDLC：Electric Double-Layer Capacitor）や、EDLCの電極を工夫し高エネルギー密度化した開発が進んでおり、これらを調査に含める。調査対象及び適用性検討結果を表 2-1 に示す。

表 2-1 電気エネルギー貯蔵方式の調査・適用性評価結果

種類	二次電池				キャパシタ	
	リチウムイオン電池	全固体電池	リチウム硫黄電池	リチウム空気電池	EDLC	EDLCの高エネルギー密度型
概要	現在の代表的な二次電池。正極/負極/電解質に様々な材料が検討され開発が進むが、性能限界に達しつつある。	電解液の代わり、粉体やセラミックス、結晶を利用することで、発火の危険性を低減するとともに、高エネルギー密度化を志向。	負極に金属リチウム、正極に硫黄を使用。課題は、化学反応中に生成されるLi ₂ S ₂ の電解液への溶出とされる。	空気中の酸素を正極に取り込む構造。理論値は5,200Wh/kgと高いが、複数の課題がある。	電極と電解液の界面に形成される電気二重層という現象を利用して電荷蓄積。エネルギーは小さいが、出力性能に優れる。	EDLCのエネルギー密度向上を狙った開発が活発化。①電極表面積の拡大、②電池材料を用いて化学反応を利用等に大別。
開発状況	シート状に電極を構成して小型化を狙う全樹脂電池が2020年代以降の量産を目指して開発中。	小型セルのサンプル出荷が始まっており、2020年代以降に実用化を目指す動き。	開発途上であるが実験レベルで400Wh/kgに到達。500Wh/kgに引き上げる計画あり。	実用化に向けた課題は多いが、600Wh/kgまで実験レベルで成功。2025年頃の実用化を目指す動きあり。	エネルギー密度を向上させたスーパーキャパシタの開発へとシフトしてきている。	グラフェンを利用して電極表面積を拡大したタイプや、リチウムイオンを活用したものが実用化済み。
パルス電源への適用性	従来のリチウムイオン電池では、高出力性能でキャパシタに劣る。	開発中であり、本検討での適用は不可能。	開発中であり、本検討での適用は不可能。	開発中であり、本検討での適用は不可能。	高出力性能に優れるため、パルス電源の採用候補となる。	高出力性能に優れるため、パルス電源の採用候補となる。

将来電池として開発が進む全固体電池、リチウム硫黄電池、リチウム空気電池等の理論容量は、いずれも1,000Wh/kgを超え、リチウム空気電池が最も高い5,200Wh/kgである。高エネ

ルギー密度化に向けた開発が進むキャパシタは、CNT(Carbon Nanotube)を利用した開発で、現行電池並みのエネルギー密度を目標とする開発が出てきている。理論容量の調査結果を表2-2に示す。

表2-2 理論容量の調査結果

種類	現行電池				将来電池				キャパシタ (開発目標値)
	リチウム イオン電池	ニッケル 水素電池	ナトリウム 硫黄電池	レドックス フロー電池	全固体 電池	リチウム 硫黄電池	リチウム 空気電池	ナトリウム イオン電池	
理論容量	392~ 585Wh/kg (電極材料 による)	225 Wh/kg	786 Wh/kg	100 Wh/kg (バナジウムレ ドックスフロー の場合)	800~ 1,000 Wh/kg	2,500 Wh/kg	5,200 Wh/kg	600 Wh/kg	数百Wh/kg (CNTキャパシ タを開発中の Space Link 社の値)

次に、将来の電池とキャパシタの重量出力密度、重量エネルギー密度の進展予測を図2-1、2-2に示す。リチウム硫黄電池、リチウム空気電池は、リチウムイオン電池の5~10倍のエネルギー密度に達するポテンシャルがある一方、EDLCの高密度化を狙った開発では、金属酸化物を利用した研究で、392Wh/kgを実験レベルで達成した例があり、二次電池クラスまで伸長する可能性がある。出力密度は、将来的にもキャパシタが有利である。

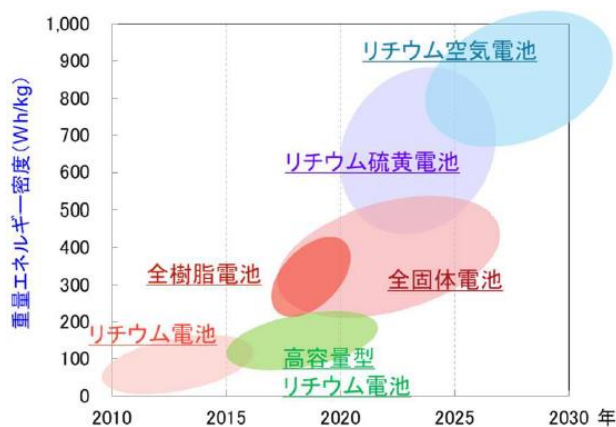


図 2-1 年代-重量エネルギー

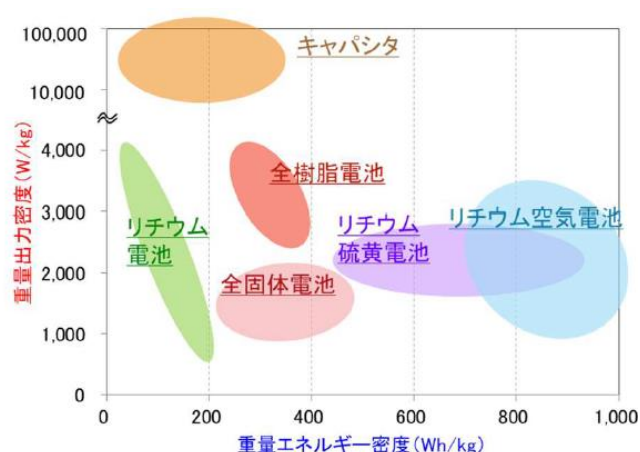


図 2-2 重量エネルギー密度-重量出力密度

次に、パルス電源への適用で有望であるキャパシタについて、詳細調査を実施した。元来、高出力を要する用途に使用されるキャパシタは、二次電池と比較して利用シーンが限定的であったため、エネルギー密度を向上させて市場拡大を目指す開発が進んでいる。開発の種類は、以下の2種類に分類される。

- I 電極にグラフェンやCNTを利用して電荷が吸着する表面積を増やす方式
- II 片方の電極に電池材料を用いて化学反応+物理吸着でエネルギー密度を向上させる方式

Iの方式ではグラフェンを用いた技術が、IIの方式では負極にリチウムイオンを予め埋め込んだリチウムイオンキャパシタが既に製品化されており利用可能であるため、単体評価試験の対象とした。キャパシタの開発分類を表2-3に示す。

表2-3 キャパシタの開発分類

		従来キャパシタ	キャパシタ開発タイプ I	キャパシタ開発タイプ II			
蓄電方法		物理吸着			物理吸着+化学反応		
材料	活物質	活性炭	グラフェン/CNT/ 多孔質カーボン	負極		正極	
	比表面積 [m ² /g]	300~2200	グラフェン: 2630 CNT: 800~	グラファイト	チタン酸リチウム 酸化鉄など	オリビン鉄リチウム	
	導電性 [S/cm]	> 300	グラフェン: 10 ⁶ CNT: 10 ⁴ ~10 ⁵	エネルギー密度向上			
特徴	長所	長寿命	長寿命 エネルギー密度向上	従来キャパシタ比で短寿命		製造コスト	
	課題	低エネルギー密度	製造コスト	開発状況			
開発状況		実用化済み	グラフェン: 実用化済み 多孔質カーボン: 実用化済み CNT: 研究段階	実用化済み (リチウムイオンキャパシタ)		研究段階	

特に、IIの方式の開発が近年では活発化しており、将来的には二次電池並みのエネルギー量を誇る可能性がある。開発事例を表2-4に示す。

表2-4 将来キャパシタの開発事例（キャパシタ開発タイプ II）

	S.N. BOSE National Centre for Basic Science (印)	Univ. of Central Florida (米)	Augmented Optics/Univ. of Surrey等 (英)	Univ. of California Riverside (米)	科学技術振興機構 (日)
電極種類	FeNiとFe/Fe ₂ O ₃ や Ni/NiOの組み合わせ	WO ₃ とWS ₂ の組み合わせ	電解質に高分子ゲルを利用しているが、詳細は未公開	CNT、グラフェン、MnO ₂ の組み合わせ	ナノ結晶化したTi ₄ O ₇
研究状況	実験室レベルで 27.6Wh/kg 10.3kW/kg を達成	エネルギー密度は 60Wh/Lだが、出力性能は、1,000C前後を見込んでいる	従来のリチウムイオン電池の100倍のエネルギー密度を達成	実験室レベルで 391.7Wh/kgを達成	体積エネルギー密度は従来キャパシタの191%に相当

調査のまとめとして、出力密度やエネルギー密度の観点で二次電池やキャパシタを比較したものを図2-3に示す。パルス電源に必要な出力の観点では、将来的にもキャパシタが有利である。

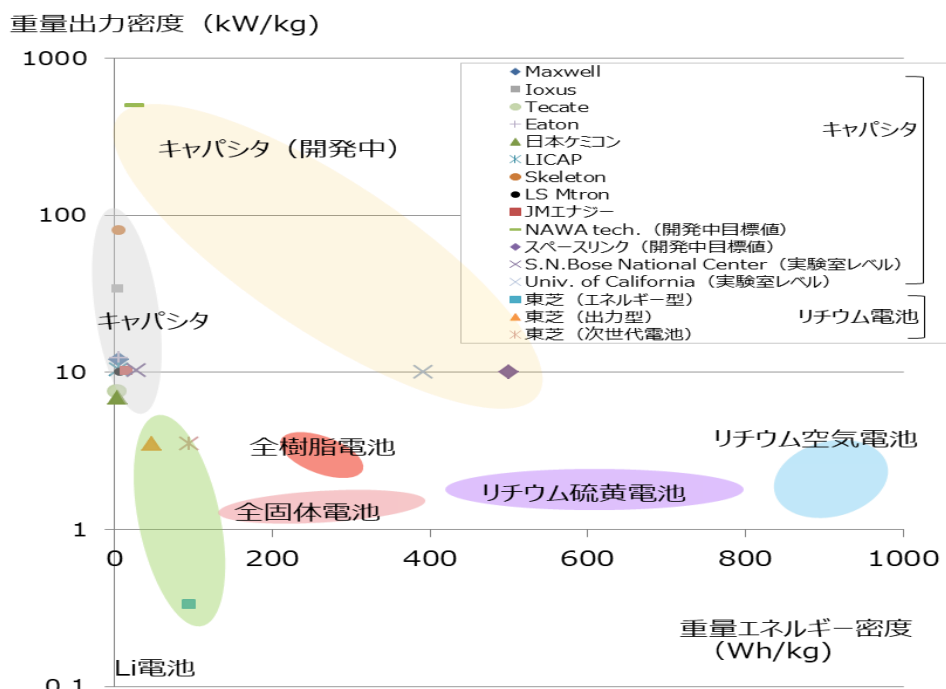


図2-3 電気エネルギー貯蔵技術の調査結果

2) 他の貯蔵方式調査

次に、運動エネルギー及び磁気エネルギー貯蔵方式について調査し、電気エネルギー貯蔵方式と比較する。運動エネルギー貯蔵はフライホイール、磁気エネルギー貯蔵は超電導貯蔵 (SMES : Superconducting Magnetic Energy Storage) を対象とした調査結果を表 2-5 に示す。

表 2-5 フライホイールと SMES の概要及び開発状況

	運動エネルギー貯蔵方式	磁気エネルギー貯蔵方式
種類	フライホイール	超電導貯蔵装置 (SMES)
概要	<ul style="list-style-type: none"> 円盤 (フライホイール) を回転させることによって運動エネルギーを蓄積する。 大型の機械を使用するため、エネルギー密度の低さが課題。短時間の入出力に向いている。 	<ul style="list-style-type: none"> 超電導状態で抵抗がゼロになる現象を利用して、超電導コイルに電力を貯蔵する。 開放スイッチを閉じている間は、永久的に電流が流れ続け電力を貯蔵することが可能
状況	フライホイールを支える軸受けが摩耗するため、メンテナンスが必要。摩耗削減を狙い、超電導磁気軸受型フライホイールの実証が進む	低温超電導線材から高温超電導線材への開発進展、冷却装置を含めた検討、経済性の検証などが課題

開発中のフライホイール、SMES の出力密度を導出し、EDLC と比較した結果を表 2-6 に示す。両者ともに出力密度は小さく、小型化を志向するパルス電源向けとしては不向きである。

表 2-6 フライホイール、SMES の体積出力密度の比較

	フライホイール *1	SMES *2	EDLC *3	EDLC *4
出力密度	96kW/m ³	249kW/m ³	2,619kW/m ³	8,254kW/m ³

*1: NEDO ニュースリリース (2015), https://www.nedo.go.jp/news/press/AA5_100443.html, 鉄道総合技術研究所, 2018 (平成 30) 年度 電力技術交流会講演資料, <https://www.rtri.or.jp/sales/gijutu/2018/is5fli0000008ab6-att/20181108P07.pdf>

*2: 東芝 HP, 2007 年度研究会発表資料, 東芝における超電導技術開発, <http://aquarius10.cse.kyutech.ac.jp/~otabe/10thaniv/settings/Archives/2007年度研究会発表資料/企業セミナー/東芝における超電導技術開発.pdf>

*3: Maxwell Technology 社 製品データシート, https://www.maxwell.com/images/documents/240V_3_75F_ds_3001973_datasheet.pdf

*4: IOXUS 社 製品データシート, <https://ioxus.com/product/imod128v041a23>

さらに、実用化の状況についても調査した。表 2-6 に示した通り両方式は、キャパシタと比較して出力密度は 1桁小さい結果であり、小型化を志向する本研究での適用は難しいが、運動エネルギー貯蔵方式であるフライホイールは、グリッド向け電力補償用として実用化が始まっている。実用化済みのフライホイールは、あるメーカーの仕様^{*5}では、40ft コンテナで 1,300kW であり、本研究の最終目標である 1kV / 5kA 級 (5MW 級) を実現するには、40ft コンテナ 4-5 個分の大きさとなり、現実的ではない。

*5: STRONETIC社製品紹介資料

https://www.dfhk.fi/fileadmin/AHK_Finnland/Auf_den_finnischen_Markt/Exportreisen/Smart_grids/Praesentationen/8_Michael_Ismar_Stornetic_Microgrid_stabilisation_Challenges.pdf

3) 評価

まず評価として、最終目標である耐圧 1.7kV/100A 級 α -Ga₂O₃ MOSFET を使用した仕様を仮定し、入手可能である①リチウムイオン電池（高出力型）、②EDLC について、エネルギー貯蔵装置の要件を仮定し規模感を把握する。仮定した要件は(i) スイッチング回路設計を参照とする。各社のカタログスペックから重量・体積を検討した結果を表 2-7 に示す。

表 2-7 重量・規模感の把握結果

モジュール/ システム仕様	種類	リチウムイオン電池 (高出力型)	高誘電体 コンデンサ	EDLC				EDLCの高エネルギー密度型				
		*1	*2	*3	*4	*5	*6	*7	グラフェン電極	多孔質カーボン電極	リチウムイオンキャパシタ	
									*8	*9	*10	*11
モジュール	電圧	43.2V	1,500V	160V	97V	62.1	48V	7.5V	48V	170V	129.6V	45.6V
	静電容量	—	330 μ F	5.8F	87F	130F	165F	400F	記載なし	53F	62F	275F
	電流	600A	7,700A	170A	2,700A	2,000A	2,000A	650A	125A	2,693A	260A	1,100A
	内部抵抗	記載なし	記載なし	240m Ω	8m Ω	7m Ω	6m Ω	4m Ω	4m Ω	10m Ω	13m Ω	14m Ω
システム	構成	28直9並	1直758並	8直30並	13直2並	20直3並	25直3並	160直8並	25直40並	8直2並	10直20並	26直5並
	重量	6,804kg	記載なし	1,248kg	910kg	960kg	1,065kg	1,536kg	69,000kg	1,008kg	11,000kg	854kg
	体積	4,359L	2,231L	1,062L	758L	1,160L	1,117L	2,264L	64,080L	883L	8,033L	727L
	電圧			1,280V	1,264V	1,242V	1,200V	1,200V	1,200V	1,360V	1,296V	1,231V
	静電容量	—	0.25F	21.8F	19F	20F	19.8F	20F	記載なし	13F	124F	51F
	瞬時電流 (10msec)	実測で確認する										
	電流	5,400A	5,836,600A	5,100A	5,400A	6,000A	6,000A	5,200A	5,000A	5,386A	5,200A	5,500A
	内部抵抗	記載なし	記載なし	48m Ω	54m Ω	45m Ω	50m Ω	54m Ω	2.5m Ω	38m Ω	7m Ω	73m Ω

表 2-7 より、EDLC が小型軽量に構成でき有望であることがわかる。ただし、一般的に EDLC のカタログスペックでは、定常状態での最大電流（主に内部からの放熱能力に依存）や、1sec 限定での出力電流/内部抵抗が表示されているが、10msec 級での出力特性はメーカーからの提示はないため、単体評価試験を実施し応答性能を確認する必要がある。また、構造上発生する内部インダクタンスの影響を含めた評価や、内部抵抗での発熱による電解液漏れや発熱による損傷がないことも同時に確認する必要があるため単体評価を実施した。

単体評価は、汎用の低抵抗 Si パワー MOSFET にて取り扱い可能な 15~30V（セル 6~12 直列）の構成で、10msec までの短時間電流出放特性の評価を実施した。評価対象は、①標準的な EDLC であり市中流通品である Maxwell 社、②同 Tecate 社、③グラフェン電極を使用して内部抵抗の低減を狙った Skelton テクノロジー社、④電池材料を利用してエネルギー密度の向上を狙った JM エナジー社のリチウムイオンキャパシタ、の 4 種類とした。試験回路及び Skelton テクノロジー社セルの評価結果を図 2-4、2-5 に示す。

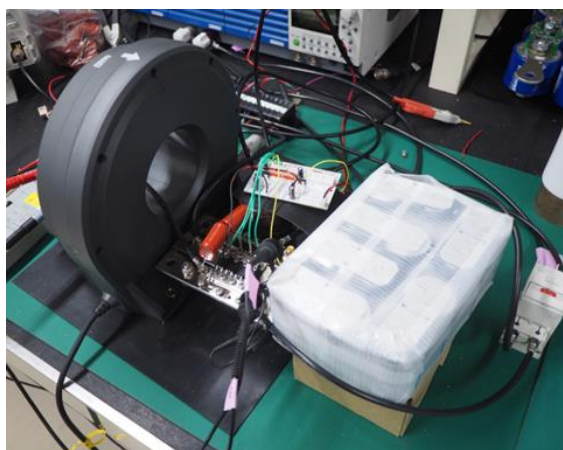


図2-4 評価試験回路

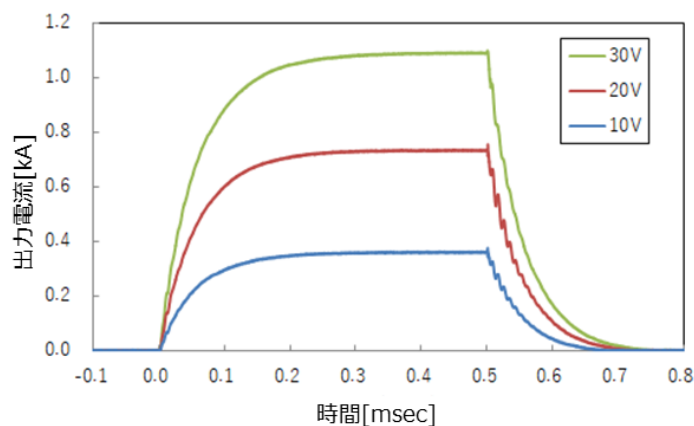


図2-5 セル評価結果 (Skeltonテクノロジー社)

図2-5が示す通り、0.5msec長のパルス駆動時間に対して、0.12msec程度で約90%の立ち上がり応答を確認することができ、本研究で目標とする1msecでの応答に十分対応可能であることを把握した。また、本セルの最大出力仕様は390A程度であったが1kA級が出力可能であることも同時に把握した。

次に、パルス電源への適用では、EDLCでの電圧降下や損失を考慮する必要があり、極力内部抵抗が小さい構成となるEDLCを選定する必要があるため、図2-5で示した評価の際の電圧降下の様子を図2-6に、各キャパシタの評価構成における内部抵抗の計算値を表2-8にそれぞれ示す。

表2-8 内部抵抗の比較

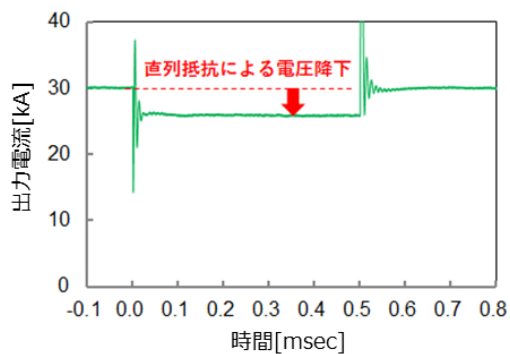


図2-6 電圧降下の影響

メーカー	Maxwell	Tecate	Skelton	JMエナジー
構成	650F-12直列	650F-12直列	500F-12直列	2300F-12直列
定格電圧	32.4 V	32.4 V	34.2 V	45.6 V
容量	54.2 F	54.2 F	41.7 F	192 F
内部抵抗	9.2mΩ	7.0mΩ	4.0mΩ	6.0mΩ
評価結果	△	○	◎	○

表2-8が示す通り、Skeltonテクノロジー社のキャパシタが最も低抵抗である結果であったため、Skeltonテクノロジー社製品で入手可能な最大電圧のモジュール（3200Fセル36直列:102V-88F仕様）をベースにパルス電源の設計を実施した。

(i) スイッチング回路設計（担当：三菱重工業株式会社）

パルス電源の回路トポロジーの調査

1) 初期設計案設定

本研究では、以下の通りミニモデルを仮作し、 α -Ga₂O₃ 素子を評価する計画である。

（その1）400V-50A 級（仮）、（その2）1kV-5kA 10msec

ここでは、最終目標である（その2）を想定して、初期設計案を検討した。

① エネルギー貯蔵デバイスへの要求

1kV-5kA 10msec とした場合のエネルギー貯蔵デバイスへの要求を図2-7 に示す。

1.電圧/電流/放電時間の設定 出力仕様を1kV/5kA/10msecと仮定。5kA を10msec 維持するには、スイッチング素子での電圧降下を考慮して初期電圧を1.2kVとする。電圧/電流/放電時間は以下の通り。 初期電圧 : 1.2kV 放電後電圧 : 1kV 放電電流 : 5kA 放電時間 : 10msec	2.静電容量の設定 キャパシタを用いる場合に必要な静電容量は、以下の通り。 電流I[A]=電荷Q[C]/時間t[sec] …(1) 電荷Q[C]=静電容量C[F]×電圧V[V] …(2) 式(1)より Q=5,000[A]×10m[sec] = 50[C] 式(2)より C=50[C]/(1200-1000)[V] =0.25[F] 必要最小静電容量は、0.25[F]である。
--	--

図2-7 エネルギー貯蔵デバイスへの要求

実際にはキャパシタにて規定される短時間の放出特性許容値、並びに直列抵抗の制約から、容量は必要な電荷量から大きくなる。また、10msec といった短時間の放出特性は、一般に試験データが示されていないため、実測による性能把握を行う必要がある。

② 酸化ガリウムスイッチング素子への要求

スイッチング素子の逆方向耐圧は、最大1.2kV 程度の電圧とサージ耐圧を考慮して1.7kV に設定する。5kA を実現するため、並列60 個のモジュールからの電流合成を行い、それぞれのモジュールにて定電流制御を行う。スイッチング素子への要求仕様を表2-9に纏める。以上を勘案したパルス電源の初期設定案を表2-10に示す。回路は、シンプルな降圧チョップ型回路を選定した。回路調査結果は 2) 回路トポロジー調査で述べる。

表2-9 試作スイッチング素子への要求

	要求仕様	設定根拠
デバイス構造	MOSFET (ノーマリーオフ)	・ Ga ₂ O ₃ では世界初となるノーマリーオフ型 MOSFET 試作成功(2018 年)
逆方向耐圧	1.7 kV 以上	・ 1kV 以上でのスイッチング動作におけるサージ等に対する絶縁耐性確保、
オン抵抗	40mΩ	・ 100A 級素子にて電圧降下 4V 以下 (素子サイズ 1cm ² 相当を設定) ・ 将来的には同一耐圧 SiC の 1/3 以下
スイッチング周波数	10kHz 以上	・ SiC 素子同等の応答特性と推定

表2-10 回路初期設定案

項目	初期設計仕様(案)
回路構成	非絶縁降圧チョップ型スイッチング回路
制御方式	定電流フィードバック制御
変調方式	PWM 制御
スイッチング周波数	10 kHz 以上
許容リップル	±5% (5kA 定電流駆動時)
素子仕様	1.7kV 級-100A 級 MOSFET
オン抵抗	40mΩ (1 素子あたり)

2) 回路トポロジー調査

① 誘導エネルギーを用いた大電流パルス電源の調査

大電流放回路の報告例として事例の多いレールガン向け回路を中心に調査を実施したが、半導体スイッチの適用例としては比較的規模の小さいものに限定されており、大きなサージ電圧が発生する開放スイッチとしては大規模なパルス電源での採用例がない。

② 静電エネルギーを用いた大電流パルス電源の調査

10msec のパルス幅は、一般の商用周波数の半波より長いため、半導体スイッチを用いたスイッチングレギュレータ方式でも十分に実現可能である。調査結果を表2-11に示す。仮作パルス電源は、エネルギー蓄積デバイスに対してグラウンドは共通であり、絶縁が必要ないため、非絶縁型の昇圧チョップ／昇降圧チョップ回路が適用可能である。現状では最もシンプルである降圧チョップ回路が、ピーク電圧・ピーク電流を抑えることができる回路方式であるという点からパルス電源に適しており、初期設計案として検討を進めた。

表2-11 各種スイッチング方式とその特徴

分類	回路方式	基本設計	特徴
非絶縁型	降圧チョップ	・直流電圧を低い電圧に変換する基本回路	・シンプルな構成、チョークコイルによる電流平滑化、変換効率が高い。 ・デューティ比1まで使用可能
	昇圧チョップ	・直流電圧を低い高い電圧に変換する基本回路	・スイッチング素子に大きな突入電流が発生 ・スイッチング素子にて電流が遮断できない
	昇降圧チョップ	・昇降圧可能な基本回路	・ピーク電流が出力電流の2~3倍、素子耐圧も出力電圧の2~3倍必要
	双方向チョップ	・負荷側から電源への変換も可能な双方向回路	・双方向性は不要であり対象外
	Hブリッジ	・電圧／電流を正負反転して制御することが可能	・極性反転等も可能となるが、素子数が2倍必要となる
絶縁型	フォワードコンバータ	・降圧チョップ回路に絶縁のためのトランスを追加した回路	・電力を一旦トランスに蓄えるため。トランスが大型するため大出力に向かない。 ・スイッチング素子にかかるピーク電圧が出力の2~3倍となるため高耐圧が必要 ・絶縁型回路の中では高効率であり、高周波化しやすい
	フライバックコンバータ	・フォワードコンバータに対して、トランスの極性を逆に使用。	・電力を一旦トランスに蓄えるため。トランスが大型するため大出力に向かない。 ・ピーク電流が大きい。
	リングチョークコンバータ	・トランスの誘電起電力による自励発振を利用したスイッチング	・自励発振であるため制御回路が簡略化可能 ・スイッチング電流によるピーク電流大であり、小出力に限定
	インバータによる絶縁型電源	・直流を一旦交流に変換するインバータを介して絶縁して二次電流を再び整流して直流に変換。	・高効率ではあるが、スイッチング素子数が多増加し、制御が複雑 ・小型の大容量トランスが必要(絶縁型全般)

3) 関連技術調査

スイッチング素子の許容電流は接合温度・ケース温度に大きく依存するため、冷却技術が重要となる。 $\alpha\text{-Ga}_2\text{O}_3$ 等のパワー半導体を冷却する場合、従来のSi等のデバイスと比較して、a) 発熱量に対しその面積が小さいため熱流束が非常に大きい、b) 半導体実装部に高い寸法精度と表面機能が要求される、c) 外部との電気絶縁性を確保する必要があり、冷却機構を設計する上での両立が求められる。

スイッチング素子の冷却には高熱伝導／絶縁性材料を介してヒートシンク等に放出する必要がある。ヒートシンクとの絶縁を確保する素子構造においては、 $\alpha\text{-Ga}_2\text{O}_3$ よりさらにワイドギャップで高い絶縁性を有するとともに、熱伝導に優れた材料が必要となる(ヒートシンクを電極として利用できる場合は、Cuヒートシンクに直接取付となるため絶縁材料は不要となる)。

図2-8に候補となる現在市販されている絶縁材料の強度と熱伝導率の関係を示す。窒化ケイ素(Si_3N_4)基板は高い機械強度を有しているが、熱伝導率が窒化アルミニウム(AIN)の半分以下である。ただし、AIN 焼結体は、熱伝導性に優れているものの、構造的には等方的な粒子が集まった構造であるため、粒子構造を緻密にできず、機械的強度向上が困難である。 Si_3N_4 はAIN に比べて組成的に緻密なため機械的強度が高く薄層化が可能であり、結果的に熱抵抗を低下して、熱抵抗の低減に寄与する(図2-9)。

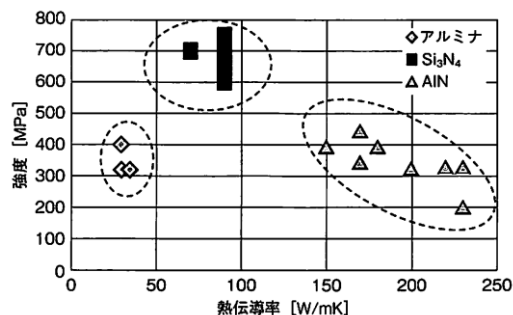


図 2-8 熱伝導率と強度の関係

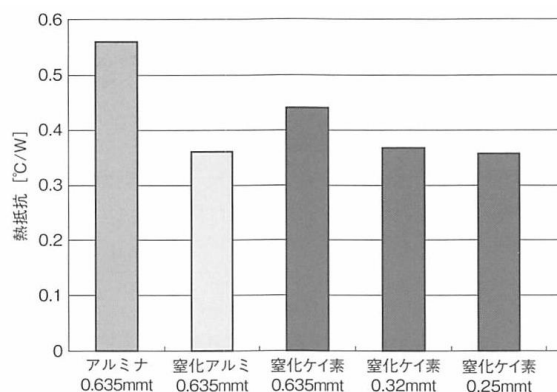


図 2-9 Si_3N_4 基板の薄板化による熱抵抗低減

(出典: SiC/GaN パワー半導体の実装と信頼性評価技術(日刊工業新聞社、2015))

パルス電源では、高耐圧(高絶縁)を実現するとともに、短時間にスイッチング素子で発生する熱を放熱することや、局所的に熱がこもらないように熱を拡散させる必要がある。近年、高耐圧/高熱伝導を実現する材料として、SiC/GaN等の先進パワーデバイスへの採用として、ダイヤモンド基板やSiC基板をヒートスプレッドに適用する新しい事例が報告されてきている。これらのパワーデバイスと同等以上の性能を持つ酸化ガリウムデバイスについても、同様に適用が可能と考えられ、仮作パルス電源(その2)や10kV1MA級パルス電源システムの実現性検証への反映が必要となる。

また、放熱構造としては、車載向けインバータ等に使用される各種両面実装技術や水冷技術を中心に調査を実施した。仮作を目指すパルス電源においては、10msec程度の短時間での発熱を拡散する必要があり、基本的には、熱伝導に優れた金属ヒートシンクをデバイスになるべく近接して設置するとともに、熱容量を大きくするため大型化する。大型化に伴い寄生容量等も大きくなるため、冷却構造/水冷構造を取り込む必要がある。

パルス電源(その2)の要求仕様は1kV/5kAであり、パルス電源(その1)からのスケールアップに際して、大電流化に伴う高温(冷却)対策、高電圧化に対する絶縁対策等については大幅な強化が必要となる。まず、大電流への対策である冷却構造について述べる。今回は入手可能なSiCモジュールの構造を参考とするため、Wolf speed/Creeの二種類のパッケージを対象に内部構造を調査した。Wolf speedのパッケージと調査結果を図2-10に示す。

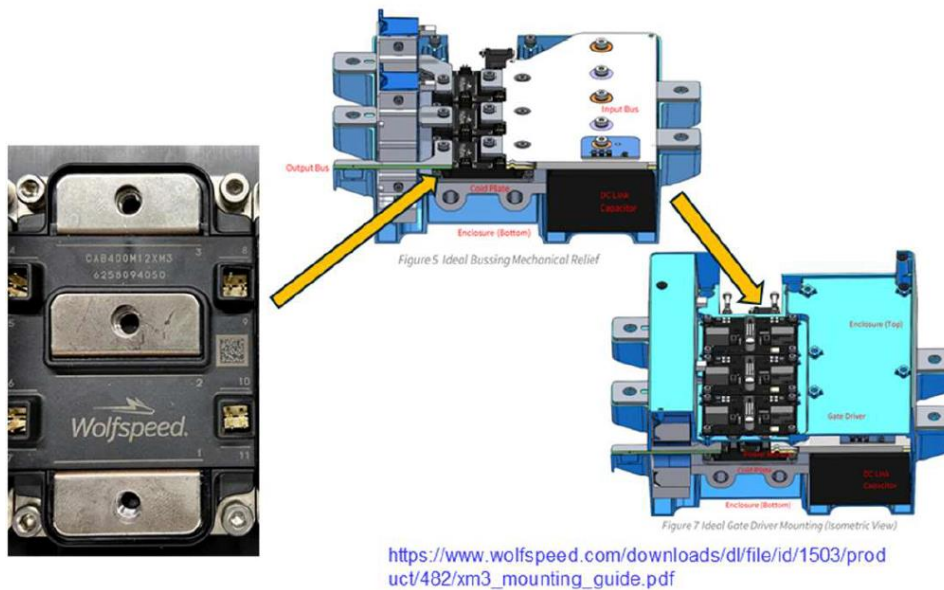


図2-10 SiCパッケージ構造

内部のSiCチップは、アルミナイトライド上の金属電極にボンディングすることで電流を取り出しており、絶縁物であるアルミナイトライドは背面のヒートシンクに接続されている。オン抵抗は $4\text{m}\Omega$ 程度であり、400A通電時には600W以上の発熱が想定される。パルス電源（その2）では、チップあたり100A程度の素子を60個程度使用することを想定しているが、例えば4チップ×4モジュール×4セットの構成とすれば合計64チップとなり、想定に近い構成となる。本調査結果をFLOSFIAと共有してパルス電源（その2）に用いるパッケージ構造の参考とした。

次に絶縁について述べる。本研究では高耐圧の絶縁技術を有するパッケージが必要であり、最終的には10kVを超える耐圧が必要となってくる。20kVまでの絶縁性を確保するため、テフロン製の治具を適用するとともに、沿面による放電を避けるため、高絶縁性の液体であるフロリナート液中に浸漬して計測を実施した。結果としてパッケージについては 10kV程度までの絶縁性が150°Cまで確認できた。

パルス電源（その1）の設計及びシミュレーションの構築

1) 仮作ミニモデル（その1）回路設計

これまでの調査でパルス電源に適用する回路として、降圧チョッパ回路を抽出しているが、具体的な回路設計を実施した。図2-11に設計した回路構成を示す。

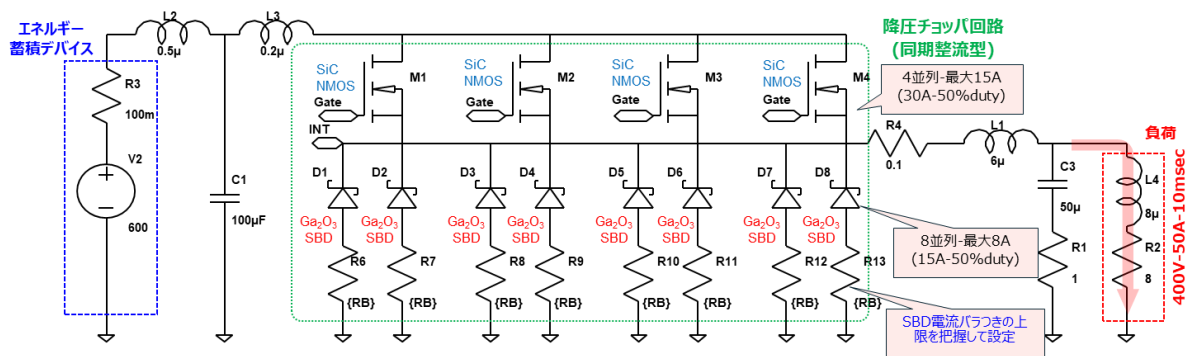


図2-11 検討した降圧チョッパ回路を用いた回路構成

図2-11に示すように、MOSFETは30A-50% dutyで4並列最大15A、SBDは15A-50% dutyとして8並列構成、最大8Aにて動作する。また、バランス用の直列抵抗については、 α -Ga₂O₃ SBDの電流バラツキに合わせた設定が必要となる。

パルス電源（その1）の仮作では α -Ga₂O₃ SBDを利用したが、本検討時点では、 α -Ga₂O₃ MOSFET/SBDともに開発段階であったため、ワイドバンドギャップ材料として同等の耐圧、オン抵抗を有するSiC MOSFET/SiC SBDを適用した回路にてミニモデルの検討を行った。

α -Ga₂O₃代用としてSiC MOSFET/SiC SBD を用いた理由は以下となる。

- 1kV級のパルス電源を実現可能で入手できる素子は、本検討時点にてSiCまたはSi-IGBTのいずれかに限定される。
- α -Ga₂O₃小面積デバイスにてSiC同様に高圧での整流動作をSBDにて確認しており、SBDとしては初期的段階ながらSiCと同等の動作が期待できる。
- 同様にMOSFET試作においてもSiCに遜色ない移動度が期待でき、かつスイッチング速度もSiC同等の特性が期待できる。

上記のような理由から、各種閾値電圧等は異なるものの、SiCデバイスにて設計した回路は、素子定数等の変更にて大幅な回路設計の変更なしに α -Ga₂O₃デバイスにも適用できると考えた。

SiC MOSFETは、ドリフト層抵抗がSi MOSFETよりも低い一方で、MOSチャンネル部分の移動度が低く、チャンネル部抵抗がSiデバイスと比較して高い。このことが、ゲート電圧を高くするほど、Si MOSFETに比べてオン抵抗を低くできる結果につながる（ただし、V_{GS}=20V以上で徐々に飽和）。SiC MOSFETの場合、一般的なSi MOSFETで用いられるゲート電圧V_{GS}=10~15Vでは、本来の低オン抵抗性能を発揮できないため、十分な低オン抵抗を得るためにはV_{GS}=18V前後での駆動が推奨されている。このことを念頭にSiC MOSFETによるミニモデル検討を実施した。

パルス電源（その1）では、400V 50A級のパルス出力を想定しているため、まず、耐圧60V Si MOSFET/Si SBDを用いて、出力電流の応答性を確認し、その後、耐圧600VのSiC MOSFET/SiC SBDにて、 α -Ga₂O₃を想定した評価を行った。評価結果を図2-12に示す。

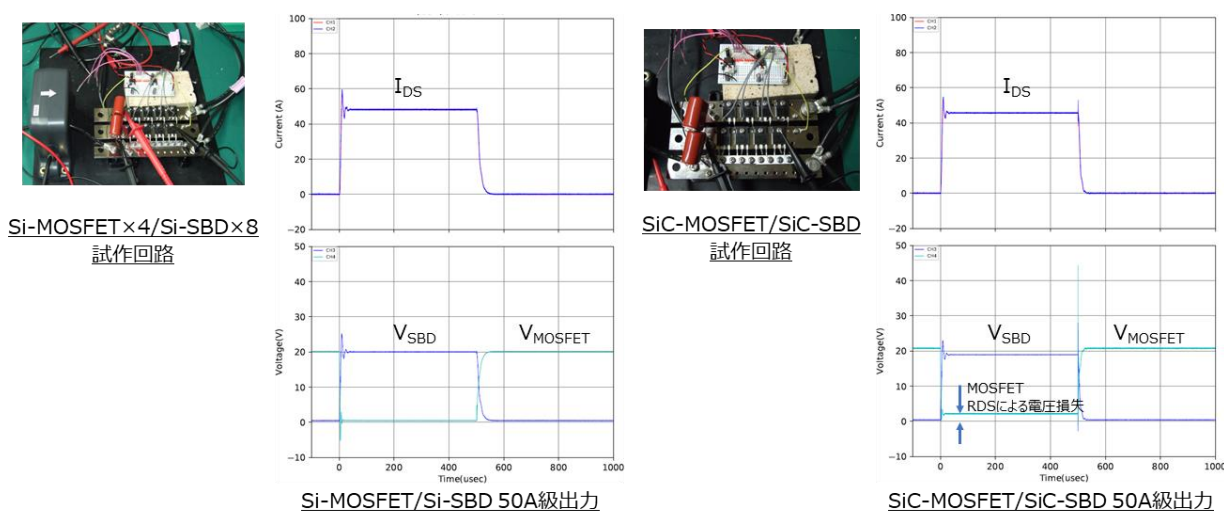


図2-12 SiとSiC（仮想 α -Ga₂O₃）の評価結果

耐圧60V Si MOSFETのオン抵抗が2.3m Ω /素子であるのに対して、耐圧600V SiC MOSFETは高耐圧のため80m Ω /素子であり、SiCの方が電圧損失が大きいことがわかる。ただし、高電圧化していくと、相対的に電圧損失は小さくなることが予想されるため、1kV仕様であるパルス電源（その2）における影響は別途確認した。また、SiC MOSFETはターンオン/ターンオフ時間が短いため、特にオフになるタイミングでサージが発生していることがわかる。対策として、サージ抑

制のためのスナバ回路の追加等が必要となるが、スイッチング電流や寄生インダクタンスに合わせたパラメータ調整が必要であり、高電圧化の際に適正化を行った。

2) 仮作ミニモデル機構設計

仮作ミニモデルの機構設計としては、図2-11に示す通り回路構成を検討してキャパシタ、コンデンサ、MOSFET、SBD等の必要部品を抽出し、各部品の構造や寸法を把握した。PWM制御を実現するためには、電流検出によるフィードバックが不可欠であるため、電流検出方法を検討した。電流検出方法としては、シャント抵抗による検出、CT（カレントトランス）による検出が考えられるが、試験的に20A 3msecの波形を取得して適用性を評価した。評価結果を図2-13に示す。

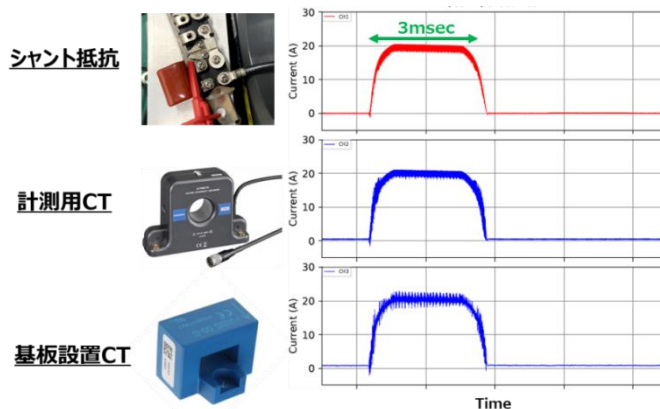


図2-13 電流検出機構の比較結果

図2-13に示すように、CTでは比較的ノイズが大きく、対策としてフィードバック回路での発振防止対策が必要となることを把握した。また、シャント抵抗方式に比べて、計測用CTや基板設置CTは寸法が大きいため、ミニモデル仮作においては、他部品との干渉を含めた機構検討を実施した。本検討にて、仮作ミニモデルの全部品の構造や寸法を把握し、引き続き電流検出機構の決定及びフィルタ設計を実施した。

3) シミュレーション評価

これまでの検討に基づいた回路構成を基にシミュレーションモデルを構築し、仮作ミニモデル（その1）の評価を実施した。前述した通り、MOSFETとSBDを並列構成して所望の出力を得る計画であり、特にシミュレーションでは、 α -Ga₂O₃ SBD の電流挙動を確認する必要がある。構築したシミュレーションモデルを図2-14に、シミュレーション結果(SBD電流)を図2-15に示す。

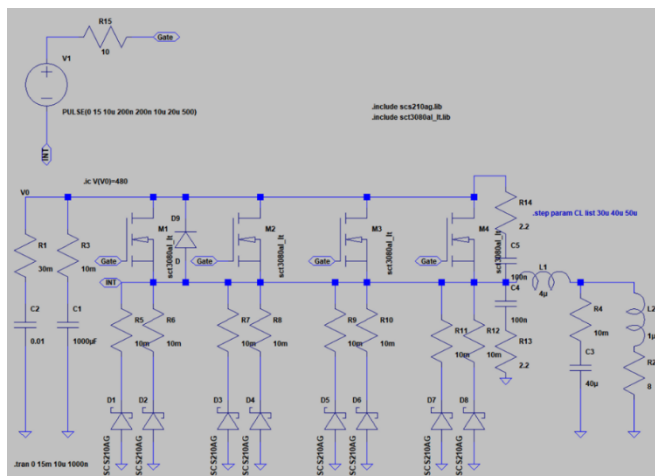


図2-14 構築したシミュレーションモデル

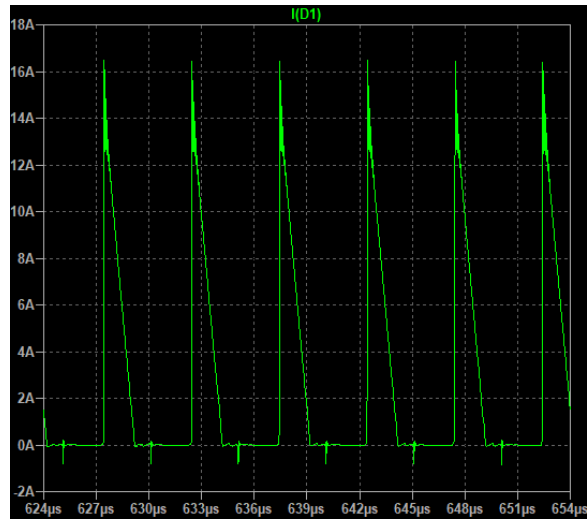


図2-15 シミュレーション結果（SBD電流）

図2-15に示す通り、各SBD電流は8並列構成にて1本あたりピーク電流16A程度が想定され、許容範囲であることが確かめられた。この結果は、パルス電源（その1）の回路構成に反映した。

パルス電源回路方式は、パルス電源（その2）においても、パルス電源（その1）と同様の高圧チョッパ回路を用いる計画である。本回路が、パルス電源（その2）でも問題なく動作することを検証するため、パルス電源（その2）の仕様を想定した入力電圧1kVとなる回路でもシミュレーションを行い、回路構成の妥当性を確認した。引き続き今後得られる α -Ga₂O₃特性をシミュレーションモデルに組み込み、パワー半導体素子の構成についてパルス電源（その2）のシミュレーション評価を実施する計画である。

(ii) 低電圧パルス電源ミニモデルの仮作及び評価（担当：三菱重工業株式会社）

パルス電源（その1）の製作及び評価

1) 部品手配

パルス電源（その1）の要求事項を以下に示す。

出力電圧	400V
出力波形	50A-10msec
負荷	400V/50A = 20kW（パルス）
出力パワー	400V×50A=20kW（200J/パルス）
素子	SiC MOSFET×4 / α -Ga ₂ O ₃ SBD（10A）×8

以上の要求事項に加え、実用的な運用シーンを想定し、キャパシタを充放電するための電源及び電子負荷を加えた構成図を図2-16に示す。

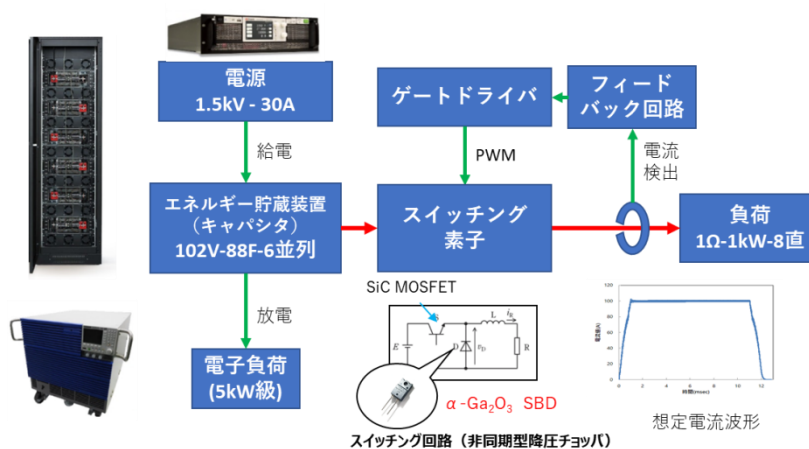


図2-16 パルス電源（その1）の構成

図2-16に示すスイッチング素子（SiC MOSFET）やゲートドライバ、電流検出器等を入手し、電源、エネルギー貯蔵装置（キャパシタ）、模擬負荷等については仕様及び型番を決定し2020年度に導入した。 α -Ga₂O₃ SBDの素子特性が判明次第、回路の詳細設計に反映することとして準備を進めた。

2) ミニモデル製作

パルス電源（その1）製作に向けて、上述の通り部品及び装置の購入準備を進め、20V / 50Aクラスの降圧チョッパ回路を作製し、2019年度に動作検証を実施した。回路の詳細設計が完了次第、高電圧化して完成させ、所望のパルス出力を確認するとともに、システムとしての成立性を評価していく計画である。

2019年度までにSi MOSFETを使用した大電流パルス出力に対応した降圧チョッパ回路を設計し、複数パワー半導体の並列実装により1kA級パルス出力の制御が可能であることや、目標とするパルス波形を50kHz程度のパルス変調で得られることを確認した。2020年度は、FLOSFIAから入手可能な α -Ga₂O₃ SBDを使用したスイッチング回路設計を実施した。 α -Ga₂O₃SBDを組み込んだ降圧チョッパ回路のシミュレーションモデルと解析結果を図2-17に示す。

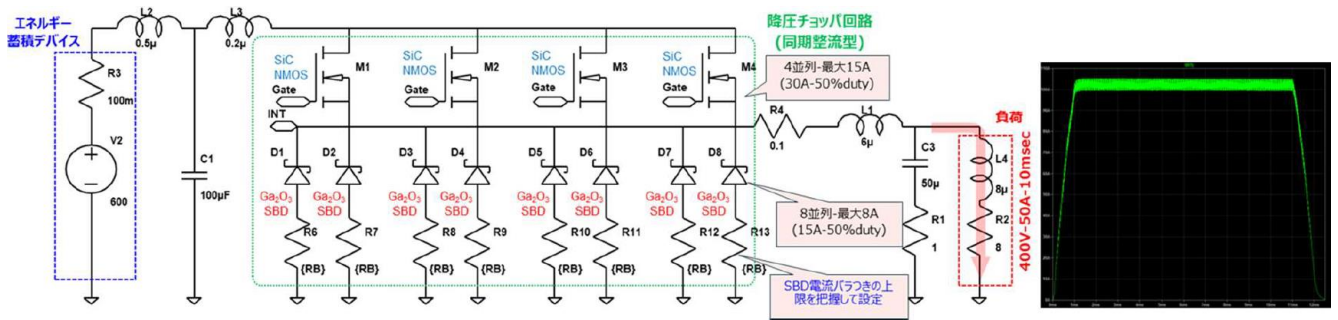


図2-17 シミュレーションモデルと解析結果

本シミュレーションでは、 α -Ga₂O₃ SBD を8並列で使用する構成とした。この場合、50Aフラットパルスの出力時間10msecに対して、 α -Ga₂O₃ SBD 1素子に15A程度のピーク電流が流れると予想される。SBDを並列化する際に特に留意すべき点は、SBD素子の特性バラツキ(閾値電圧、直列抵抗、温度特性)に伴い、ダイオードの熱暴走が発生することによる素子の破壊である。一般にMOSFETは温度上昇に伴い素子の通電時の抵抗は上昇するため、並列使用時において電流アンバランスが生じても各素子への電流は均一化され熱暴走は発生しない。一方SBDの場合、昇温に対してバンドギャップが小さくなり電流が流れやすくなる。また、電流上昇に伴い温度上昇が発生するため熱暴走状態となり、SBDを並列接続することは推奨されない。並列化の際の留意点として、①特性の揃ったSBDを選定すること、②電流制限抵抗によるバランス化、③個々のデバイス温度が均一になるようにヒートシンクを共通化、などの熱結合向上への対応が挙げられる。熱暴走に対する対策は、ダイオード並列時の電流均一化や温度依存性評価であり、それぞれの考え方を図2-18、図2-19に示す。

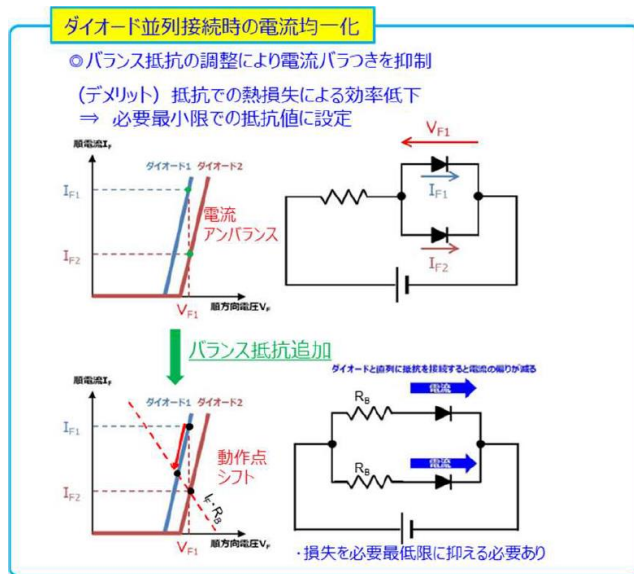


図2-18 対策①電流均一化

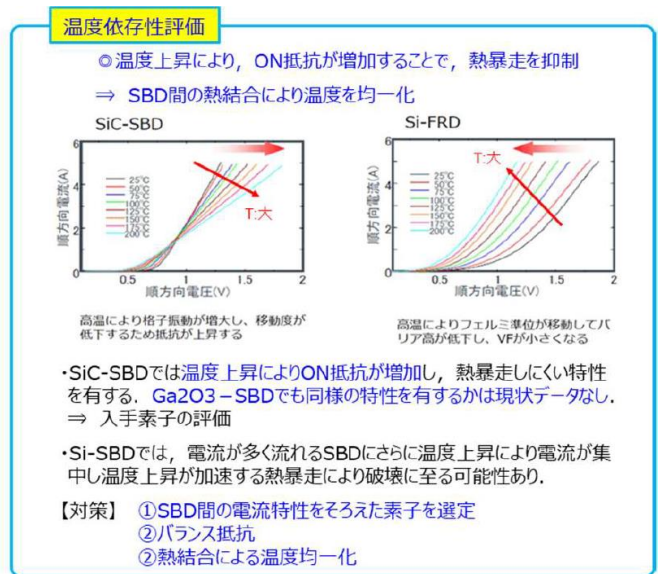


図2-19 対策②温度特性評価

ダイオードの閾値電圧は、Siの場合V_Fで0.5~1.0V、SiCの場合はV_Fで1.5~2V程度となる。一方、SiCの場合には温度上昇に対してシリーズ抵抗が上昇するという特性があり、熱暴走が起きにくいことが知られている。本研究では α -Ga₂O₃ SBDの基本特性を把握することが不可欠であり、I-V特性及び温度特性の評価を行った。

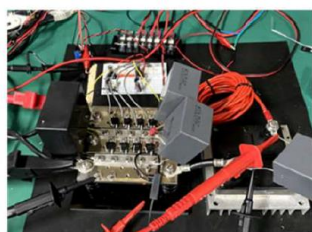
懸念された熱暴走特性に関する特性は、SiC同様に温度上昇に伴い電流が低下することで抑制されることが確認できた。また、15A付近でのパルス特性は温度に対する変化が少なく、安定性が高いことが確認できた。

(低電圧パルス電源ミニモデルの仮作及び評価)

(i) スwitchング回路設計の設計結果に基づき、パルス電源（その1）の設計及び製作を実施した。まず、SiC MOSFET/SBDによる回路の動作検証を行い、5msecレベルにてチャージ電圧を440Vまで増加させることで、50Aのフラットパルスを出力できることを確認した。実際の回路においてはスウィッチング時のサージが発生するため、スナバ用コンデンサの容量調整等が不可欠であった。使用したエネルギー蓄積デバイスおよびスウィッチング回路を図2-20、評価結果を図2-21に示す。



エネルギー蓄積デバイス
(640V-1.5F EDLC)



降圧チョップスイッチング回路
(SiC-MOSFET/SiC-SBD)

図2-20 スイッチング回路

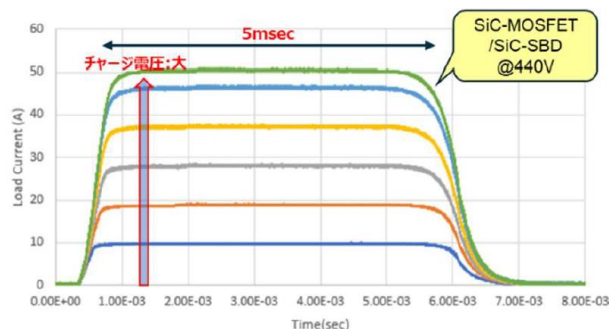
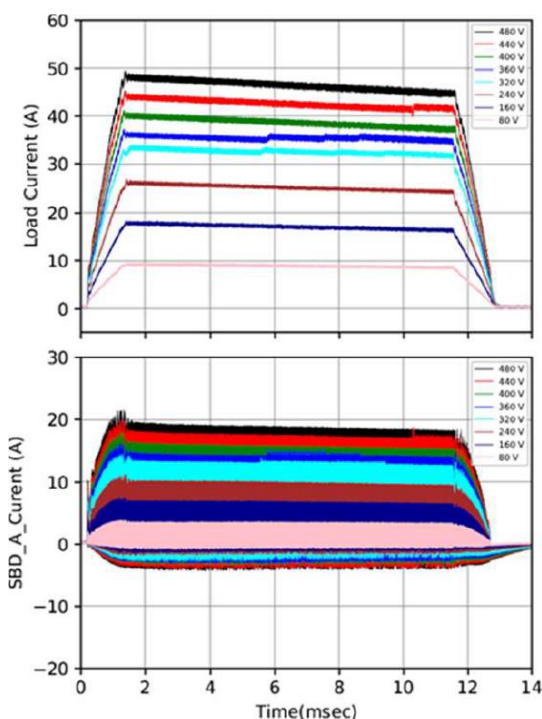


図2-21 SiC MOSFET/SBDでの評価結果

本構成にて動作確認を行うことにより、SBDに流れる電流波形およびサージ防止のためのスナバ回路の設計指針を把握できた。500V以上の電源電圧となる条件では、外部電源を必要としないブートストラップ式のゲートドライバを使用する場合にはサージ電圧への耐性に余裕がなくなり故障が発生する。このため、600V以上の電源電圧にて駆動する場合は別途絶縁型電源を備えた1200V級のゲートドライバが必要となる。大電流適用においてはゲートドライバをSiC MOSFET等に使用されている電源に交換する計画である。

次に、SiC-SBD から α -Ga₂O₃ SBD に置換した試作を実施した。今回入手したSBD特性は耐圧に余裕がないため、次の条件にてSBDを選定して適用した。

- ① 逆方向電圧 -600V にて 0.1mA以下
- ② 順方向6A での動作電圧ばらつき 0.1V以下
- ③ 温度上昇に伴い電流が増えない特性（熱暴走抑制特性）か確認



結果としてV_Fは高いものの特性が揃った4サンプルを選定し4個動作の回路とした。動作検証は素子の破損を考慮して最小限の容量とした電解コンデンサを使用して試験を行った。電解コンデンサ及び α -Ga₂O₃ SBD 4並列構成で評価した結果、400V 50A 10msecのパルス出力を確認することができた。評価結果を図2-22に示す。

電解コンデンサでは10%弱の電圧低下が生じているため、電解コンデンサをキャパシタに置き換えてパルス電源（その1）の評価を実施した結果は次の2)に示す。

図2-22 電解コンデンサを使用したパルス電源（その1）の評価結果

3) パルス電源（その1）の評価とパルス電源（その2）に向けた課題抽出

電解コンデンサを160V-6F-4直列構成のキャパシタに変更してパルス出力を検証した。パルス電源（その1）の構成（エネルギー蓄積デバイス（キャパシタ）、スイッチング回路）と取得したパルス波形を図2-23に示す。

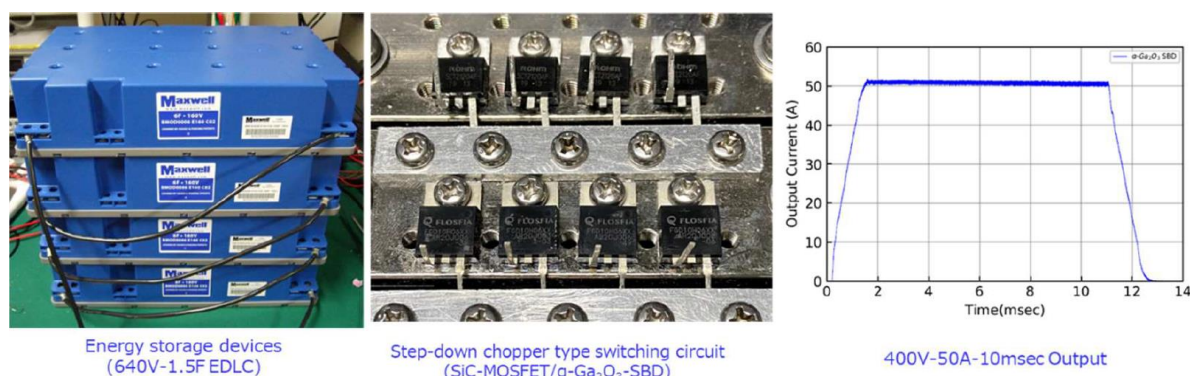


図2-23 パルス電源（その1）の構成と取得したパルス波形

図2-23に示す通り、 α -Ga₂O₃ SBD×4並列の構成にて、目標とした400V 50 A 10msecの出力を達成した。詳細評価結果は以下の通りである。

- ・キャパシタバンクでは、電解コンデンサバンクに比べて容量が300倍程度となるためパルス出力中における電圧変化はごくわずかであることが確認できた。
- ・キャパシタのバンクサイズが大きいため結線長が増加しチャージ電圧は480V程度まで上げることが必要。
- ・スイッチング周波数は100kHz程度

降圧チョッパ回路では、一定出力部分でのSBDへの負荷は比較的小さいため、次にSBDに流れる電流評価を目的として、ログスキーコイルによる電流計測を実施した。 α -Ga₂O₃ SBD電流の評価結果を図2-24に示す。

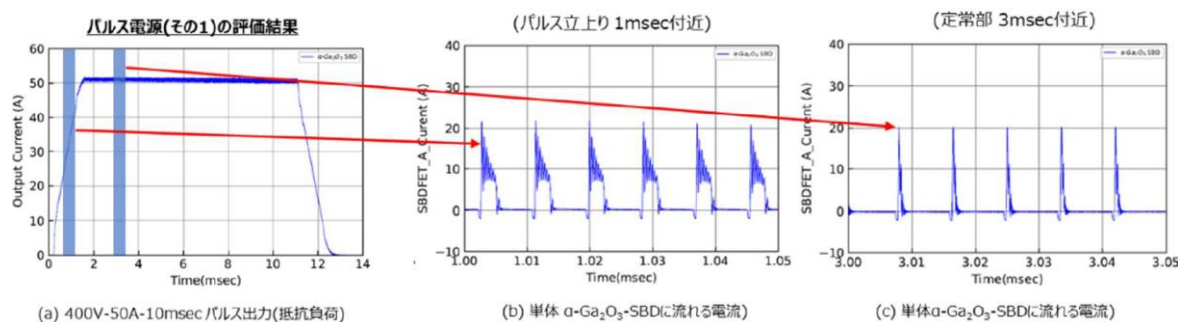


図2-24 α -Ga₂O₃ SBDの電流評価結果

図2-24に示す通り、特に立ち上がり部分での電流が大きく、最大22A流れていることが確認できる。特性が安定するフラット部では、切り替え直後に20A相当の電流が流れているが、持続時間が短いことから立ち上がり部分と比較すると負荷は小さい。パルスをオフした瞬間に流れる電流値は、ログスキーコイルでは応答性が速い信号しか観測できないために予想ではあるが、50A / 4 = 12.5Aにて1msec程度のパルスが流れると推定される。結論として、繰り返しの駆動において特性低下等は生じておらず、SBD素子等の損傷も認められなかったため問題なしと評価した。

次に、パルス電源（その2）に向けた課題について検討した。これまでに述べてきた通り、パルス電源（その1）では設計通りのパルス波形が取得できたことから、回路トポロジーやエネルギー蓄積デバイスの選定結果やスイッチング回路の設計結果について妥当性が確認できている。一方で、パルス電源（その2）では1kV-5kA級へのスケールアップが必要であり電流容量は100倍となる。想定する課題は以下の通りである。

- ・サージの影響低減のためのスナバ回路の検討
- ・低インダクタンス化の対策
- ・複数接続するパワーモジュール間の結合方法の具体化
- ・実用的なパルス電源とするためのシステム構成検討
- ・模擬負荷の具体化

実用的なパルス電源とするためのシステム構成検討については、先行して構成の具体化と設備導入を進めた。パルス電源（その2）を想定した構成を図2-25に示す。



図2-25 パルス電源（その2）に向けて導入したキャパシタシステム構成

まず、図2-25の一部と充電用電源、放電用電子負荷、キャパシタバンク×6直からなる充放電システムを先行して導入し挙動検証を実施した。最終的には本設備に必要な量のキャパシタを増設することで1kV 5kA仕様のパルス電源（その2）に必要なエネルギー蓄積デバイス構築を目指した。模擬負荷の具体化については、動的な負荷変動に対する挙動を考慮する必要があるため、パルス駆動負荷について検討を進める必要があり、電磁作用を利用した動的装置、光源等を視野に含めて検討を引き続き行い模擬負荷の検討を行った。

(iii) 電圧 1kV5kA パルス電源ミニモデルの仮作及び評価（担当：三菱重工業株式会社）

(i)、(ii) でパルス電源（その2）の設計・製作仕様や課題について述べてきた。回路トポロジーやエネルギー蓄積デバイスはパルス電源（その1）を踏襲する方針とし、高電圧や大電流への対応としては α -Ga₂O₃ デバイスのパッケージについて SiC-MOSFET モジュールを参考に検討した。これらの検討結果を踏まえて、現状入手可能な SiC MOSFET を用いて最終目標の電圧・電流が半分程度となる 600V-2.5kA 級のモジュール試作に着手した。モジュールは1個当たり 100A 級 1200V 耐圧チップを4並列で構成しており、これを4個組み合わせることで定常電流 1.6kA、短時間駆動 10msec を考慮した場合、2.5kA パルスの通電は十分に可能となる。本モジュールをさらに2並列化することで 1kV-5kA を実現する方針とした。

2021年度より、パルス電源（その1）の設計・評価結果に基づきパルス電源（その2）の設計を開始した。パルス電源（その1）では、エネルギー蓄積装置には静電エネルギー貯蔵方式で出力特性に優れるキャパシタを選定し、回路には降圧チョッパ回路を採用して設計することで、目標のパルス出力である 400V-50A-10msec を達成することができた。この結果から、パルス電源（その2）においても同様な方式を踏襲することとし、1kV-5kA-10msec を実現するパルス電源（その2）の詳細パラメータの設計を実施した。

まずキャパシタは、電極にグラフェンを使用して低抵抗化を図った EDLC が本研究には適していることを調査により把握し、Skeleton Technologies 社のキャパシタモジュール（Skelmod102V-88F）を候補として抽出した。さらに追加のキャパシタを導入する上で、Skeleton Technologies 社製 EDLC と比較して、セル定格電圧向上及び内部抵抗低減が期待できる Sech 社製セルを導入した。Sech 社セルは、Skeleton Technologies 社の同等品とスペック上の比較において、定格電圧 2.85V → 3.00V、内部抵抗 0.18m → 0.14mΩ と向上しており、集積モジュール構成においても性能向上が期待できる。1kV-5kA のパルス出力を想定し、キャパシタやスイッチングモジュール、配線抵抗等による電圧降下を考慮して両社のキャパシタモジュールの直並列数を検討した。Skeleton Technologies 社及び Sech 社のキャパシタセルを集積化したモジュールの特性を図2-26、図2-27に示す。

SMA102V88FAP TECHNICAL SPECIFICATIONS	UNIT	VALUE
Electrical		
Nominal voltage	V	102
Rated maximum voltage	V	105
Rated capacitance	F	88
Rated DC ESR	mΩ	7.6
Rated DC IR ESR	mΩ	7.6
Specific energy	Wh/L	9.8
Energy density	Wh/kg	20.2
Maximum series voltage	VDC	105
Rated maximum peak current (for 1s duration)	A	250
Typical short circuit current	A	250
Maximum stored energy	J	12.5
Rated nominal power (DC 10ms ESR)		
Power ¹⁾	kW	14.2
Specific power ¹⁾	kW/kg	24.2
Rated practical power (DC 1s ESR)		
Power ²⁾	kW	11.6
Specific power ²⁾	kW/kg	11.6
Power density ³⁾		
Cells in total	pcs	36
Cell type		SCA1000

36直列セル-102V
Rs 7.6mΩ

図2-26 Skeleton社モジュールスペック

Product Datasheet - Preliminary

ESS Module with power cells

- Rated voltage 144VDC
- 62.5F capacitance
- Ultra-low ESR
- Stackable 1/9 rack design
- Laser welded connections
- Innovative cell management
- Integrated voltage and temperature monitoring
- CAN bus communication

ELECTRICAL SPECIFICATIONS	M35W-144-P063
Type	M35W-144-P063
Rated Voltage V _r	144.00 V
Storage Voltage V _s	148.80 V
Rated Capacitance C ¹⁾	62.5 F
Capacitance Tolerance ²⁾	0% / +20%
DC ESR ³⁾	9.0 mΩ
Usage Current I _u ⁴⁾	<25 mA
Constant Current (ΔT = 15°C) ¹ passive cooling	50 A
Constant Current (ΔT = 15°C) ¹ active air cooling 50 CFM	205 A
Max Current I _m ⁴⁾	2.9 kA
Short Current I _s ⁵⁾	16.1 kA
Stored Energy E ⁶⁾	130 Wh
Energy Density E _v ⁶⁾	5.6 kWh/kg
Usable Power Density P _u ⁷⁾	8.6 kW/kg
Impedance Match Power Density P _{um} ⁸⁾	18.9 kW/kg

48直列セル-144V
Rs 9.0mΩ
容量は同等

図2-27 Sech社モジュールスペック

両社のモジュール構成は内部抵抗接続等の配線を含み、それぞれ Skeleton Technologies 社 36セル、Sech 社 48セルの構造となっている。1kVあたりの内部抵抗では、Skeleton Technologies 社と比較して Sech 社は 74.5mΩ → 52.8mΩ と 30% 程度低下しており、Sech 社の方が電流通電時の電圧低下が抑制されることが期待でき、本研究ではエネルギー貯蔵装置の小型化についても可能性を検証する必要があるため、スペック上では sech 社モジュールが有望である。ただし、現在各種半導体関連部品の入手が困難となっている状況から、1社に絞らずに両社のモジュールを活用してエネルギー蓄積装置を設計する方針とした。具体的には、両社のモジュールそれぞれに 2.5kA ずつ出力させて 2並列構成で目標電流 5kA を達成する構成である。検討した Skeleton Technologies 社及び Sech 社キャパシタモジュールのカタログスペックとモジュール構成検討結果を表2-12に示す。

表2-12 Skeleton Technologies社とSech社のキャパシタモジュールを活用した際の特性

ELECTRICAL SPECIFICATIONS	Skeleton	SECH(ノーマル)	SECH(ハイパワー)	SECH(ハイパワー②)
Type	Skelmod102V88F	M35W-144-0063	M35W-144-P063	M33W-144-0063
Rated Voltage VR 144.00V	102 V	144.00 V	144.0 V	144.00 V
Surge Voltage VS	108V	148.80 V	148.8 V	148.80 V
Rated Capacitance C 2 63F	88F	63F	62.5 F	62.5 F
Capacitance Tolerance 3 0% / +20%		0% / +20%	0% / +20%	0% / +20%
DC ESR2 12 mΩ	7.6mΩ	12 mΩ	9.0 mΩ	8.5 mΩ
Leakage Current IL	-	<25 mA	<25 mA	<5.2 mA
Constant Current (ΔT = 15°C)5 passive cooling	172 A	79 A	92 A	230 A
Constant Current (ΔT = 15°C)5 active air cooling 60 CFM	-	177 A	205 A	750 A
Max Current IMax	2.689 kA	2.6 kA	2.9 kA	-
Short Current Is	21.25kA	12 kA	16.1 kA	-
Stored Energy	127.1 Wh	180 Wh	180 Wh	180 Wh
Energy Density	-	5.6 Wh/kg	5.6 Wh/kg	2.7 Wh/kg
Usable Power DensityPd	-	6.8 kW/kg	8.6 kW/kg	4 kW/kg
Impedance Match Power Density PdMax	-	13.5 kW/kg	18.8 kW/kg	9.3 kW/kg
モジュール 直列数	14	10	10	10
システム 定格電圧 (V)	1428	1440	1440	1440
システム 直列抵抗 (mΩ)	106.4	120.0	90.0	85.0
電圧ドロップ(2.5kA)	266	300	225	213
出力電圧(2.5kA)	1,162	1,140	1,215	1,228
電圧ドロップ(5kA)	532	600	450	425
出力電圧(5kA)	896	840	990	1,015

さらに冷却ケース等に入ったスペシャルバージョンがあり、NDAを締結が必要となるため今回見送り。

負荷端にて1kV-5kAを達成するには、スイッチング回路での電圧損失を考慮して1200V程度が必要

1直モジュールでは1kV-5kAの達成は難しく、Skeleton/SECHの混成2並列にて、1kV-5kA達成見込み

表2-12に示す通りモジュール直列数は、Skeleton Technologies社キャパシタモジュール102V-88F×14台、Sech社キャパシタモジュール144V-62.5F×10台となる。この時の総合的なエネルギー蓄積システムとしてのインピーダンスは 125F - 49mΩ相当となり、5kA通電時には内部抵抗により250V程度低下するものの 100~150V程度のマージンが確保される。スイッチングON抵抗+配線抵抗での電圧低下(最大50~100V)を考慮しても負荷側に1kV以上の電圧を印加することが可能である。詳細な出力特性評価については次年度に行った。キャパシタシステムの装置外観を図2-28に、キャパシタシステム構成を図2-29にそれぞれ示す。



図2-28 キャパシタシステム外観

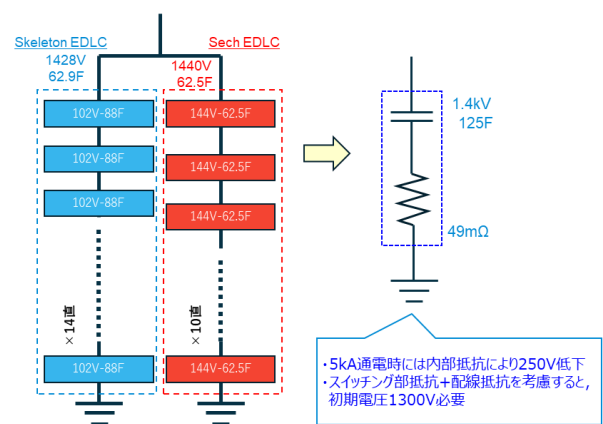


図2-29 システム構成

・5kA通電時には内部抵抗により250V低下
・スイッチング部抵抗+配線抵抗を考慮すると、初期電圧1300V必要

次に、負荷の設計結果について説明する。パルス電源出力の目標値を示すために安定した特性となる抵抗性負荷の検討を実施した。1kV印加時に5kAが流れる負荷としては、0.2Ωの抵抗が必要となる。5kAが0.2Ωの負荷に流れる場合、10msecといった短時間であっても瞬間的な発熱量は 5MWとなる。図2-30に示すようなシャーシ取り付け型の金属膜型抵抗器の負荷と使用する場合、10msec以上では連続使用時の定格容量と同等になるため、計算上定格1kWの抵抗体5,000個が必要となる。

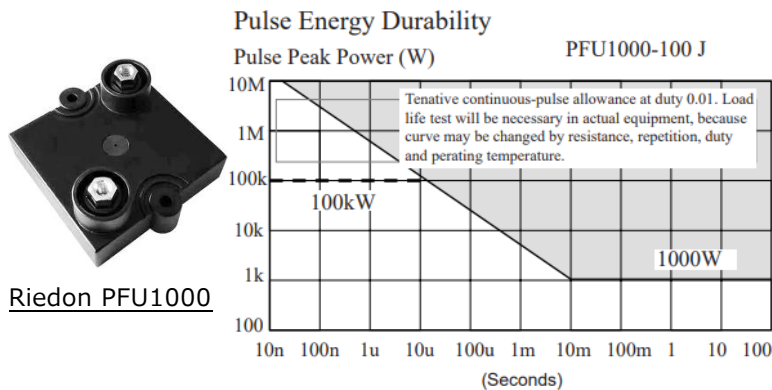


図2-30 シャーシ取り付け型金属膜型抵抗性負荷

このような負荷では、熱容量の大きな銅線等を使用して昇温にて吸収する必要があるが、銅線は抵抗率の温度依存性が大きく (0.4%/K)、通電中に抵抗が変化するため一定の抵抗を保つことができない。模擬負荷抵抗値の変化を1%以内に抑えるには、2.5°C以下の昇温に抑える必要があり、熱容量を考慮した場合51.8kg相当の銅線が必要となる。一方で、抵抗率の温度変化が小さい金属 (マンガニン、ニクロム線、カンタル線等) を使用すると、温度上昇による抵抗率変化が小さいため、1%変化の場合の許容値が 50°C程度となる。この時の重量は2.3kg程度まで軽量化が可能である。また巻線についてはインダクタンス成分を最小とするため無誘導巻きとする。

以上を踏まえて実際に製作した無誘導負荷の構造を図2-31に示す。0.8Ω コイルを正逆方向に2つ重ねて巻くことで1個当たり0.4Ωの抵抗負荷としている。図2-32に示すように2組のコイルを並列接続で使用することで1kV-5kAに対応する負荷となる。また、単体、直列で使用することで、0.4Ω、0.8Ωの負荷として使用することを想定している。実際の使用においては、通電間隔を制限することで温度上昇を避けて使用する必要がある。

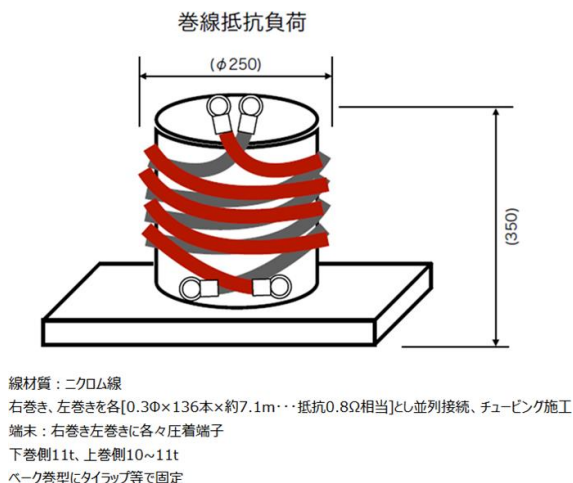


図2-31 無誘導性負荷の構造



抵抗模擬負荷No.1	L1単体	0.78Ω, 28.2μH	並行接続にて 0.20Ω, 0.76Ω相当 ⇒1kV-5kA相当 5kA-10msec通電 ⇒ ΔT:47°C 抵抗変化率1.0%相当
	L2単体	0.79Ω, 27.4μH	
	(合成)	0.39Ω, 1.51μH	
抵抗模擬負荷No.2	L1単体	0.78Ω, 26.9μH	
	L2単体	0.79Ω, 27.3μH	
	(合成)	0.39Ω, 1.54μH	

図2-32 並列接続による1kV-5kAへの対応

(パルス電源 (その2) スイッチングモジュールの製作及び評価)

パルス電源 (その2) の製作にあたり、α-Ga₂O₃を想定しSiC MOSFETを用いて製作を行った。現状入手可能であるSiC MOSFETモジュールの調査を行ったところ、耐圧1.7kVのSiC MOSFETは入手性が悪く、容量の大きなディスクリット素子の入手が困難であるため、まず耐圧1.2kVで入手可能なMOSFETを選定し、大電流5kAを実現するスイッチングモジュールの検討から実施した。選定したのはRohm社の耐圧1.2kVハーフブリッジモジュールBSM600D12P3G001であり、本モジュール

ルを用いて回路製作を進めた。

本モジュールは、内部に75A級SiCチップ（5mm角程度と推定）×8個を2バンク使用していると推定され、さらには還流用のSiC SBDを内蔵しており配線の簡略化が可能となる。製作に使用したSiC MOSFETモジュールの外観と回路図を図2-33に、主要スペックを表2-13にそれぞれ示す。

表2-13 耐圧1.2kV SiC MOSFETモジュールの主要スペック

●Absolute maximum ratings (T _j = 25°C)				
Parameter	Symbol	Conditions	Ratings	Unit
Drain - Source Voltage	V _{DS}	G-S short	1200	V
Gate - Source Voltage (+)	V _{GS}	D-S short	22	
Gate - Source Voltage (-)	V _{GS}	D-S short	-4	
G - S Voltage (t _{surge} < 300nsec)	V _{GSsurge}	D-S short	-4 to 26	
Drain Current Note 1)	I _D	DC(Tc=60°C) VGS=18V	576	A
	I _D	DC(Tc=50°C) VGS=18V	600	
Source Current Note 1)	I _{DSM}	Pulse (Tc = 60°C) 1ms VGS=18V Note 2)	1200	
	I _S	DC(Tc=60°C) VGS=18V	576	
	I _S	DC(Tc=50°C) VGS=18V	600	
	I _S	DC(Tc=60°C) VGS=0V	418	
	I _{ISM}	Pulse (Tc = 60°C) 1ms VGS=18V Note 2)	1200	
Total Power Dissipation Note 3)	P _{tot}	Tc = 25°C	2450	W
			175	
Max Junction Temperature	T _{jmax}		175	°C
Junction Temperature	T _{jop}		-40 to 150	
Storage Temperature	T _{stg}		-40 to 125	
Isolation Voltage	Visol	Terminals to baseplate f = 60Hz AC 1 min.	2500	Vrms
Mounting Torque		Main Terminals : M6 screw	4.5	N · m
		Mounting to heat sink M5 screw	3.5	

Note 1) Case temperature (T_c) is defined on the surface of base plate just under the chips.
 Note 2) Repetition rate should be kept within the range where temperature rise if die should not exceed T_{jmax}.
 Note 3) T_j is less than 175°C.

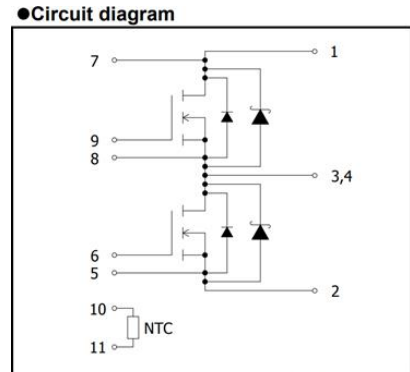


図2-33 耐圧1.2kV SiC MOSFETモジュール

SiC MOSFETモジュールBSM600D12P3G001のスペックシートには、モジュールの最大安全動作範囲が記載されていないため、同等チップを内蔵していると推定されるRohm社のディスクリットMOSFET SCT3030KLのスペックから電流許容量を推定する。同チップのスペックシートでは、安全動作エリア（一瞬でも超えてはいけない範囲）が設定されており、パルス幅（P_w）が10msecの場合、MOSFETが完全にONの状態でも120Aを超えてはいけないことになり、連続使用定格である72A程度にて使用する必要がある。BSM600D12P3G001では同チップが 8個入っていると推定され、576Aが最大値と考えた場合、まずは2.5kA級を試作するため少なくとも5個を並列して使用する必要がある。推定に使用したディスクリットMOSFETの外観と回路図を図2-34に、電流値の検討結果を図2-35に示す。

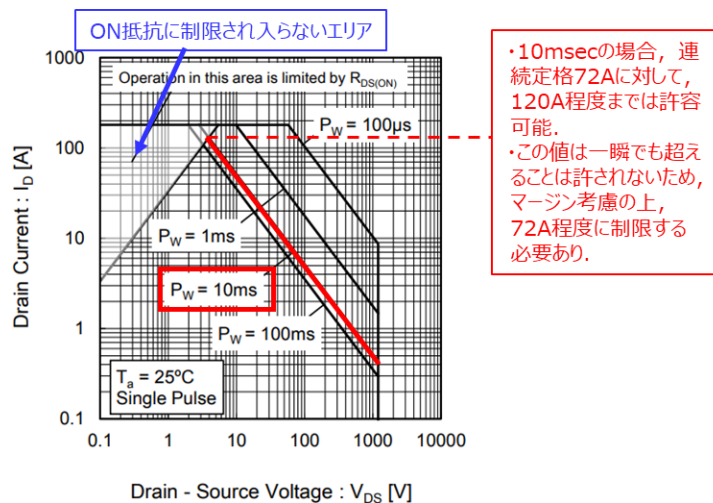
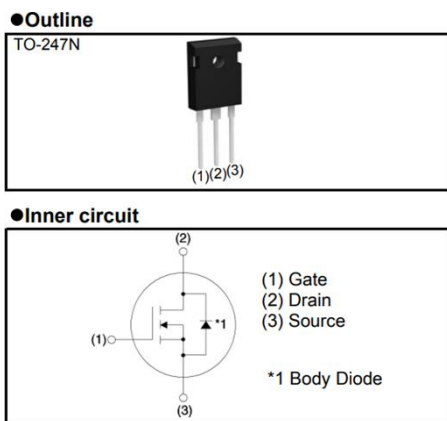


図2-34 ディスクリット品の外観と回路図

図2-35 電流値検討結果

続いて、選定したSiC MOSFETを用いたパルス電源（その2）の製作内容について説明する。1kV 2.5kA出力を実現するスイッチングモジュールを作製し、同モジュールを2個並列使用することで1kV 5kAを達成する方針であり、製作における重要なポイントは以下の2点である。

- ① スwitching OFF時のサージによる絶縁破壊対策
- ② スwitchingモジュールの電流バランス調整

①については、スイッチングモジュールごとの特性（ON抵抗や温度特性等）を揃えることや、結線抵抗やインダクタンスを均等化すること等が必要である。また、②についてはサージを吸収するためのスナバ回路や還流回路のパラメータ合わせが重要である。これらは負荷に併せて調整する必要があり、10 μ Hを最大として検討を進める。BSM600D12P3G001のSPICEモデルはメーカーより入手可能であり、本SPICEモデルを使用して製作時の各種対策を実施した。スイッチングモジュール構成の概要を図2-36に、SPICEモデルを図2-37にそれぞれ示す。

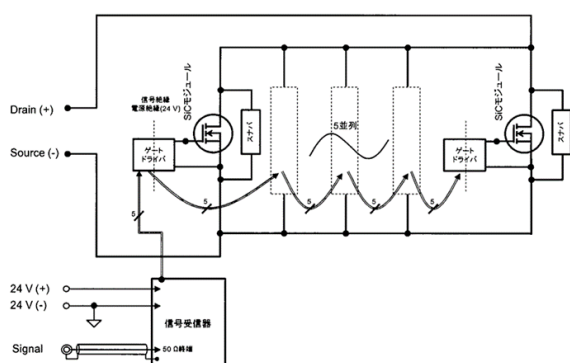


図2-36 スwitchingモジュール概要

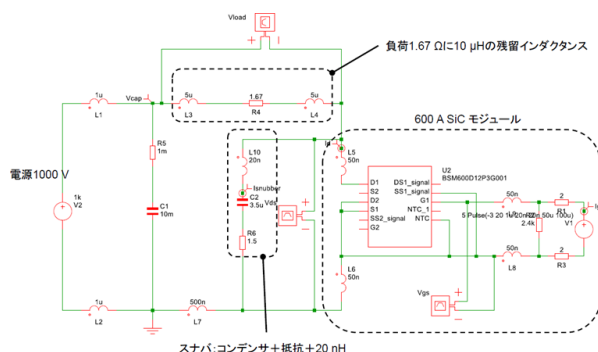


図2-37 スwitchingモジュールのSPICEモデル

スイッチング回路の製作においては、負荷に電流が流れている状態で回路を遮断すると、回路のインダクタンス成分Lに対して電流の変化量に対応したサージが発生するため、この時の絶縁破壊対策が必要である。サージ電圧Vは $L di/dt$ にて決まるため、インダクタンスが大きいほど、電流値が大きいほどサージ電圧が大きくなる。対策としては、一般にキャパシタと抵抗を直列に挿入するCRスナバ回路が用いられる。ここでは、1モジュールあたりの回路で1kV 600A通電時からOFFにした場合の検討例を示す。

まずはスナバ用コンデンサ3.5 μ Fとしてスナバ抵抗値を0.5 Ω ~3.0 Ω へ変化させ、600A導通状態からターンオフさせた場合、負荷1.67 Ω に近いスナバ抵抗1.5 Ω で効果が大きくなる結果となった。抵抗が低すぎるとターンオフ後にVdsが持ち上がる現象があり、また、ターンオン時にスナバコンデンサに突入する電流が大きくなる。抵抗を2.5 Ω 以上にするとインピーダンスが上がりすぎてスナバコンデンサが機能しなくなる。検討結果を図2-38に示す。

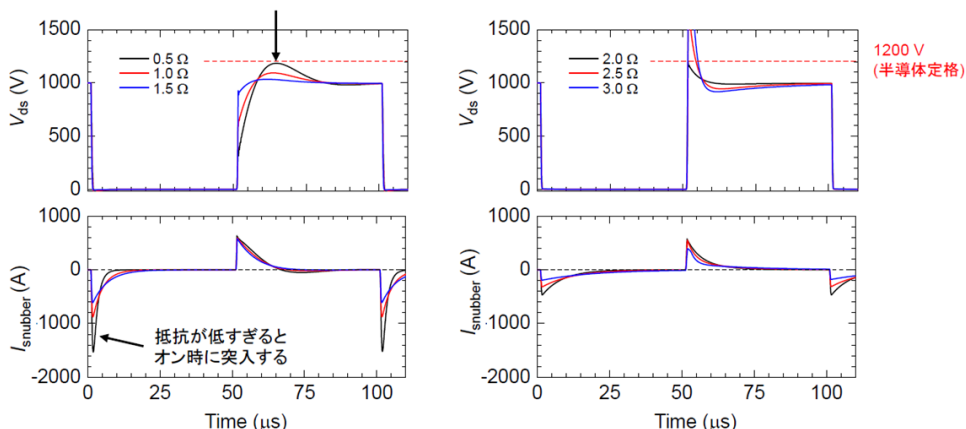


図2-38 スナバ抵抗の調整結果（スナバコンデンサ3.5 μ F）

続いて、スナバ抵抗を1.5 Ωに固定し、スナバコンデンサを1.0 μFから4.0 μFに増加させた例を示す。スナバコンデンサを大きくすると単調にサージ電圧が減少し、2.5 μF以上のコンデンサで半導体定格1200 V以下のサージ電圧となった。スナバ回路の基本としては、インダクタンス成分の充電時定数に合わせたCR回路時定数を合わせることで見かけのピークを減らすことが可能となる。よって負荷のインダクタンス成分に応じた調整が必要となる。不必要にキャパシタを大きくするとスナバ回路での発熱が大きくなり、スナバ回路の破損に繋がり結果として素子を破損してしまうため注意が必要である。検討結果を図2-39に示す。

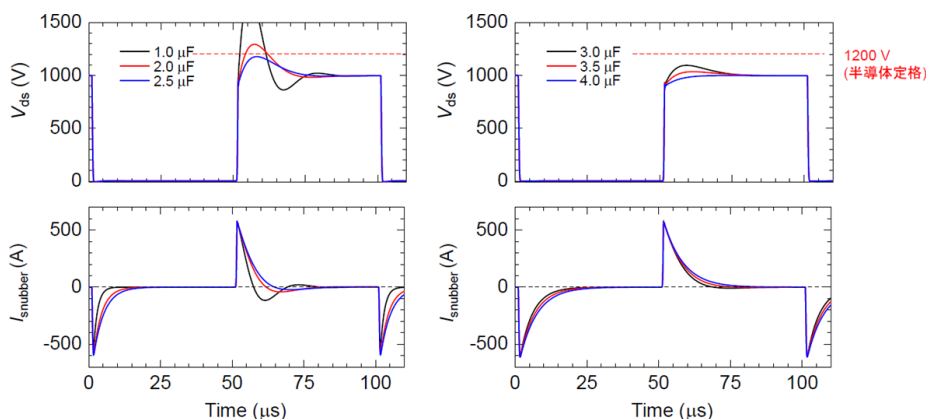


図2-39 スナバコンデンサの調整例（スナバ抵抗1.5 Ω）

MOSFETを並列使用する方針で検討したが、並列使用する際はモジュールごとのON抵抗を揃えることが不可欠である。例えば、一つのモジュールのON抵抗が低い場合はそこに電流が集中して素子の異常発熱が発生する。通常MOSFETの場合は、図2-40のように温度上昇に伴いON抵抗が増大するが、比較的短時間では温度変化が小さいため、初期のアンバランスがそのまま緩和しにくい。まずはON抵抗（一定電流通電時のVds）を計測して特性を揃えとともに、配線抵抗、接触抵抗、インダクタンスにアンバランスが生じないように細心の注意を払って製作を行った。Vdsの計測例を図2-41に示す。

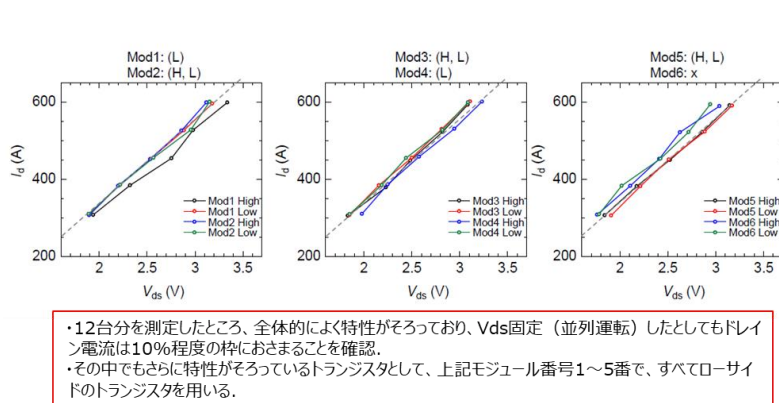


図2-40 ON抵抗の温度依存性

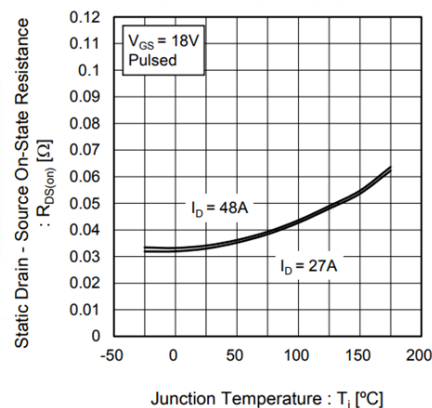
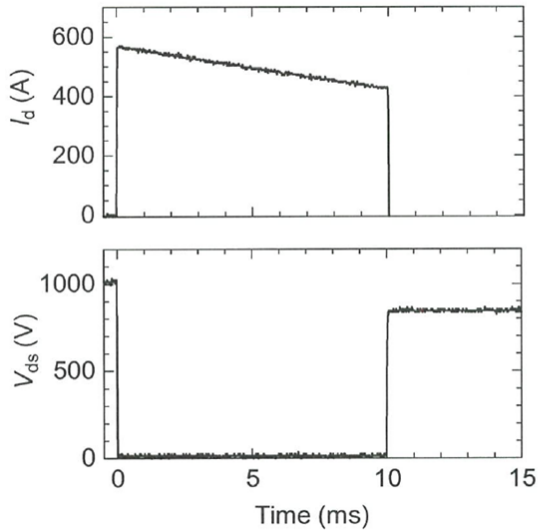


図2-41 Vds測定結果

これまでの調整結果を踏まえ、MOSFETモジュールを5並列実装した場合のスイッチング特性を図2-42に示す。①1kV 500A 10msec、②1kV 2.5kA 0.5msecにてそれぞれ出力可能であることを確認した。

①1kV-500A-10msec



②1kV-2.5kA-0.5msec

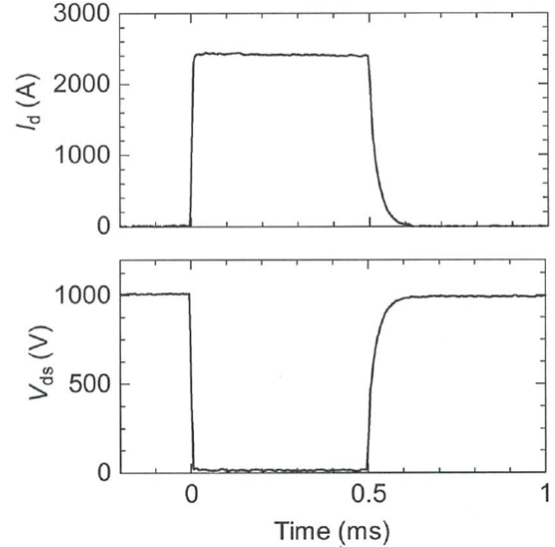
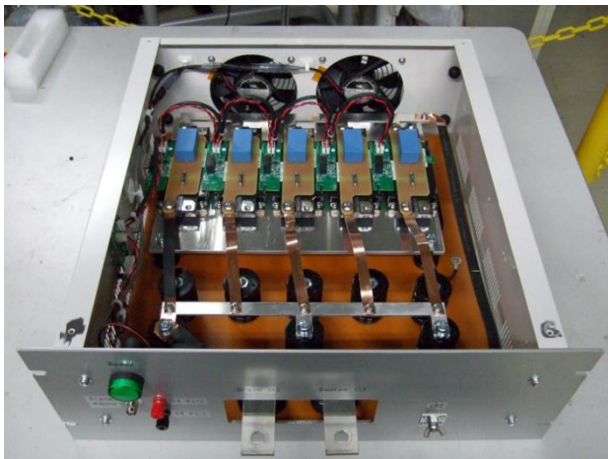


図2-42 スイッチング特性確認結果

図2-43に完成したスイッチングモジュールを示す。これまでに述べてきた通り、パルス電源（その2）の製作においては、SiC MOSFETモジュールの並列使用により、5kA出力達成の目途付けを進めてきた。5kA出力時には、少なくともキャパシタの初期充電電圧は1.4kV程度が必要となるため、耐圧1.7kV MOSFETが必要であるが、最終的には入手困難であるため、1.7kV-MOSFETによる電源の製作は行わないこととした。



◎市成品入手手配(12モジュール確保)

↓
・Vdsバラつきを考慮し実装



2.5kA並列化
⇒ 5kA出力

図2-43 スイッチングモジュール外観

続いて、設計した抵抗性模擬負荷の製作状況を説明する。スイッチング回路設計で述べたように製作方針は、5kA-10msec通電に対して発熱を電線熱容量にて吸収（温度上昇50℃以下）することである。昇温による抵抗変化を1%以下と設定して ΔT 47℃、抵抗変化1.0%弱となる無誘導コイルと動的に変動する負荷として簡易的な電磁誘導負荷装置（20mm-長さ1m）を製作した。通常のシンプルなレールを使用して、5kA程度で20m/s程度しか加速できないように、関係法令等を遵守して試験を進めた。また、試験中の電磁ノイズの放出防止及び予期せぬキャパシタバンクの噴出等に備えて、15mm程度のアルミ板で囲んだ模擬負荷用筐体を準備し、この筐体内で試験を行うことで、飛散物防止だけでなく、周囲へのノイズ漏洩低減を図った。製作した負荷を図2-44に、模擬負荷用筐体を図2-45にそれぞれ示す。

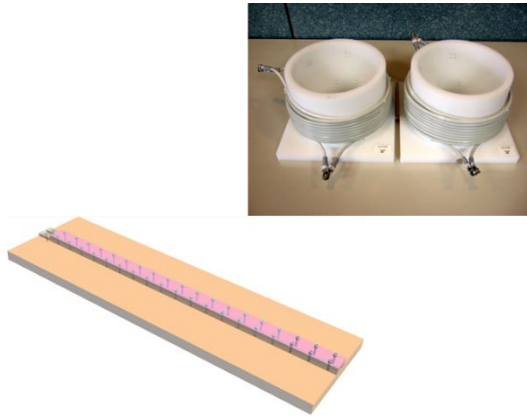


図2-44 製作した模擬負荷



図2-45 模擬負荷用筐体

2. 5kA級スイッチングモジュールを用いた1kV-5kA、10msec級パルスの実現に向けた試験を実施した。図2-46に試験実施にむけた回路の概略構成を示す。

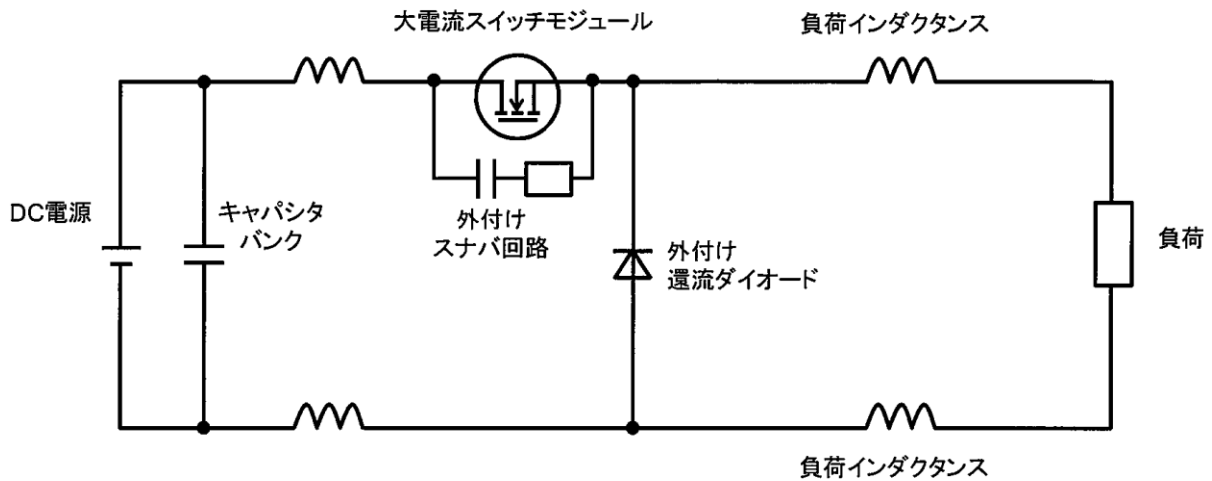


図2-46 パルス電源試験の概略構成

(EDLC キャパシタバンク内部電圧降下)

EDLCモジュールについては、2021年度までに導入した①102V-88F×14直列、②Sech144V-63Fモジュール×10構成を並列化した構成にて使用した。それぞれの仕様書から予測される内部抵抗は①106mΩ、②90mΩとなっているが、評価の結果、①70mΩ/14モジュール、②70mΩ/10モジュールとなり、予測より低いものとなった。①、②モジュールを並列に使用した構成での内部抵抗は約35mΩとなり、5kA通電時には約175Vの電圧降下が生じるものと予測できる。

(SiC-MOSFET チップ耐圧検証)

本モジュールに使用しているSiC-MOSFETモジュールは設計上の定格耐圧は1.2kV品であるが、同デバイスに使用されているチップの耐圧は比較的高く、実際に同モジュールにて使用されているものと同じチップ品であるMOSFET素子にて逆方向リーク電流の計測を実施した。結果として、計測した10素子すべてで1650Vにて10μA程度であることが確認され、実効的に1.65kV相当の逆方向耐圧を有することを確認できた。よって200V程度のマージンを考慮したうえで、サージ等を含め1400V程度に抑えることができれば、EDLCによる内部電圧降下(175V)を考慮した上で、サージ電圧を200V程度に抑えることでスイッチング可能であることが示された(図2-47、図2-48)。

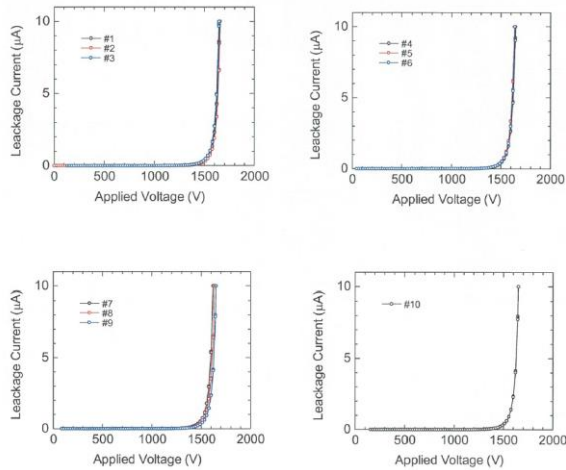


図2-47 SiC-MOSFETチップ逆方向電流特性

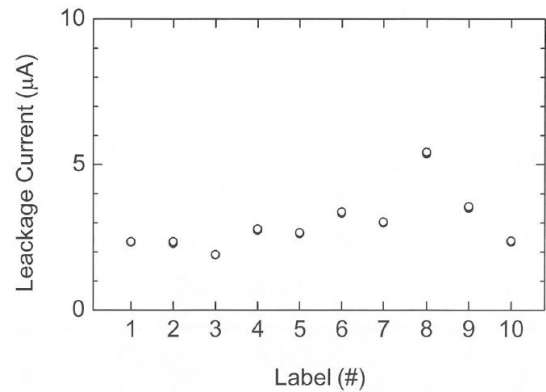


図2-48 1600V印加時リーク電流一覧

(スナバ構造適正化)

パルス出力試験に用いる負荷には2020年度に製作した無誘導巻抵抗を使用した。5kA-10msec級の通電による温度上昇を避けるため、直径200mm程度の形状とし、配線等によるインダクタンス成分等を含め $2\mu\text{H}+0.2\Omega$ 程度の負荷を5kA通電時には使用する。5kA級通電時のサージ電圧抑制には、スナバ回路によるスイッチング回路両端サージ抑制が不可欠である。また、キャパシタバンク側もEDLCセルがそれぞれ504個、480個直列接続された構造であり、ある程度はキャパシタ側に吸収されるものの十分ではなくサージが発生する。スイッチングモジュールには負荷側、キャパシタバンク側の両方にスナバ回路を設定して適正化を図った。スイッチングモジュール内の構成を図2-49に示す。

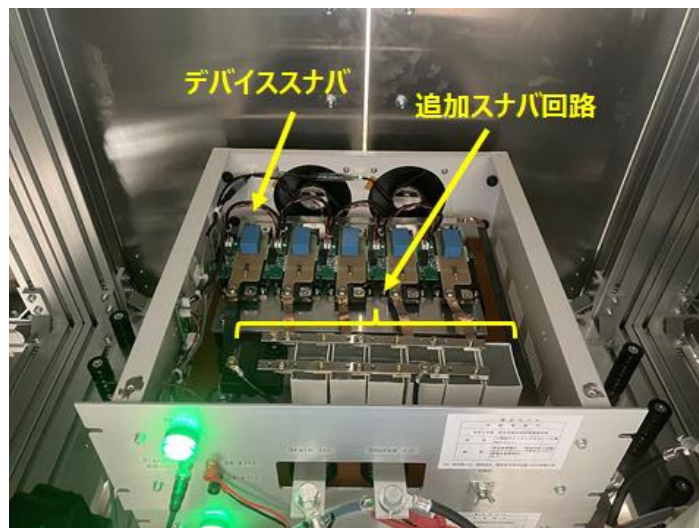


図2-49 スwitchingモジュール内のスナバ回路構成

最終的に仮作パルス電源にて得られたパルス波形を図2-50に示す。キャパシタバンクへの充電電圧を1.1kVまで上げることで、4.6kA-10msecのフラットなパルスを出力可能であることが確認でき、MOSFETソースドレイン間に生じる逆方向電圧は印加電圧の1.1倍程度に抑制されていることが確認できた(1.6kV相当の耐圧を確認しているが、サージ電圧を含めた逆方向電圧が最大定格を超えたため、安全管理上1.1kV印加までのデータを取得、1.2kV印加における推定電流は5kAを達成されると推定)。

また、EDLC充電電圧に対してはほぼリニアに電流値及びサージ電圧が増加し、比較的扱いやすい特性であることが確認できた。また、数msec級のパルス出力においては、EDLCは十分な応答速度を有しており、充電電圧による出力制御だけではなくPWM変調等による出力制御も比較的容

易であることが予測される（今回の5kA級のスイッチングにおいては、スナバ回路にもkA級の電流が流れるためスナバ素子損傷の可能性があり、積極的な変調は試していない）。

一般にローレンツ力を利用した負荷においては、電流の二乗に比例してローレンツ力が発生して機械的な力が電路に加わることになり、電気回路側でも物理的な負荷が加わることが予測される。電流のオーバーシュートが生じない電流波形を実現できることは、装置設計上において過渡的な力が発生しにくく、装置負担の低減も期待できる。

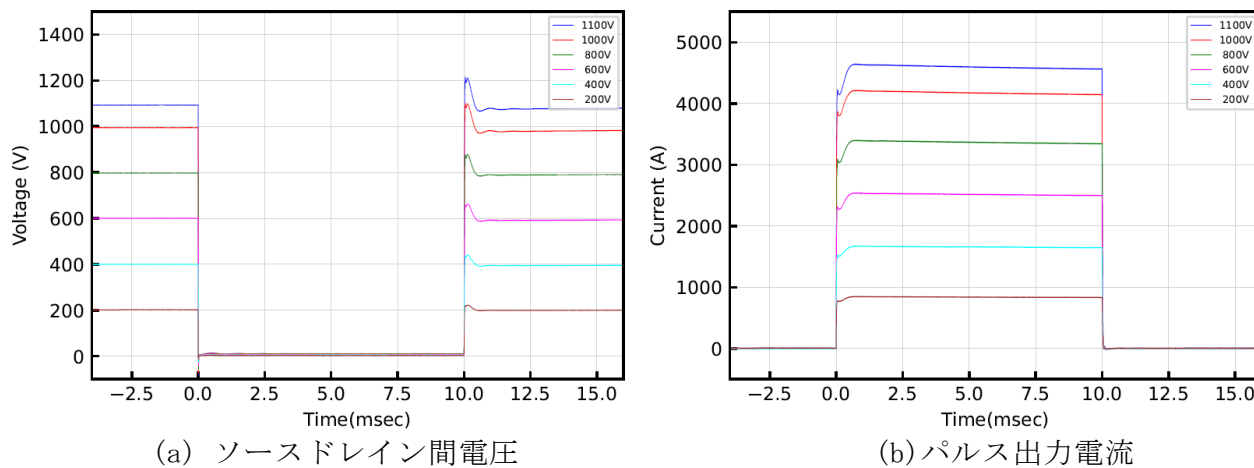


図2-50 キャパシタバンク充電電圧に対する出力特性

キャパシタバンク出力電圧は、図2-51に示すようにパルスON時に約175V低下しており、全バンクにて35mΩ程度の内部抵抗による電圧降下が生じている。最終的な評価値は個別のバンクから推定された内部抵抗とほぼ一致しており、設計値通りの値が得られている。

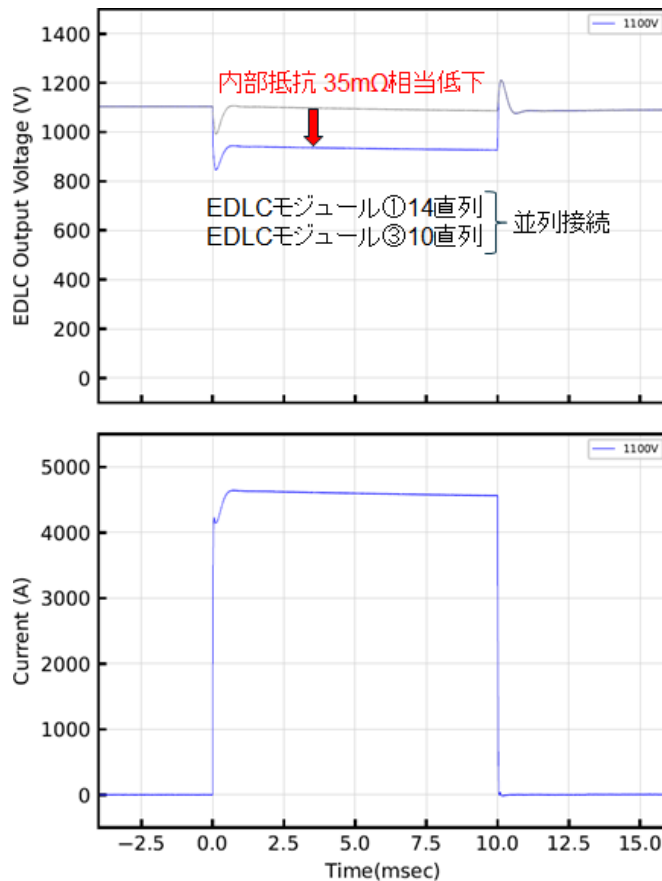


図2-51 キャパシタバンクでの電圧降下分推定

将来のスケールアップ実現性検証

(1kV-5kA 仮作電源からの 10kV-1MA スケールアップについて)

エネルギー貯蔵デバイスについては、現状EDLCがエネルギー密度の観点から有望であるといえるが、出力密度の向上をターゲットとした開発が進むことでさらに小型化が期待される。専用デバイスの開発が進み小型化／並列化を図ることで、よりコンパクト化が実現し、将来的なエネルギー貯蔵デバイスの有力候補となることが期待できる。

将来的な10kV-1MA級パルス電源の実現に向けた課題として想定される項目としては、① デバイス耐圧の向上、②並列モジュール電流バラつき抑制、③パルス通電時間に適したスイッチング素子冷却構造といった課題が挙げられる。

表2-14 10kV-1MAスケールアップに対する課題

課題	課題	具体的対策
スイッチング素子耐圧不足	・デバイス耐圧の向上	・ α -Ga ₂ O ₃ MOSFET高耐圧化(→10kV) ・ α -Ga ₂ O ₃ IGBT構造採用(→20kV)
電流アンバランス	・デバイスバラつき抑制	・ON抵抗のバラつき最小化 ・同一ロット品適用
サージ電圧	・スナバ回路小型化	・小型化によるインダクタンス低減 ・スナバ用キャパシタ小型化
冷却構造	・デバイス冷却構造	・デバイス昇温部熱拡散強化 ・素子近傍熱容量確保

①については、現状入手可能なSiC-MOSFETでは特殊な素子を除き3.3kV程度が量産可能な限界であり、高耐圧化に伴いON抵抗も増加してしまうため特に大電流スイッチングには不向きと考えられる。低耐圧素子を組合せて同期的にスイッチングする方式もあるが、負荷に合わせたすり合わせ等が不可欠であり大電流用途には難しいことが予測される。

α -Ga₂O₃素子ではMOSFET構造にて10kV、IGBT構造にて20kV程度の耐圧が見込まれ、単段での適用が可能となりシンプルな構成にてモジュールを適用可能である。

本研究にて試作した仮作パルス電源においては、2.5kA級スイッチングモジュールの組合せにより5kAを実現したが、実装モジュールの予備計測、配線長の対称性向上を図ったものの、2～3割程度の電流アンバランスが生じた。本来電流アンバランスの解消には、モジュールそのものの特性を揃えること、配線の対称性向上が前提であるが、最終的には各モジュールに対して配線材の厚み／幅を個別に調整する方法を取り入れる必要がある。また、大電流を取り扱う上においては、各種スナバ回路の設置が不可欠であることも考慮する必要がある。

上記対策を組合せることで、1MAを実現するには単体10kA程度のモジュールを100個程度組み合わせる形にて1MAは実現可能であると考えられる。また、給電構造においては配線の抵抗成分・インダクタンス成分がジュール損、サージ増大につながるため、小型化による負荷近傍への設置が望ましい。

(10kV-1MA 級電源の小型化について)

小型化に向けた課題を表2-15にまとめる。スイッチング素子での発熱については、オンDutyが0.1% (10msec/10sec間隔)を超えないような使い方を想定すると、スイッチングデバイス近傍のヒートシンク熱容量にて吸収可能であるため、スイッチング素子単体では大きくなるものもののデバイスのなるべく近くにスナバ回路を配置する必要がある、高耐圧キャパシタそのものの開発が不可欠である。耐圧向上に比例して体積は増加するため、同等容量を確保する場合、電圧の二乗に比例した体積増加が予測される。今回の試作においては入手可能素子の耐圧制限から0.80m²/5kAのEDLCを必要としたが、出力電圧の2倍の耐圧(10kVに対して20kV耐圧)を確保できる場合は2直構成を1直構成とすることで、内部抵抗での電圧降下を考慮しても5kAあたり0.4m²のEDLCにて実現できると期待されるが、以前として1MAレベルの出力には800m³(25m×16m×1.5mプールの1.3倍以上)のEDLCモジュールが必要となる見込みであり、大電流パルス出力に特化したセル開発が不可欠である。EDLC内部抵抗による電圧降下抑制が必要となり、内部抵抗をいかに下げるかが最大の課題である。

表2-15 パルス電源小型化に向けた課題

構成品	仮作電源 (1kV-5kA)	将来特性 (10kV-1MA)	課題
スイッチング モジュール	約0.07m ³ (70L) (スナバをのぞく)	0.07m ² ×200並列 ⇒14m ²	・数msec/duty 0.1%動作 ・スナバ素子体積に律速
スナバ回路	約0.002m ³ (2L)	約0.002m ³ ×10 ² ×200並列 ⇒40m ²	・耐圧向上に伴い、(電圧)の二乗に比例して体積増が生じると推定
エネルギー 蓄積デバイス	約0.80m ³	約0.40m ³ ×10直×200並列 ⇒800m ³ (40ftコンテナ：12個分)	・0.04m ³ モジュール×100直/5kAを仮定 ・内部抵抗の大幅な低減が不可欠

(3) プロジェクトの総合的推進 (担当：株式会社F L O S F I A)

研究期間全体を通して「研究開発進捗確認会議」を毎月1回の頻度で実施した。ミーティングでは、研究の進捗状況の確認、技術課題の確認、評価、解決方針の調整、研究の方向性に関する協議や知財関連の活動等のほか、技術動向、業界動向や他者とのベンチマーク等に関する情報共有を行い、報告書、サイトビジットに向けた取り組みを進めるとともに、プロジェクトの円滑な推進を行った。

4. 委託業務全体の成果

4. 1 計画時に想定していなかった成果（副次的成果）や、目標を超える成果

(1)スイッチング素子の開発(ii)-a ウェハ開発用 高品質結晶成長技術の開発において、他の結晶構造をとる κ -Ga₂O₃のエピタキシャル成長において想定していなかった成果があった。本研究のターゲットは α -Ga₂O₃だが、ELO実施時の異常成長抑制のためにマスク上に結晶構造の異なる κ -Ga₂O₃を意図的に堆積させる。従って、 κ -Ga₂O₃単体での成長挙動を把握し、マスク上での堆積を制御することが重要である。ところで、この κ -Ga₂O₃もまたバンドギャップエネルギーが4.9 eVと非常に大きい、いわゆるウルトラワイドバンドギャップ半導体である。 κ -Ga₂O₃の特徴は、強誘電性を示すことである。従って、高濃度2DEGの形成やその外場による制御、そしてそれを利用したデバイスの実現が期待できる。しかし、これまではc面内で120°ずつ回転した3種類のドメインがナノメートルサイズで入り混じった膜しか成長できていなかった。それに伴う高密度のドメインの境界はデバイス特性に悪影響を及ぼすおそれがあるので、 κ -Ga₂O₃薄膜が1種類のドメインのみからなるような面内配向の制御技術が望まれていた。我々は、本研究において、 κ -Ga₂O₃の成長挙動把握のために選択横方向成長を実施した際、ストライプマスクをサファイアの<11-20>方向と平行になるように形成すると、3種類のドメインのうちで<100>方向がストライプと平行なものだけが幾何学的配置の効果によって優勢に成長し、他の2種類のドメインは、優勢なドメインにより速やかに淘汰されることを見出した(図3-1)。本技術を用いれば、面内配向問題の解決された κ -Ga₂O₃エピ膜を成長することができる。本成果は、強誘電特性と半導体特性とを組み合わせた新奇なデバイスの創出につながる可能性がある。本成果をまとめた論文はJapanese Journal of Applied Physics誌に掲載された(Jpn. J. Appl. Phys. 59, 115501 (2020))。

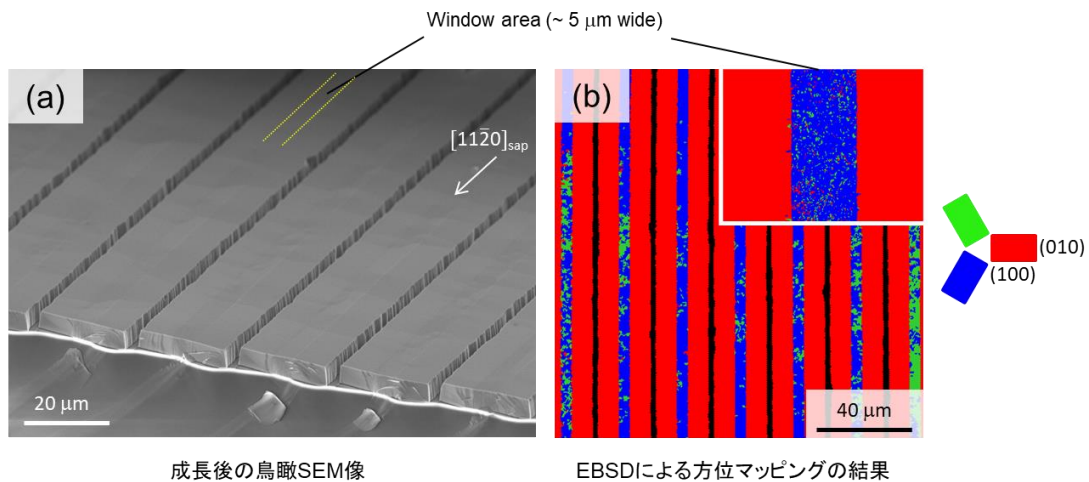


図3-1 ELOによる κ -Ga₂O₃の(a)鳥瞰SEM像と(b)EBSDによる方位マッピングの結果。横方向成長領域で単一ドメインが得られた。

4. 2 研究課題の発展性（間接的成果を含む）

本研究の(1)スイッチング素子の開発 (i)基礎検討で実施した各種評価方法はワイドバンドギャップ半導体に適した評価方法であり、実用化が急速に進むSiCやGaNに続くウルトラワイドバンドギャップ半導体の研究に役立てられるものである。

(ii)ウェハ開発では、耐圧10kV以上の α -Ga₂O₃パワー半導体に適用可能な低濃度、厚膜エピタキシャル層が開発され、今後の耐圧10kV級素子開発の土台ができたといえる。

また、高品質化技術にも進展があり、転位密度を 10^{10} cm⁻²台から 10^7 cm⁻²台へ低減できる見通しが出てきた。本研究により得られた高品質化技術による α -Ga₂O₃結晶を詳細に評価することで本質的な物性や欠陥の影響が明らかになり、学術だけでなく産業応用的にも財産になる情報が得られる可能性がある。

(iii)素子開発では、バイポーラ動作の基本となる電導度変調を初めて観測することができた。本研究により得られた成果をもとにバイポーラデバイスの進展が期待できる。

(vi) α -(AlGa)₂O₃の予備研究では、AlNを超えるバンドギャップの実証、耐熱性向上の確認、n型ドーピングの実証等の成果があった。 α -Ga₂O₃の発展形としての研究の足掛かりをつかむことができた。

4. 3 研究成果の発表・発信に関する活動

本研究開発の学術的成果として、学会発表7件(国際会議3件、うち招待講演2件)を行い、国際誌への論文投稿5件を行った。招待講演のうち、1件は顕著な成果が認められ、国際会議のプレナリー講演に採択された。素子開発の成果についてプレスリリースを1件行った。

特許出願では、国内出願31件、PCT出願7件、米国出願6件、中国出願5件、台湾出願3件と研究成果の権利化に顕著な成果があった。

5. プロジェクトの総合的推進

5. 1 研究実施体制とマネジメント

研究期間全体を通して「研究開発進捗確認会議」を毎月1回の頻度で実施した。ミーティングでは、研究の進捗状況の確認、技術課題の確認、評価、解決方針の調整、研究の方向性に関する協議や知財関連の活動等のほか、技術動向、業界動向や他者とのベンチマーク等に関する情報共有を行い、報告書、サイトビジットに向けた取り組みを進めるとともに、プロジェクトの円滑な推進を行った。

5. 2 経費の効率的執行

経費の執行にあたっては、研究目的に合致する仕様のものを選定し、各研究機関の定めにより相見積、入札などを実施して適正な価格で調達した。

6. まとめ、今後の予定

本研究では、高電圧・大電流のパルス電源の実現を目的とし、 α -Ga₂O₃を用いたスイッチング素子の開発、及びパルス電源のシステム化に取り組んだ。

スイッチング素子の開発では、 α -Ga₂O₃材料の基礎検討及びウェハ開発の成果をもとに、高耐圧・大電流スイッチング素子の開発を行った。

ウェハ開発においては、独自の低温高速成長技術とELO技術との組み合わせによる転位密度 $1.1 \times 10^7 \text{ cm}^{-2}$ (従来比1/1000)の実証、耐圧10~20kV級デバイスに適用可能な低濃度(10^{15} cm^{-3} 台のn型ドーピング制御)・厚膜(~200 μm)エピタキシャル層の実証に成功し、デバイス試作への適用を進めた。

スイッチング素子開発においては、基本構造となる完全縦型トレンチゲートMOSFETで0.4A通電を達成した(α -Ga₂O₃縦型デバイスで世界初)。独自開発の耐圧構造を備えた完全縦型SBDでは耐圧1.7kVでアンペア級動作を達成しており、耐圧1.7kV級MOSFET開発の要素技術が整ってきた。また、横型PiNダイオードでの耐圧10kV実証、耐圧10kV級MOSFETの素子設計完了、パッケージの耐圧20kV実証、先に述べた低濃度・厚膜エピタキシャル層の実証など耐圧10kV級MOSFET開発への道も開けつつある。今後、これらの高耐圧MOSFET実証に向けた研究開発を行うことで、電力送配電システムの連携、電動航空機、電動船舶などのより高耐圧・大容量分野の電動化に貢献することができる。

また、超高耐圧バイポーラデバイス実現に不可欠な電導度変調現象を世界で初めて確認することができた。耐圧20kV級IGBTの素子設計、並列動作の解析、熱解析などを行い、その実現に必要なデバイスパラメータの目標値も明らかにした。

さらに、 α -Ga₂O₃よりもバンドギャップが広く、超高耐圧でより低損失なパワーデバイスを実現できる可能性のある半導体材料として α -(Al, Ga)₂O₃の予備研究も実施した。AlNを超えるバンドギャップ、n型ドーピング、耐熱温度の向上を実証し、将来有望なパワー半導体材料であることを示すことができた。

パルス電源のシステム化においては、パルス電源に適したエネルギー貯蔵方式の選定、高速

応答性、低損失化、絶縁対策、冷却対策等を考慮したスイッチング回路設計を行い、低電圧パルス電源ミニモデルの仮作・評価、電圧1kV5kAパルス電源ミニモデルの仮作・評価、将来のスケールアップ実現性検証(10kV/1MAシステム)を行った。仮想 α -Ga₂O₃としてSiC MOSFETスイッチングモジュールを適用したパルス電源を仮作して正常動作を確認、1.1kV 4.6kA 10msecのパルス出力を実証した。将来のスケールアップ実現性検証の結果、 α -Ga₂O₃デバイスによる10kVスイッチングモジュールの実現、モジュールアンバランスを抑制可能な集積構造、エネルギー蓄積デバイスの専用品開発が進むことで10kV-1MA級パルス電源の開発が可能となる。

7. 研究発表、知的財産権等の状況

(1) 研究発表等の状況

種別	件数
学術論文	5件
学会発表	7件
展示・講演	該当なし
雑誌・図書	該当なし
プレス	1件
その他	該当なし

(2) 知的財産権等の状況

発明の名称	発明者	出願登録区分	出願番号(出願日)	出願区分	出願国	登録番号(登録日)
酸化物半導体膜及び半導体装置	菅野亮平	出願	特願2019-130616 (2019/07/12)	国内		
酸化物膜及び半導体装置	菅野亮平	出願	特願2019-130617 (2019/07/12)	国内		
半導体装置および半導体システム	沖川 満 木口 学	出願	特願2020-013611 (2020/01/30)	国内		
半導体装置および半導体システム	沖川 満 木口 学	出願	特願2020-013612 (2020/01/30)	国内		
半導体装置および半導体システム	沖川 満 木口 学	出願	特願2020-013613 (2020/01/30)	国内		
半導体素子、半導体装置および半導体システム	沖川 満 木口 学 雨堤耕史	出願	特願2020-048704 (2020/03/19)	国内		
通電機構およびその通電方法	木口 学 沖川 満	出願	特願2020-048705 (2020/03/19)	国内		
通電機構およびその通電方法	沖川 満 木口 学	出願	特願2020-048706 (2020/03/19)	国内		
半導体素子、半導体装置および半導体システム	沖川 満 木口 学	出願	特願2020-048707 (2020/03/19)	国内		
結晶膜の製造方法	大島祐一 河原克明	出願	特願2020-77066 (2020/04/24)	国内		
結晶膜の製造方法	大島祐一 河原克明	出願	特願2020-77069 (2020/04/24)	国内		

半導体装置の製造方法	大島孝仁 樋口安史	出願	特願 2020-098783 (2020/06/05)	国内		
半導体装置	大島孝仁 樋口安史	出願	特願 2020-098784 (2020/06/05)	国内		
半導体装置	大島孝仁 樋口安史	出願	特願 2020-098785 (2020/06/05)	国内		
酸化物半導体膜及び半導体装置	菅野亮平	出願	PCT/JP2020/026642 (2020/07/08)	PCT		
酸化物膜及び半導体装置	菅野亮平	出願	PCT/JP2020/026643 (2020/07/08)	PCT		
酸化物半導体膜及び半導体装置	菅野亮平	出願	特願2021-532994 (2020/07/08)	国内		
酸化物膜及び半導体装置	菅野亮平	出願	特願2021-532995 (2020/07/08)	国内		
酸化物半導体膜及び半導体装置	菅野亮平	出願	17/573,790 (2020/07/08)	国外 国別	米国	
酸化物膜及び半導体装置	菅野亮平	出願	17/573,844 (2020/07/08)	国外 国別	米国	
酸化物膜及び半導体装置	菅野亮平	出願	202080062714.9 (2020/07/08)	国外 国別	中国	
酸化物半導体膜及び半導体装置	菅野亮平	出願	202080062724.2 (2020/07/08)	国外 国別	中国	
酸化物半導体膜及び半導体装置	菅野亮平	出願	109122991 (2020/07/08)	国外 国別	台湾	
酸化物膜及び半導体装置	菅野亮平	出願	109122993 (2020/07/08)	国外 国別	台湾	
酸化物半導体及び酸化物半導体を含む半導体装置	菅野亮平	出願	特願 2020-134778 (2020/08/07)	国内		
結晶膜の成長方法および結晶性酸化物膜	大島祐一 河原克明 沖川 満 四戸 孝	出願	特願 2020-153648 (2020/09/14)	国内		
積層構造体および積層構造体の製造方法	大島孝仁	出願	特願 2020-168714 (2020/10/05)	国内		

半導体装置	大島孝仁 沖川 満	出願	特願 2020-168715 (2020/10/5)	国内		
半導体装置	沖川 満 柳田秀彰 四戸 孝	出願	特願 2020-178409 (2020/10/23)	国内		
半導体素 子、半導体 装置および 半導体シス テム	沖川 満 木口 学 雨堤耕史	出願	US17/163, 826 (2021/02/01)	国外 国別	米国	
結晶膜	大島祐一 河原克明	出願	US17/239, 986 (2021/04/26)	国外 国別	米国	
半導体装置	大島孝仁 樋口安史	出願	TW110120108 (2021/06/02)	国外 国別	台湾	
半導体膜お よび半導体 装置の製造 方法	大島孝仁 樋口安史	出願	PCT/JP2021/021439 (2021/06/04)	PCT		
半導体装置	大島孝仁 樋口安史	出願	PCT/JP2021/021440 (2021/06/04)	PCT		
半導体装置	大島孝仁 樋口安史	出願	特願 2022-528921 (2021/06/04)	国内		
半導体装置	大島孝仁 樋口安史	出願	18/074, 879 (2021/06/04)	国外 国別	米国	
半導体装置	大島孝仁 樋口安史	出願	202180041605. 3 (2021/06/04)	国外 国別	中国	
酸化物半導 体及び酸化 物半導体を 含む半導体 装置	菅野亮平	出願	PCT/JP2021/029574 (2021/08/10)	PCT		
酸化物半導 体及び酸化 物半導体を 含む半導体 装置	菅野亮平	出願	特願 2022-541769 (2021/08/10)	国内		
半導体装置	沖川 満 柳田秀彰 四戸 孝	出願	17/508, 259 (2021/10/22)	国外 国別	米国	
半導体装置	四戸 孝 沖川 満 雨堤耕史 樋口安史 松田時宜	出願	特願 2022-004696 (2022/01/14)	国内		
結晶膜の製 造方法およ び結晶膜	大島祐一 四戸 孝	出願	PCT/JP2022/035038 (2022/09/20)	PCT		

(3) その他特記事項

年月日	開催名称	実施場所	備考
2019/04/23	研究開発進捗確認会議	(株)FLOSFIA	
2019/05/24	研究開発進捗確認会議	(株)FLOSFIA	
2019/06/14	研究開発進捗確認会議	(株)FLOSFIA	
2019/07/26	研究開発進捗確認会議	(株)FLOSFIA	
2019/09/13	研究開発進捗確認会議	(株)FLOSFIA	
2019/10/04	研究開発進捗確認会議	(株)FLOSFIA	
2019/11/11	研究開発進捗確認会議	(株)FLOSFIA	
2019/12/13	研究開発進捗確認会議	(株)FLOSFIA	
2020/01/17	研究開発進捗確認会議	(株)FLOSFIA	
2020/02/05	研究開発進捗確認会議	(株)FLOSFIA	
2020/03/19	研究開発進捗確認会議	Webミーティング	
2020/04/24	研究開発進捗確認会議	Webミーティング	
2020/05/22	研究開発進捗確認会議	Webミーティング	
2020/06/19	研究開発進捗確認会議	Webミーティング	
2020/07/17	研究開発進捗確認会議	Webミーティング	
2020/08/21	研究開発進捗確認会議	Webミーティング	
2020/09/18	研究開発進捗確認会議	(株)FLOSFIA	
2020/10/14	研究開発進捗確認会議	(株)FLOSFIA	
2020/11/12	研究開発進捗確認会議	(株)FLOSFIA	
2020/12/15	研究開発進捗確認会議	(株)FLOSFIA	
2021/01/18	研究開発進捗確認会議	(株)FLOSFIA	
2021/02/08	研究開発進捗確認会議	(株)FLOSFIA	
2021/03/12	研究開発進捗確認会議	(株)FLOSFIA	
2021/04/16	研究開発進捗確認会議	(株)FLOSFIA	
2021/05/14	研究開発進捗確認会議	Webミーティング	
2021/06/15	研究開発進捗確認会議	Webミーティング	
2021/07/16	研究開発進捗確認会議	Webミーティング	
2021/08/20	研究開発進捗確認会議	Webミーティング	
2021/09/17	研究開発進捗確認会議	(株)FLOSFIA	
2021/10/15	研究開発進捗確認会議	(株)FLOSFIA	
2021/11/19	研究開発進捗確認会議	(株)FLOSFIA	
2021/12/17	研究開発進捗確認会議	(株)FLOSFIA	
2022/01/14	研究開発進捗確認会議	(株)FLOSFIA	
2022/02/18	研究開発進捗確認会議	(株)FLOSFIA	
2022/03/18	研究開発進捗確認会議	(株)FLOSFIA	
2022/04/22	研究開発進捗確認会議	(株)FLOSFIA	
2022/05/20	研究開発進捗確認会議	(株)FLOSFIA	
2022/06/24	研究開発進捗確認会議	(株)FLOSFIA	
2022/07/15	研究開発進捗確認会議	(株)FLOSFIA	
2022/08/19	研究開発進捗確認会議	(株)FLOSFIA	
2022/10/14	研究開発進捗確認会議	(株)FLOSFIA	
2022/11/25	研究開発進捗確認会議	(株)FLOSFIA	
2022/12/23	研究開発進捗確認会議	(株)FLOSFIA	
2023/01/27	研究開発進捗確認会議	(株)FLOSFIA	
2023/03/24	研究開発進捗確認会議	(株)FLOSFIA	