

研究成果報告書

極限量子閉じ込め効果を利用した 革新的高出力・高周波デバイス

令和 4 年 5 月

富士通株式会社

本報告書は、防衛装備庁の安全保障技術研究推進制度による委託業務として、富士通株式会社が実施した令和3年度「極限量子閉じ込め効果を利用した革新的高出力・高周波デバイス」の成果を取りまとめたものです。

1. 委託業務の目的

1. 1 研究課題の最終目標

本委託業務は、革新的高出力・高周波デバイスの創出のため、従来比10倍の出力という半導体固体素子の飛躍的性能向上に向けた要素技術の確立を目指す。

このため従来に無い極めて強い量子閉じ込め効果を電子輸送チャンネルに適用し、その特異な量子状態で発現する物理現象の究明を通じて、従来技術の延長では成し得ない次世代デバイス創出を目指す。このデバイスにおける電子輸送現象の発現には、従来に無い深い量子井戸構造が必要であり、本提案ではデバイスの基盤材料に半導体中最大のバンドギャップを有するAlNを適用する。さらに、高放熱材料(ダイヤモンド)との異種材料融合や、非対称電子密度を有する新規デバイス技術を導入し、Xバンド以上の高周波帯において、従来比10倍出力を有する革新的高出力・高周波デバイスの実現への明確な道筋を示す。

本委託業務における最終目標は以下の通りである。

1) 革新的高出力高周波デバイス創出に向け、以下の要素技術を確立する。

- ・超高純度量子閉じ込めチャンネル結晶の実現 (AlNホモエピタキシャル結晶中の酸素不純物濃度 $<10^{16} \text{ cm}^{-3}$, シート抵抗 $<800 \text{ ohm/sq.}$)
- ・高耐压ゲート、高機能絶縁膜、表面放熱技術を統合し以下の性能を達成 (ゲートリーク電流 $I_g < 10^{-6} \text{ A/mm}$, $\pm 10\%$ 程度の誤差でのキャリア密度変調(対計算比), CVD ダイヤモンド膜熱伝導率 $>2 \text{ W/cm}\cdot\text{K}$)
- ・高放熱CVD ダイヤモンド膜の成膜条件確立(熱伝導率 $>5 \text{ W/cm}\cdot\text{K}$)
- ・AlN/ダイヤモンド接合を実現 (界面熱抵抗 $< 5 \times 10^{-7} \text{ m}^2\text{K/W}$)
- ・シミュレーションにより表裏放熱構造の最適設計を行う

2) これらの要素技術から、高出力化に必要な技術を選択して統合したAlNトランジスタを試作し、従来のSiC基板上GaNトランジスタに対して、出力電力密度4倍を達成する。また、放射線照射前後における結晶欠陥評価又はデバイス特性を比較し、耐環境性において、既存GaN高電子移動度トランジスタ (HEMT) を凌駕することを実証する。

3) さらに、AlNトランジスタを用いたパワーアンプ合成回路の出力性能について、従来比10倍を目指し、以下に示す技術について検証する。

- ・導波管構造による電磁界結合を利用したパワーアンプ合成回路 (パワーアンプを構成するトランジスタは従来構造であるGaN HEMTデバイスとする) を作製し、8つのパワーアンプの出力を合成し、合成損失 $<1.5 \text{ dB}$ であることを確認する。
- ・従来のGaNデバイスモデルを用いてデジタルパワーアンプ(DPA)のシミュレーションベンチを構築し、回路アーキテクチャの最適化を行う。その上でDPAアーキテクチャにAlNトランジスタを適用することでDPA回路の出力整合回路損失を 0.5 dB 以下に低減し、従来のバックオフ型アンプ (A級、AB級、B級動作するアンプ) に比べ1.5倍の出力電力となることを見込まれることを確認する。

1. 2 最終目標を実現するために克服又は解明すべき要素課題

本研究は4つの要素技術研究からなり、項目毎に解決すべき課題を列記する。

要素技術 (1) : 高品質結晶成長技術

課題 (1-A) : AlN基板成長技術の確立

高出力トランジスタの実現には、高品質結晶が必要となる。異種基板上への結晶成長においては界面における欠陥の発生が避けられないため、量子チャンネル構造を成長させる基板として、

AlN基板の実現が求められる。

昇華法により得られる現状のAlN種基板は 10^{19} cm^{-3} 台という極めて高濃度の不純物(C, Si, Oなど)を含有し、高純度結晶に比べ熱伝導率が低い。このため、高出力電子デバイス向け基板結晶として、高純度結晶の実現が可能なハイドライド気相成長法(HVPE)によるAlN基板の高純度・高速成長技術の確立が急務である。

現状のHVPE(成長温度1450°C付近)では、AlN厚膜成長層の側壁は垂直なm面で構成されるため、厚膜成長層の径は昇華法AlN種基板の径と同じになってしまい、昇華法AlN基板の径よりも大きな径を有する厚膜結晶を得ることが困難である。将来の生産技術の確立に向けて、昇華法AlN基板の径よりも大きな径を有する厚膜結晶を得ることを可能とするために、高温成長時に側壁に出現する安定面をm面以外の傾斜面としてHVPE厚膜成長中に口径を増大させる技術の確立が必須となる。

課題(1-B)：量子閉じ込めチャネル構造の成長

高出力トランジスタの実現には、高密度の電子を高速に輸送する電子チャネルが必要となる。

本研究が目指す量子井戸中のサブバンドを利用した特異な電子輸送現象を発現するためには、原子層レベルで平坦な界面を有する量子構造(量子チャネル構造)の形成が求められる。しかしながら、Al原子のマイグレーション長が短いことに起因し、既存成長技術では原子層レベルで平坦な量子構造の実現が難しい。

要素技術(2)：デバイスプロセス技術

課題(2-A)：ゲートリーク電流の抑制

ゲートリーク電流は、デバイスの信頼性を低下させ、動作可能電圧を制限することになるため、リーク電流を抑制するゲート構造が必要となる。本提案構造においては、AlNのバンドギャップが6eV以上と極めて大きく、リーク電流低減を目的とした場合、適用可能な絶縁膜候補が限られる。

課題(2-B)：大電圧・大電流動作の実現

窒化物半導体ヘテロ構造においては、自発及びピエゾ分極効果により高密度の2次元電子ガス(2DEG)を誘起することが可能である。この高密度2DEGは、ソース側チャネル抵抗の低減を実現し、トランジスタの大電流化に寄与する。その反面、ドレイン側ではゲート端での電界集中を助長し、耐圧の観点で不利に作用し、そのトレードオフ関係の打破に課題がある。

課題(2-C)：極限量子チャネルデバイスの動作原理解明・最適構造設計

本研究は、極めて強い量子閉じ込め効果を有する量子チャネル構造を採用し、そこで発現する電子輸送現象を利用する。このため、古典的電子輸送を基本とする従来デバイスに対し、電子輸送状態の解釈が難しい。さらに、従来のデバイスシミュレータにおいては、電子輸送状態の再現が出来ず、デバイス構造設計に利用することも難しい。

要素技術(3)：発熱増加に対応するための高放熱技術

デバイス温度の上昇は、電子輸送特性を劣化させるため、トランジスタの高出力化を阻害する。熱的な制限を取り除き、半導体デバイス本来の性能を引き出すためには、従来にない高放熱構造の実現が必須となる。

要素技術(4)：回路設計及び高効率電力合成技術

課題(4-A)：高効率電力合成技術の確立

半導体パワーアンプ合成回路の総出力を向上するためには、複数の増幅器出力を合成する必要がある。総出力の向上を図るためには、個々の増幅器出力を効率よく合成し、電力損失の少

ない合成回路の実現が求められる。しかし、従来の合成回路はマイクロストリップ線路を用いた平面回路により構成され、線路内の伝送損失が高いという本質的課題を有する。

課題(4-B)：トランジスタ動作効率の改善

トランジスタの動作効率が低いということは、より多くの電力がトランジスタ内部で失われることを意味しており、さらに言えばトランジスタ内部でその電力が排熱として放出されるため、最大出力が制限されることになる。したがって、半導体パワーアンプの総出力を向上するためには、トランジスタの動作効率改善が欠かせない。

1. 3 要素課題に対する実施項目及び体制

これらの要素課題に取り組むために、富士通株式会社では実施項目③～⑤及び⑦～⑬を総合的に推進する。国立大学法人東京農工大学及び株式会社トクヤマはAlN基板開発を担当し、それぞれ①、②を実施する。国立研究開発法人産業技術総合研究所は⑥を担当する。

中間評価は2019年度末頃までに実施するものとする。ただし、実施項目の進捗によっては、委託契約書第48条に定める外部の専門家からなる評価を別途行うものとする。

① 高純度・高速AlN基板成長技術（担当：国立大学法人 東京農工大学）【課題(1-A)に対応】

成長温度の上限を1800℃まで引き上げた新規超高温高速HVPE成長炉を導入し、2019年度末までに、ホモエピタキシャル成長による高純度・高速AlN基板成長条件を確立する。種結晶として昇華法AlN種基板を用いる。この上にAlN結晶を100 μm毎時の高速で成長させることにより、不純物の取り込み及び点欠陥（原子空孔）の形成を抑制することで、種結晶と同等の 10^4 cm^{-2} 台の低転位密度を実現する。

さらに、種結晶に使用した昇華法AlN種基板を除去することで、高品質の1インチAlN基板を実現する。

新規超高温高速HVPE成長炉で作製した1インチAlN基板は実施項目③に提供し、量子チャネル構造の成長と評価に用いる。

2020年度以降は、2019年度までに得られた高速成長に関する知見を実施項目②における2インチAlN基板成長技術に反映し、2インチAlN基板の更なる高品質化に寄与する。

2インチAlN基板以降のさらなる基板の大型化に向け、高温成長時に側壁に出現する安定面をm面以外の傾斜面としてHVPE厚膜成長中に口径を増大させる技術の検討を行う。

AlN厚膜成長層の側壁に出現する安定面と成長条件の相関を詳細に検討することにより、結晶端面に垂直面以外の(10-1-1)面等を出現させ、c面に対する端面傾き 118° を実現する条件を明らかにする。これにより、AlNのHVPE成長中の結晶径の増大を可能にし、2インチ径以上のAlN基板開発の可能性を示す。

2021年度においては、一枚の昇華法AlN種結晶から複数枚のHVPE法AlN基板の作製が可能なことを実証する目的で、超厚膜の成長を検討する。さらに、昇華法AlN種基板を必要としないAlN基板量産技術の確立、AlN基板コストの低減に向けた指針を示すため、HVPE法で作製するAlN基板の表面研磨、成長前処理等のプロセス検討を実施し、HVPE法AlN基板を種結晶としたAlN厚膜の高速成長を達成する。

本実施項目における、中間評価時の達成目標は、以下の通りである。

- ・成長速度100 μm 毎時において種結晶と同等の転位密度 (10^4 cm^{-2} 台) の維持を実証

本実施項目における、研究終了時の達成目標は、以下の通りである。

- ・HVPE成長における大口径化の検証(結晶端面に垂直面以外の(10-1-1)面等を出現させ、c面に対する端面傾き 118° を実現)

- ・AlN基板成長技術の確立を目的とし、一枚の種結晶から複数枚のHVPE-AlN基板の作製が可能なことを実証する。

② 高純度・大口径AlN基板成長技術（担当：株式会社トクヤマ）【課題(1-A)に対応】

AlN基板の高純度化に向け、装置内部からの不純物混入を抑制するための炉内部材をHVPE装置に導入する。このHVPE装置で成膜したAlN基板中の不純物濃度を二次イオン質量分析法（SIMS）等の評価を行うことにより不純物低減効果を検証し、この結果をもとにさらなる不純物低減対策を行う。このサイクルによりAlN基板の高純度化を行うと共に不純物混入経路の特定と抑制のための装置設計指針を得る。

2インチAlN基板の均一成長に向けて、2インチ面内に均一な原料供給を可能とする2インチウェハ対応ノズルの設計・製作を行い、HVPE装置に導入する。さらに、原料ガス供給条件等を最適化することにより、AlN基板の膜厚均一性の更なる向上を図る。

AlN基板の評価として、フォトルミネッセンス評価により、AlN結晶中の点欠陥の面内分布の評価、特にAlNの導電性に影響するSi不純物の面内濃度分布の定性的評価を行う。また、複屈折率評価装置により結晶歪みの面内分布状態を評価することで、結晶歪みの原因と不純物分布の相関を取得する。

本実施項目で作製した2インチAlN基板は実施項目③及び⑩に提供し、量子チャネル構造の成長と評価及び高出力AlNトランジスタの試作に用いる。

また、本研究においては、Al極性面を利用したAlNトランジスタの作製を中心に検討するが、実施項目③の量子チャネル構造の成長において、N極性面結晶を利用した構造に優位性が見出される可能性もある。このため、2019年度より、N極性面AlN基板のエピレディ研磨技術検討を開始する。エピレディ研磨においては、原子層ステップが確認できる平坦性が求められる。エピレディ研磨に使用するスラリー材質や加工時に使用するパッド等を選定し、温度、pH、面圧、処理時間等を詳細に検討する他、サーマルクリーニングによる表面処理も含めて平坦化を進める。

2020年度以降において、実施項目①で蓄積された高速成長に関する知見を取り入れ、2インチAlN基板の更なる高品質化を図る。

2021年度においては、昇華法AlN種基板を除去するプロセス条件を確立し、面内均一性の高い高純度2インチHVPE-AlN基板の作製を実証する。

本実施項目における、中間評価時の達成目標は、以下の通りである。

- ・低転位密度 (10^4 cm^{-2} 台) かつ高純度 (Si, O, C不純物が、基板中央及び中心より半径22 mm位置において $<5 \times 10^{17} \text{ cm}^{-3}$) の2インチ径AlN基板の実現

本実施項目における、研究終了時の達成目標は、以下の通りである。

- ・2インチ径Al極性面AlN基板及びN極性面AlN基板にエピレディ研磨による平坦化を行い、中央及び中心より半径22 mm位置における表面粗さがAl極性面基板: $R_a < 0.2 \text{ nm}$ 、N極性面基板: $R_a < 2 \text{ nm}$ を実現する。

- ・種結晶に使用した昇華法AlN基板を除去し、面内均一性の高い高純度2インチHVPE-AlN基板の作製を実証する。

③ 量子閉じ込めチャネル構造成長技術 (担当：富士通株式会社) 【課題(1-B)に対応】

量子閉じ込めチャネル構造は、量子井戸の壁面となるAlN層と、その間に電子を閉じ込めるチャネル層にて構成される。

目的とする特異な電子輸送現象を発現するためには原子層レベルで平坦な界面を形成する必要がある。このため、超高温成長によるマイグレーション促進、パルス状原料供給、サーファクタントを利用した成長表面の制御技術等を導入することで、原子層レベルで平坦なAlNを利用した量子構造の実現を目指す。

超高温成長によるマイグレーション促進のため、MOCVD装置は1600°C以上の超高温成長に対応するものとする。このMOCVD装置には、パルス状原料供給を高精度に行うための高速なスイッチングが可能なガス制御系統及びサーファクタントを反応路に供給可能なガス系統を導入する。

このMOCVD装置の設計・導入を行い、異種基板上にAlN層を成長したAlNテンプレート基板上、昇華法AlN種基板上並びに実施項目①及び②から提供されたAlN基板上に量子閉じ込めチャネル構造を作製し、前処理条件やエピタキシャル成長条件の探索を行う。チャネル層の材料候補として、Ga₂N、AlGa₂N及びその積層構造などを想定しているが、これらから下地のAlN層との格子不整合による歪みを低減する最適な構造を選定する。チャネル層の膜厚及び表面平坦性の評価に

においては、TEM及びAFMを用いる。これらの結果を統合し、2019年度末までに量子チャネル構造のプロトタイプを実現する。

2020年度は、量子チャネル構造の最適化を行うとともに、極性制御成長実現可能性を検討する。さらに、実施項目①、②それぞれから提供されたAlN基板の上の量子チャネル構造の特性比較成長を行い、基板種依存性を確認する。この結果、基板側の課題が明らかになった場合は実施項目①及び②へフィードバックしAlN基板作製条件の最適化も図る。

2021年度は、最適化した量子チャネルデバイス構造を実施項目⑩の最終統合試作に導入する。

本実施項目における、中間評価時の達成目標は、以下の通りである。

- ・AlN HEMT向け基本構造の実現（チャネルシート抵抗 $<1000 \text{ ohm/sq.}$ 及びAlNホモエピタキシャル結晶中の酸素不純物濃度 $<10^{17} \text{ cm}^{-3}$ ）

本実施項目における、研究終了時の達成目標は、以下の通りである。

- ・超高純度量子閉じ込めチャネル実現（チャネルシート抵抗 $<800 \text{ ohm/sq.}$ 及びAlNホモエピタキシャル結晶中の酸素不純物濃度 $<10^{16} \text{ cm}^{-3}$ ）

④ 高耐圧絶縁ゲート形成技術（担当：富士通株式会社）【課題(2-A)に対応】

ゲート絶縁膜の候補材料として、AlN 以上のバンドギャップを有し、AlNとの良好な界面形成が期待できるAlO_x、AlON等を中心に検討を行う。AlNトランジスタでは、デバイス上層にダイヤモンド薄膜による表面放熱構造（実施項目⑦）を形成するため、高温のダイヤモンド形成プロセスに耐えられるだけの耐熱性を有する絶縁膜が必要とされる。

AlO_x、AlON等の各候補材料の成膜実験を行い、絶縁性（リーク電流、破壊耐圧）を評価するとともに、一般的なAlO_xの結晶化温度を上回る熱履歴を経ても高い絶縁性を維持できる耐熱性を有するか確認する。これらの結果によりゲート絶縁膜材料を選定する。さらに、熱的安定性の高い絶縁膜の材料組成、成膜条件を見出すと共に、低ダメージな絶縁膜形成条件の検討も行う。以上の結果により、2019年度末まで、高耐圧ゲート絶縁膜形成技術を確立する。目標とするゲートリーク電流は $I_g < 10^{-6} \text{ A/mm}$ とする。

2021年度は、最適化した高耐圧ゲート絶縁膜を実施項目⑩の最終統合試作に導入する。試作したAlNトランジスタにおけるゲートリーク電流測定結果より、高耐圧絶縁ゲートによるゲートリーク電流の抑制効果を実証する。

本実施項目における、中間評価時の達成目標は、以下の通りである。

- ・高耐圧MIS (Metal-Insulator-Semiconductor) 構造に用いるゲート絶縁膜形成技術確立
- ・AlNトランジスタ構造において低ゲートリーク電流を実証 ($I_g < 10^{-6} \text{ A/mm}$)

本実施項目における、研究終了時の達成目標は、以下の通りである。

- ・最終統合デバイスにおいて低ゲートリーク電流を実証 ($I_g < 10^{-6} \text{ A/mm}$)

⑤ 高機能絶縁膜の形成技術（担当：富士通株式会社）【課題(2-B)に対応】

大電流動作と大電圧動作のトレードオフ関係を打破するため、ソース及びドレイン側において非対称な電子密度を実現する新しい2次元電子ガス密度制御技術の研究を進める。本研究では、量子閉じ込めチャネル構造のソース及びドレイン側表面に異なる絶縁膜を形成し、量子チャネル構造へ誘起する歪み量、絶縁膜中の固定電荷量及び伝導帯構造を制御することで、2次元電子ガス密度の変調を試みる。

2次元電子ガス密度制御の高度化のため、上記試作と並行して既存のデバイスシミュレータによる2次元電子ガス濃度制御予測及びデバイス性能予測を行う。実施項目⑥にて得られた電子速度-電界強度(v-E)特性を既存デバイスシミュレータに取り込むことで、デバイス性能予測精度の向上を図る。

2018年度末までに高機能絶縁膜の候補を決定し、低ダメージで絶縁膜を形成するプロセス条件の最適化を行う。さらに、実施項目④及び⑦との技術統合を見据えた事前検討も平行して進める。実施項目⑦の高温のダイヤモンド形成プロセスに耐えられるだけの耐熱性を有することを確認するため、実施項目④と同じ熱履歴による耐熱評価を行い、チャネルのシート抵抗が大きく変化しないことを確認する。

2021年度は、開発した技術及び蓄積した知見を元に最適化した構造を実施項目⑩の統合試作に適用する。

本実施項目における、中間評価時の達成目標は、以下の通りである。

- ・2次元電子ガス濃度制御の実証（予測計算に対して±10%程度の誤差でのキャリア密度変調デバイス設計技術の実現）

本実施項目における、研究終了時の達成目標は、以下の通りである。

- ・最終統合デバイスへの導入可否判断と、導入された場合は、ソース側とドレイン側のアクセス抵抗に10%以上の差分が形成されていることを確認する。

⑥ 電子輸送状態シミュレーション（担当：国立研究開発法人 産業技術総合研究所）【課題(2-C)に対応】

量子チャネル構造における電子輸送状態を正確に解析するためには、バンド分散関係、量子状態解析、キャリアのエネルギー分布を同時に考慮して電子輸送パラメータを導出する必要があり、従来のモンテカルロ法の枠を越えた新しい取り組みが必要となる。本研究では、セルオートマトン法を用いることでキャリアエネルギー分布の高精度計算を可能とし、キャリアが高エネルギー量子サブバンドやL点に存在するバレーに配分される割合を正確に見積る。

2017年度は、伝導帯のL点に存在するバレー構造を考慮したマイクロレベルキャリア輸送計算手法の開発を進める。本計算手法によって得られたv-E特性は、2018年度に実施項目⑤において実施する既存のデバイスシミュレーションへ組み込む。

2018年度は、マイクロレベルキャリア計算手法について量子チャネル構造に起因する量子サブバンドの存在も考慮した計算手法への拡張を行う。ここで得られたv-E特性は、2019年度に実施項目⑤で行う既存デバイスシミュレーションへ組み込み、さらなる計算精度向上を図る。

2019年度以降においては、マイクロレベルキャリア計算手法を用いてキャリア輸送理論による電子輸送パラメータを抽出し、これを基盤にデバイス構造を考慮した流体モデルによるマクロな物理モデルに基づくデバイスシミュレータ（マクロレベルシミュレータ）を構築する。

2020年度以降においては、マクロレベルシミュレータにより得られたv-E特性などの電流-電圧特性に関わるパラメータを実施項目⑩の最終統合試作に用いるデバイス構造設計に反映する。さらに、実施項目⑩の統合デバイス評価によって得られた結果を実施項目⑤のデバイスシミュレータ及び⑥のマクロレベルシミュレータの結果と比較することで解析を進め、量子チャネル構造における電子輸送について、理論的側面からの解釈を補強する。

本実施項目における、中間評価時の達成目標は、以下の通りである。

- ・マイクロレベルキャリア計算手法を用いたキャリア輸送理論による電子輸送パラメータ抽出とマクロレベルシミュレータへの反映

本実施項目における、研究終了時の達成目標は、以下の通りである。

- ・計算手法の高精度化とデバイス設計手法の確立（v-E特性などの電流-電圧特性に関わるパラメータをデバイス構造設計に反映させ、試作したAlNトランジスタの $I_{DS}-V_{DS}$ 特性に対して、10%程度の予測精度を達成する）

⑦ 表面放熱技術（担当：富士通株式会社）【課題(3)に対応】

本研究では、デバイスの表面及び裏面の両面から放熱性能を改善し、熱的制約を取り除くことで、半導体デバイスの更なる高出力化を目指す。裏面側放熱構造については、実施項目⑧にて行い、表面と裏面の両面を考慮した放熱設計については、実施項目⑨にて行う。

表面放熱については、AlNトランジスタ構造上にCVDダイヤモンド膜を形成して実現する。このとき、トランジスタ特性への影響を避けるため、成膜温度を可能な限り低く保ちつつ、高い熱伝導率を有するダイヤモンド膜の実現が求められる。

2018年度までに、CVDダイヤモンド膜の基本成膜条件を確立し、熱伝導率・絶縁性の基礎データを取得する。

2019年度以降は、ダイヤモンド膜の低温成膜を実現するため、成膜後アニール(Post deposition annealing: PDA)技術を開発する。PDAを適用したダイヤモンド膜について熱伝導

率、結晶性及び膜応力を評価し、PDA適用により高熱伝導率を維持した低温成膜が可能であることを実証する。さらに、実施項目④及び⑤で成膜した絶縁膜上にダイヤモンド膜を成膜し、目標値以上の絶縁性を有することを確認する。

本実施項目における、中間評価時の達成目標は、以下の通りである。

- ・高熱伝導率CVDダイヤモンド膜の実現（熱伝導率 >2 W/cm \cdot K）

本実施項目における、研究終了時の達成目標は、以下の通りである。

- ・高熱伝導率CVDダイヤモンド膜の実現（熱伝導率 >5 W/cm \cdot K）

⑧ 裏面放熱技術（担当：富士通株式会社）【課題(3)に対応】

裏面放熱特性の改善については、AlN基板の薄化及びダイヤモンド基板との接合によって実現する。ここで行うAlN基板の薄化は、熱抵抗の低減のほか、ダイヤモンド基板との接合を目的とするものであり、基板を可能な限り薄くするだけでなく、高い平坦性を実現することが要求される。

裏面放熱構造の実現に当たっては、既存研究である安全保障技術研究推進制度「ヘテロ構造最適化による高周波デバイスの高出力化」において実施したSiC/ダイヤモンド基板の直接接合技術の研究において得られた知見を本研究におけるAlN/ダイヤモンド接合に適用し、接合技術の確立を進める。

SiC基板の研削・研磨において蓄積した知見・条件を流用し、これをもとに接合向けAlN研削・研磨条件の最適化を行う。2019年度までにAlNの表面粗さRa <1 nmを達成する。

AlNの平坦研磨はCMP (Chemical Mechanical Polishing) が有望であるが、研磨レートが遅く長周期のうねりの除去にも難があることが既存課題により分かっている。このため、本研究ではCMPと並行して機械研磨やドライエッチングによる平坦化及びダメージ層除去も検討する。最終的には、CMP、機械研磨、ドライエッチングの条件検討に加え、それらを併用して適切な条件探索を行う。

基板接合技術については、ダイヤモンド表面への希ガスビーム照射処理によりアモルファスが形成され接合強度が低下することが既存課題により分かっている。このため、本研究においては、より強固で低い界面熱抵抗の実現が期待できる原子拡散接合による基板接合技術の開発を行う。

本実施項目における、中間評価時の達成目標は、以下の通りである。

- ・AlN基板の薄化・平坦化・研磨ダメージ層除去の技術確立（基板厚 <50 μ m, Ra <1 nm）

本実施項目における、研究終了時の達成目標は、以下の通りである。

- ・AlN/ダイヤモンド接合を実現（界面熱抵抗 $<5 \times 10^{-7}$ m 2 K/W）

⑨ 高放熱構造設計技術（担当：富士通株式会社）【課題(3)に対応】

既存研究で実施している高放熱構造設計技術をもとに、AlNデバイスに最適な構造に熱シミュレーションを適用できるように修正を行うことで本研究の裏面放熱構造設計を行う。さらに放熱構造設計において取り扱う範囲を実施項目⑦の表面放熱構造にも拡張する。これにより、表面及び裏面の両面を考慮した最適放熱構造設計技術を確立する。

2018年度までに、理想的に接合したAlN/ダイヤモンド基板の熱シミュレーションを行い、最適な裏面放熱構造を設計する。また、CVDダイヤモンド/AlN基板の熱シミュレーションを行い、最適な表面放熱構造を設計する。

2019年度は、熱シミュレーションに必要なパラメータとして、本研究で作製したCVDダイヤモンド膜の熱伝導率、界面熱抵抗等の実測データを取得する。また、2018年度に導入する接合装置を用いて接合したAlN/ダイヤモンド基板の界面熱抵抗パラメータを取得する。

2020年度までに、CVDダイヤモンド膜及び接合界面の熱パラメータを取得し、それをもとにしたシミュレーションにより最適表裏放熱構造設計の指針を示す。また、実施項目⑦及び⑧との技術統合を行い、熱シミュレーションで得られた最適放熱構造を実施項目⑩の統合試作に適用する。

本実施項目における、中間評価時の達成目標は、以下の通りである。

- ・CVDダイヤモンド/AlN基板の表面放熱構造設計（熱抵抗10%減を実現するための構造、設計

指針を示す)

本実施項目における、研究終了時の達成目標は、以下の通りである。

- ・表裏放熱構造の最適化設計

⑩ 要素技術統合向けインテグレーション (担当：富士通株式会社)

2019年度においては、従来HEMTの動作を基本原理としながら、本研究が目指すAlNトランジスタのプロトタイプを作製する。ここでは、実施項目①又は②、③、⑤までの技術統合を目指すものとし、研究進捗状況を鑑みて統合する要素技術として最適なものを選択する。

2020年度より、最終統合にむけた事前検討を進める。開発を進める要素技術①又は②、③～⑤、⑦～⑨の中から、複数の要素技術を統合したデバイスを適宜試作し、2021年度の技術統合を前に、各要素技術の課題を明らかにする。事前統合で顕在化する新しい技術課題を各実施項目へフィードバックし、課題解決に向けた検討を行う。

2021年度においては、事前検討で得られた結果に基づき、最適なデバイス構造を選定する。最終統合試作では、選定したデバイス構造に従って実施項目①又は②、③～⑤、⑦～⑨の開発技術から必要な技術を統合し、高出力AlNデバイス(最終統合デバイス)を作製する。最終統合デバイスの電気特性評価結果を実施項目⑥のシミュレーション技術又は実施項目⑥の量子状態を考慮する高精度計算に基づく電子輸送パラメータを実施項目⑤に統合したシミュレーション技術により解析し、デバイス内部における電子輸送原理について理論的解釈を補強する。

さらに、最終統合デバイスの評価結果を実施項目⑪及び⑫へフィードバックし、電力合成効率改善及びトランジスタ動作効率改善による出力向上の検討を行い、最終目標とする出力10倍を目指す。また、放射線照射前後における結晶欠陥評価又はデバイス特性評価を通し、耐環境性の観点で、AlN結晶が既存窒化物半導体(GaN)を凌駕する高い結晶安定性を示すことを実証する。

本実施項目における、中間評価時の達成目標は、以下の通りである。

- ・AlN基板上におけるトランジスタの動作実証

本実施項目における、研究終了時の達成目標は、以下の通りである。

・AlNトランジスタを試作し、Xバンド以上の高周波帯における動作を実証し、従来のSiC基板上GaNトランジスタに対して、出力電力密度4倍を達成する。Xバンド以上の高周波帯で動作するパワーアンプ合成回路として、最終目標とする出力10倍を目指す。

⑪ 高効率電力合成技術 (担当：富士通株式会社) 【課題(4-A)に対応】

一般的な合成回路は、マイクロストリップ線路を用いた平面回路により構成されるが、線路内の伝送損失が高いという課題を有する。本研究では、高周波でも低損失に増幅器の出力を合成するため、導波管構造による電磁界結合を利用し、高耐圧な合成回路の実現を目指す。

プリント基板上にビアを形成した擬似的な導波管構造を作成し、各増幅素子の出力を低損失に合成する。さらに、各素子の出力電力を同位相で合成する技術を開発することにより、増幅素子の出力を最大限に引き出したパワーアンプを実現する。

2018年度は合成回路の基本設計、及び低損失合成を実現する導波管-同軸線路変換器の設計を電磁界シミュレータにより行う。

2019年度には、2つの増幅器を用いた電力合成を行い、実験的に損失・放熱の問題点を洗い出す。2素子の合成損失が、2 dB以内となることを目標とする。

2020年度は、合成増幅器数を8つに増加させて、合成損失2 dB以下を実現する。

2021年度は、さらに技術の完成度を高め、8つの増幅器の電力合成損失が1.5 dB以下(合成効率70%)を実現する。上記により、従来比1.4倍以上の合成効率を達成する。さらに、最終統合検討として、実施項目⑩にて評価したAlNデバイスのRF特性評価結果に基づき、AlNデバイスを適用した際のパワーアンプ出力特性の改善を検討する。

本実施項目における、中間評価時の達成目標は、以下の通りである。

・2つのパワーアンプの出力を合成するパワーアンプ合成回路(パワーアンプを構成するトランジスタは従来構造であるGaN HEMTデバイスとする)を作製し、Xバンド以上の高周波帯において、合成損失<2 dBであることを確認する。

本実施項目における、研究終了時の達成目標は、以下の通りである。

・8つのパワーアンプの出力を合成するパワーアンプ合成回路（パワーアンプを構成するトランジスタは従来構造であるGaN HEMTデバイスとする）を作製し、Xバンド以上の高周波帯において、合成損失<1.5 dBであることを確認する。

⑫ 高効率回路技術（担当：富士通株式会社）【課題(4-B)に対応】

トランジスタ内部の発熱を抑制し、パワーアンプ出力の向上を実現するためには、トランジスタ動作効率の改善が必要となる。本研究では、デジタルパワーアンプ（DPA: Digital Power Amplifier）回路技術によるトランジスタ動作効率の改善を検証する。

2020年度に、既存デバイスをモデルとして、2トーン変調波を用いたデジタルパワーアンプのシミュレーションベンチを構築する。

2021年度には、基本波や高調波の最適負荷条件を明らかにするとともに、スイッチについてもデバイスレイアウトやサイズを見積もり、パワーアンプ高出力化に向けて重要となる素子パラメータを明らかにする。さらに、最終統合検討として、実施項目⑩にて評価したAlNデバイスのSパラメータを取得し、出力パワー増大に効果的な素子パラメータを見積もり、DPAシミュレーションテストベンチに取り入れる。AlNデバイスへDPAアーキテクチャを適用することにより、従来のバックオフ型アンプに対して、出力1.5倍の改善が実現できることを示す。

本実施項目における、研究終了時の達成目標は、以下の通りである。

・Xバンド以上の高周波帯において、DPA回路の出力整合回路損失を0.5dB以下に低減し、出力性能向上を示す（従来比出力1.5倍）

⑬ プロジェクトの総合的推進（担当：富士通株式会社）

本プロジェクトは、高出力・高周波デバイス創出を目的とし、包括的な研究を推進するため、要素技術開発は多岐に渡る。そのため、参加メンバーが要素技術間の連携体制を理解した上でプロジェクトを推進することが必要である。研究グループ間の交流とプロジェクト全体の進捗共有を目的とし、3ヶ月に一度を目安として全体進捗共有会議を開催し、お互いの理解を深める。さらに、各要素技術開発にリーダーを選任し、リーダーがユニット毎の進捗管理を行うほか、機関代表者が研究代表者に対して密に進捗を共有し、プロジェクトの円滑な運営を推進していく。

本委託業務の実施により得られた成果について、国内外の学会等において積極的に発表し、本研究の更なる進展に努める。なお、研究成果の発表にあたっては、委託契約書の定めに従い事前に発表内容等を通知する。

2. 研究開始時に設定した研究目標の達成度

本研究は、将来の無線通信技術に資する半導体デバイスの飛躍的な性能向上を目指し、次世代材料の一つとして期待される超ワイドバンドギャップ半導体 (AlN) を利用した革新的次世代デバイス創造の可能性を探るものである。結晶・デバイス・回路・放熱の4領域に留まらず、新材料の可能性を最大限に引き出すため、高品質AlN自立基板の開発を並行して進めた。その結果、以下の主要な成果を挙げた。

開発した複数の要素技術を統合し、X帯の高周波帯においてAlN基板上トランジスタとして世界初の高出力動作(15.2 W/mm)を令和2年度に達成した。さらに、電子走行層内部電界の低減技術、MOCVD装置を利用した高耐圧絶縁膜形成技術により、令和3年度には世界最高出力密度となる24.4 W/mmの高出力動作に成功した[1]。

高出力化に伴う発熱量の増加に対応するため、高放熱材料(ダイヤモンド)との異種材料融合技術について表面および裏面からの放熱構造について検討した。熱CVD法を用いてトランジスタ表面にダイヤモンド膜を形成する技術を開発し、平成31年度に世界で初めて表面に形成したダイヤモンド膜による放熱効果を実証した[2]。さらに、AlN基板とダイヤモンド基板を接合する技術を確立し、熱抵抗が1/4となることを実証した。

導波管内を中空化したSIWを用いた電力合成技術の開発を行い、従来のWilkinson型8合成器に対して電力合成損失を1.6 dB低減した。さらに高インピーダンスなAlN基板上トランジスタパラメータを取得し、DPAによりバックオフ時の出力電力が50%超増大することを計算で実証した。

量子閉じ込め効果について、理論および実験の両面から検証を行い、従来電子輸送を超える電子高速化に向けた指針を得た。フォトルミネッセンス測定および量子ホール効果測定から、閉じ込めチャンネル構造における量子準位の形成を確認した。さらに、セルオートマトン法を利用して複数のサブバンドや散乱機構を考慮した計算手法を確立し、電子を量子井戸中に閉じ込めつつ、チャンネル中の内部電界を低減することが電子高速化の鍵であるという重要な設計指針を得た。

大口径自立基板の作製は、産業的側面でのインパクトが大きく、新材料を利用した次世代デバイスの広範な分野における普及を後押しする。本研究では、HVPE法による高純度AlN基板作製技術の研究に取り組み、成長速度100 $\mu\text{m}/\text{h}$ 超、ウェーハ端面における口径拡大を実証した。さらに、従来のPVT法で作製したAlN基板は高濃度の不純物を含有することで有色であるのに対し、無色透明な高純度2インチAlN基板の作製に成功した。

以上の成果により、X帯トランジスタにおいて従来比4倍の出力密度を達成し、低損失電力合成技術について検討することで、従来比10倍の出力に目途を付けた。これらの研究成果は新規性が高く、論文13件、学会発表26件(招待講演発表5件)、特許41件、プレスリリース1件、ウェブ記事掲載1件、書籍2件の発表を行った。

研究開始時の目標毎に対する達成度は以下の通りである。

1) 革新的高出力高周波デバイス創出に向け、以下の要素技術を確立する。

・超高純度量子閉じ込めチャネル結晶の実現 (AlNホモエピタキシャル結晶中の酸素不純物濃度 $<10^{16} \text{ cm}^{-3}$, シート抵抗 $<800 \text{ ohm/sq.}$)

1600°Cまでの結晶成長が可能な超高温対応MOCVD装置を設計・導入し、AlNホモエピタキシャル結晶中の酸素不純物濃度 $<10^{16} \text{ cm}^{-3}$ を達成した。なお、シート抵抗については、目標値を大幅に上回る $<400 \text{ ohm/sq.}$ を達成した。

・高耐圧ゲート、高機能絶縁膜、表面放熱技術を統合し以下の性能を達成(ゲートリーク電流 $I_g < 10^{-6} \text{ A/mm}$, $\pm 10\%$ 程度の誤差でのキャリア密度変調(対計算比), CVDダイヤモンド膜熱伝導率 $>2 \text{ W/cm}\cdot\text{K}$)

絶縁ゲート構造について、種々の絶縁膜材料・構造を用いて電流コラプス特性、耐圧、耐熱性を指標とした検討を行い、ゲートリーク電流 $I_g < 10^{-6} \text{ A/mm}$ を達成した。高機能絶縁膜形成によるキャリア密度変調について、対計算比で $\pm 10\%$ 程度の誤差で電子密度が予測できることを確認した。さらに、試作したトランジスタ上へ $2 \text{ W/cm}\cdot\text{K}$ の熱伝導率を有するCVDダイヤモンド膜を形成し、目標を達成した。

・高放熱CVDダイヤモンド膜の成膜条件確立(熱伝導率 $>5 \text{ W/cm}\cdot\text{K}$)

Raman分光スペクトルにおいて、ダイヤモンドと sp^2 混成軌道由来のピーク積分強度比とダイヤモンド膜の熱伝導率の相関を明らかにした。その結果、ダイヤモンド膜厚 $10 \mu\text{m}$ および $30 \mu\text{m}$ において、目標を超える $6.8 \text{ W/cm}\cdot\text{K}$ および $8.4 \text{ W/cm}\cdot\text{K}$ が得られることを確認し、目標を達成した。

・AlN/ダイヤモンド接合を実現(界面熱抵抗 $< 5 \times 10^{-7} \text{ m}^2\text{K/W}$)

AlN基板を $50 \mu\text{m}$ 以下まで薄化し、研削後の表面を $R_a 1 \text{ nm}$ 以下にまで平坦化する研磨技術を確立した。原子拡散接合に用いる金属種や膜厚等の最適化を行うことで、AlN基板とダイヤモンド基板の接合に成功した。界面熱抵抗 $3.0 \times 10^{-8} \text{ m}^2\text{K/W}$ を実現し、目標を達成した。

・シミュレーションにより表裏放熱構造の最適設計を行う

本研究において実際に測定したAlN基板/ダイヤモンド界面熱抵抗およびCVDダイヤモンド熱伝導率等の熱パラメータを計算に取り込んだシミュレーションを実施した。実現可能なAlN基板上デバイスの表裏放熱構造の最適化を行い、目標を達成した。

2) これらの要素技術から、高出力化に必要な技術を選択して統合したAlNトランジスタを試作し、従来のSiC基板上GaNトランジスタに対して、出力電力密度4倍を達成する。また、放射線照射前後における結晶欠陥評価又はデバイス特性を比較し、耐環境性において、既存GaN高電子移動度トランジスタ(HEMT)を凌駕することを実証する。

本研究では、HVPE成長法により作製した高品質AlN基板上に高出力トランジスタを試作した。電子走行層内部電界の低減技術、AlONを用いた絶縁ゲート構造、MOCVD装置を利用した高耐圧絶縁膜形成技術等により、AlN基板上トランジスタとして世界最高出力密度となる 24.4 W/mm の高出力動作に成功した(従来SiC基板上GaNトランジスタ出力の4倍超)。さらに、AlN基板上トランジスタの耐環境性について検討し、既存GaN HEMTを凌駕する耐環境性を実証し、目標を達成した。

3) さらに、AlNトランジスタを用いたパワーアンプ合成回路の出力性能について、従来比10倍を目指し、以下に示す技術について検証する。

・導波管構造による電磁界結合を利用したパワーアンプ合成回路(パワーアンプを構成するト

ランジスタは従来構造であるGaN HEMTデバイスとする) を作製し、8つのパワーアンプの出力を合成し、合成損失<1.5 dBであることを確認する。

導波管構造による電磁界結合を利用した8入力パワーアンプ合成回路を試作・構造最適化を行った。その結果、合成損失1.4 dBを実証し、目標を達成した。

・従来のGaNデバイスモデルを用いてデジタルパワーアンプ(DPA)のシミュレーションベンチを構築し、回路アーキテクチャの最適化を行う。その上でDPAアーキテクチャにAlNトランジスタを適用することでDPA回路の出力整合回路損失を0.5dB以下に低減し、従来のバックオフ型アンプ(A級、AB級、B級動作するアンプ)に比べ1.5倍の出力電力となることを見込まれることを確認する。

DPAに使用するトランジスタの基本波や高調波の最適負荷条件について検討するとともに、スイッチに関してもデバイスレイアウトやサイズを見積もり、パワーアンプ高出力化に向けて重要となる素子パラメータを明らかにした。さらに、実施項目⑩にて評価したAlNデバイスのDC及び高周波評価結果に基づいて大信号モデルを作成し、この大信号モデルをDPAアーキテクチャへ適用したシミュレーションベンチを作成した。そのうえで、X帯においてDPA回路の出力整合回路損失を0.5dB以下に低減できることを計算で実証した。さらに、従来のバックオフ型アンプに対して同一消費電力動作における出力電力が1.5倍となることを確認し、目標を達成した。

以上の研究成果のうち、特に重要な高出力動作、ダイヤモンドによる放熱、量子閉じ込め効果の検証、高品質AlN基板の作製、の成果について図を用いて以下に説明する。

2. 1 世界最高出力AlN基板上トランジスタの実証

本研究では従来比4倍となる高出力動作の実証を目指し、種々のデバイス構造を試作した。図2-1に、本研究において最も高い出力密度が得られたHVPE法により成長した高品質AlN基板上トランジスタ構造の模式図を示す。

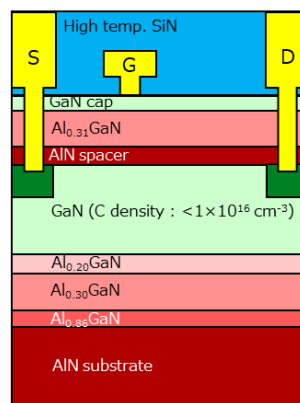


図2-1 本研究において最大出力密度を達成したトランジスタ構造の模式図

図2-1に示すAlN基板については、本研究において開発した高品質HVPE成長2インチAlN基板を用いた。従来のPVT法AlN基板に対して不純物濃度の低い高品質HVPE法AlN基板を利用することで、300 W/mK以上の高い熱伝導率が得られるため、高出力動作において放熱の面で重要な優位性を持つ。

電子走行層およびバッファ構造については、電子移動度の向上(電子散乱の抑制)、高耐圧化、コラプス現象の抑制、といった観点から最適な構造を選択した。電子走行層中の縦方向(結晶成長方向)電界が電子散乱を増大させる要因となるため、本研究においてはバッファ構造およびチャンネル層における歪みを制御し、分極効果によるチャンネル内部電界を低減する手法を開発した。

また、様々な検討を重ねた結果、チャンネル層の二次元電子ガス濃度が約 $1.3 \times 10^{13} \text{ cm}^{-2}$ を超えると移動度の低下や耐圧の低下といった課題が顕著に表れることが分かった。そこで本研究では、電子濃度を $1.0 \sim 1.2 \times 10^{13} \text{ cm}^{-2}$ 程度となる電子供給層とバッファ構造を組み合わせた構造を選択した。さらに、電子走行層中の炭素不純物は電流コラプス現象の原因となるため、表面平坦性に配慮しながら可能な限り炭素不純物濃度の低いGa_{0.9}N層を採用している。

次に半導体中のチャンネル抵抗を低減していくと、その影響が無視できなくなるのがソースおよびドレイン電極と半導体層の間に存在するコンタクト抵抗である。コンタクト抵抗を低減するため、本研究では電子供給層を一度ドライエッチングにより除去し、その領域に再度MOCVD法にてn-GaN層を成長する再成長コンタクト技術を採用した。これによりコンタクト抵抗を、 $0.4 \text{ ohm} \cdot \text{cm}$ 程度から $0.1 \text{ ohm} \cdot \text{cm}$ 程度まで低減できた。

半導体表面に形成する絶縁膜は、電流コラプス現象の大小やトランジスタの耐圧を大きく左右する。本トランジスタ構造では、実施項目④にて開発したAl_{0.9}Nおよび高耐圧Si₃N₄を絶縁膜に採用した。Al_{0.9}N絶縁膜はソースおよびドレイン電極間の全域に形成しており、表面パッシベーション膜のほか、ゲート絶縁膜としても機能している。Si₃N₄絶縁膜の直上には、ゲートフィールドプレートが形成され、電界シミュレーションの結果からトランジスタの最大動作電圧を大きく左右することが分かっている。動作電圧の向上は高出力化に直接寄与するため、従来のプラズマCVD法によるSi₃N₄膜(成膜温度 300°C 程度)ではなく、MOCVD炉で高温成膜したSi₃N₄膜(成膜温度 940°C 程度)を採用し、トランジスタの高耐圧化を図った。さらに、ゲートおよびソースフィールドプレート構造については、デバイスシミュレーションの結果を踏まえ、最適な構造を選択した。

以上のAl_{0.9}N基板作製技術、MOCVD法によるチャンネル成長技術、デバイス設計技術、プロセス技術を統合した結果、図2-2に示すように110 Vの高電圧動作で破壊することなく、 24.4 W/mm の高出力動作を達成した。これはX帯Al_{0.9}N基板上トランジスタとして世界最高出力密度となる成果である。

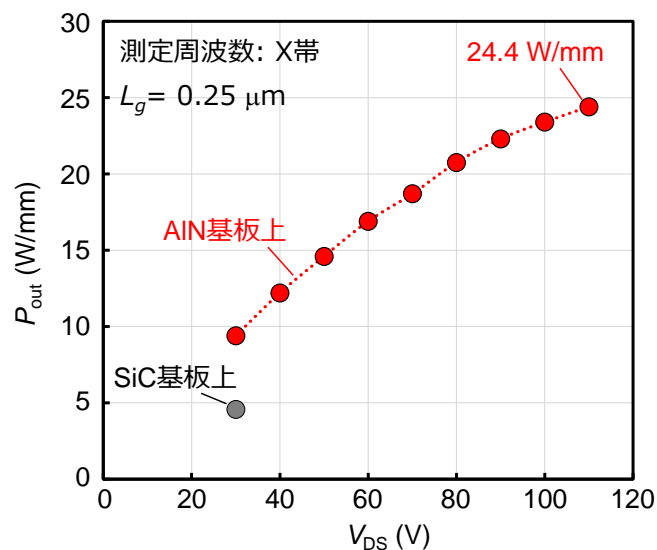


図2-2 従来SiC基板上トランジスタと本研究で作製した高出力トランジスタのロードプル測定結果

2. 2 量子閉じ込め状態の検証と電子高速化に向けた設計指導原理の確立

本研究においては、AlNおよびGaNを用いた量子閉じ込めチャンネル構造について先駆的な研究を行い、閉じ込め状態にある電子輸送に関して理論および実験の両面から検証した。

はじめに、低温フォトルミネッセンス測定により量子井戸構造における量子準位の形成を確認した。得られたエネルギー準位差は、Poisson-Schrödinger方程式を同時に解くことで求めた計算結果と良好な一致を示した。さらに、量子ホール効果測定を行い、シュブニコフ・ド・ハース(SdH)振動を観測した。SdH振動の解析から2DEG濃度および電子の有効質量を算出し、それぞれ実験値およびこれまでの論文等の報告値と良好な一致を示した。

さらに、セルオートマトン法を用いて電子輸送状態の解析を行い、量子閉じ込め状態においては上位サブバンドの Γ 点への遷移が可能となることで、高電界領域における電子速度の低下を抑制する効果を確認した。一方、量子閉じ込め状態を形成することで井戸内の電子の波動関数の重なり積分が増加し、サブバンド内散乱が増加してしまうことも解析結果から明らかになった。以上から、上位サブバンドを利用して高電界領域の電子速度を高速化しつつ、チャンネル中の内部電界を抑制することで波動関数の重なり積分を低減し、低電界領域の速度低下を抑制する、という量子井戸チャンネル構造の基本的な設計指導原理を得た。

また、本研究においては結晶成長技術が最も成熟しているc面GaN結晶を用いて高出力動作を実証したが、以上の設計指導原理のもと、m面を利用して内部電界を低減することで、さらに優位性の高い量子閉じ込めチャンネル構造が実現できる可能性を示した。

フォトルミネッセンス測定による量子準位の観測、SdH振動の観測、セルオートマトン法を用いた電子輸送の解析について、それぞれ以下に纏める。

フォトルミネッセンス法による電子固有値の測定

図2-3にAlN基板上にAlGaNバッファ層およびGaNチャンネル層を成長したHEMT構造の模式図と、Poisson-Schrödinger方程式より求めた第2励起準位までの波動関数の計算結果を示す。図2-3(b)に示すように、基底準位と第1励起準位のエネルギー差は200 meVであった。分極電荷により2DEG層の存在する領域は三角ポテンシャル形状となっており、第2励起準位以降は実効的な井戸幅が大きくなる。このため、高次の準位ほどサブバンド間のエネルギー差は小さくなり、第1励起準位と第2励起準位のエネルギー差はおよそ120 meVであった。

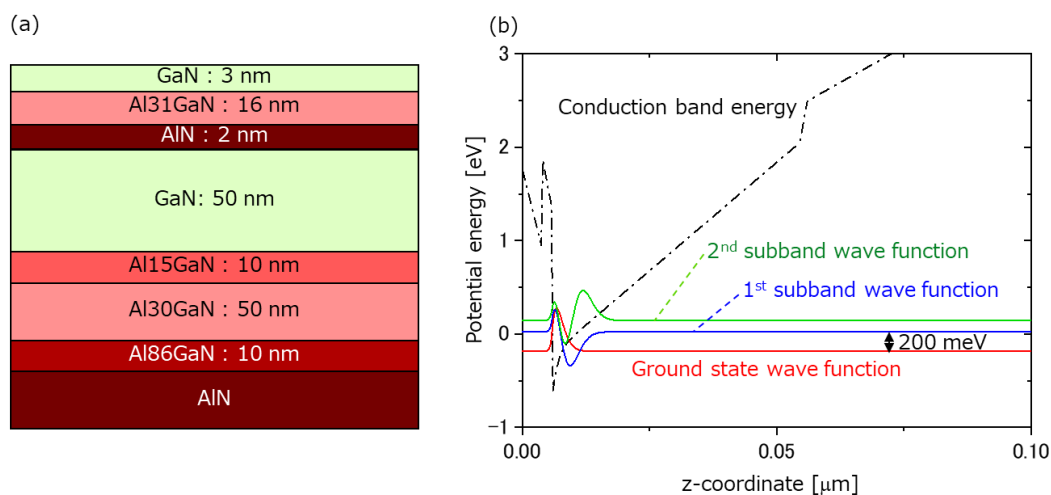


図2-3 (a) PL測定に使用したGaN HEMT構造と
(b) Poisson-Schrödinger方程式より得られた各サブバンドの固有関数

実験的に電子の固有エネルギーを測定するために、本研究ではフォトルミネッセンス(PL)法を用いた。図2-4に28 Kにおけるフォトルミネッセンス測定結果とピーク分離を行った結果を示す。最も強い発光強度を示す基底準位と、そこから190 meV高いエネルギー位置の発光と、さらに170 meV高いエネルギー位置の発光が確認できた。これは図2-3に示す理論計算に基づいて得られたサブバンド間エネルギー差と近いものであり、フォトルミネッセンス測定により観測された発光ピークは量子井戸構造内部の量子準位からの発光と考えられる。

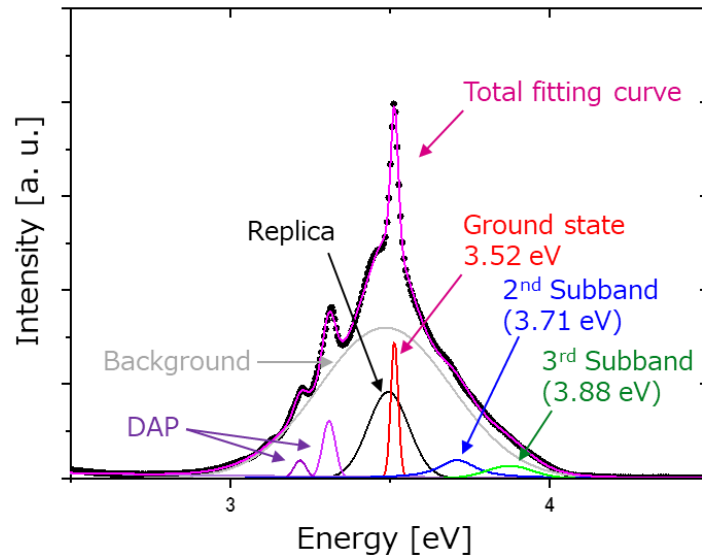


図2-4 薄膜GaNチャネルのバンドエッジ付近のPL測定およびフィッティング結果
(測定温度 28 K)

量子井戸構造におけるSdH振動の観測と解析結果

量子ホール効果測定により、基底準位及び高次のサブバンドそれぞれの基礎特性の取得を試みた。2DEG濃度とシュブニコフ・ド・ハース (Shubnikov-de Haas oscillation: SdH) 振動の振動周波数には相関関係があることから、SdH振動を高速フーリエ変換することで電子密度の算出が可能となる。さらに、FFT振幅の温度依存性から電子の有効質量を導出できる。

図2-5にGaNチャネル厚さ300 nmの量子ホール効果測定結果を示す。1.7 Kから15 Kまで明瞭なSdH振動が観察された。ここで得られたSdH振動がAlGaIn/GaN HEMT界面の二次元電子ガス(2DEG)からのものかを確認するために、FFT変換及びその振幅の温度依存性から有効質量を求めた。

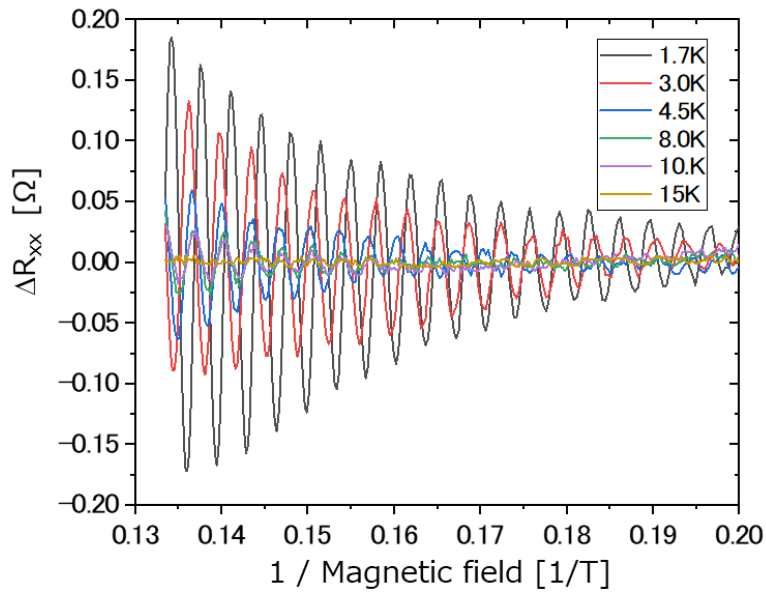


図 2-5 AlN 基板上 HEMT 構造における SdH 振動

図2-6に、図2-5に示すSdH振動のFFT処理後およびFFT振幅の温度依存性を示す。図2-6(a)に示すように周波数 225 Tにおいて強いピークが観察された。得られた周波数から算出した2DEG濃度は $1.09 \times 10^{13} \text{ cm}^{-2}$ となり、これは通常のホール効果測定にて得られた2DEG濃度の $1.13 \times 10^{13} \text{ cm}^{-2}$ と非常に近い。その差分は $0.04 \times 10^{13} \text{ cm}^{-2}$ であり、この2DEG濃度の差はサブバンドの励起準位に存在する2DEG濃度であると考えられる。すなわち、2DEGのほとんどは基底準位に存在していることが分かる。また、FFT振幅は高温になるほどその強度が弱くなり、その温度依存性から得られた2DEGの有効質量は $0.27m_e$ となり、GaNの電子の有効質量理論値である $0.2m_e$ と近いことが確認できた。有効質量が増加している理由はAlN上に成長したためにGaNに圧縮ストレスが印加されたため、E-k分散関係における dE/dk が増大したことや、 $1 \times 10^{13} \text{ cm}^{-2}$ といった高い電子濃度に起因して、電子間の相互作用が強く働いたためであると考えられる。一方で、SdH振動から得られた2DEG濃度及び有効質量がその他の実験値と近い値が得られ、今回得られた抵抗の振動は確かにAlGaN/GaN HEMTの基底準位からの量子振動であると結論付けられる。

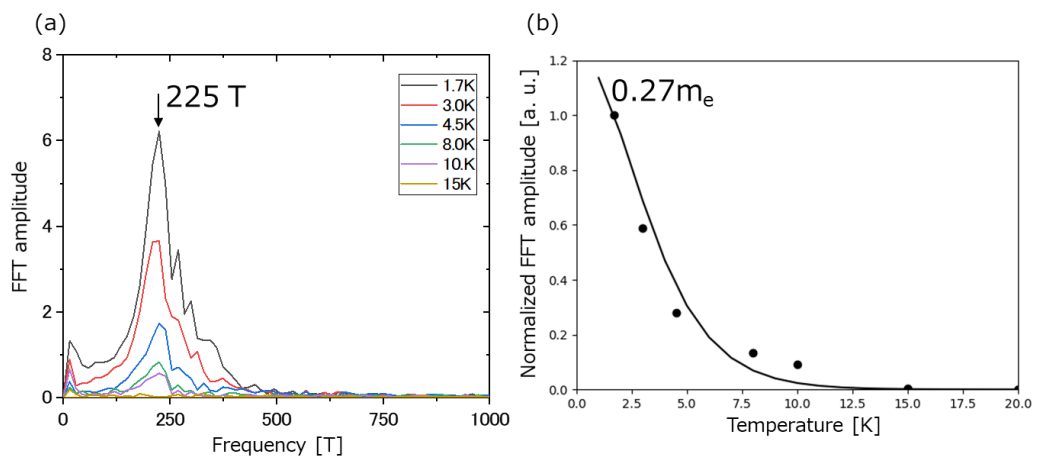


図 2-6 (a)得られた SdH 振動の FFT 結果、(b)FFT 振幅の温度依存性。
実線は電子の有効質量を $0.27m_e$ としたときのフィッティング結果

セルオートマトン法を用いた電子輸送状態の解析と設計指導原理の確立

量子チャネル構造における電子輸送状態を理論的に理解し、量子効果を最大限に利用するためには、根本的な物理現象の究明が不可欠である。実験的なアプローチには観測できる物理量の限界があり、シミュレーションはその本質を理解し、設計原理を確立するうえで強力なツールとなる。本研究では、セルオートマトン法を用いた量子井戸構造における電子輸送状態の解析を行い、量子閉じ込め効果を利用したチャネル構造の設計指導原理を得た。以下にその概要を述べる。

はじめに、従来HEMT構造と、GaNをAlNで挟み込んだ量子チャネル構造について電子輸送状態の解析を行った。その結果、高電界領域においては1stバレーに存在する電子の比率が増加し、電子速度の向上が確認できた。一方、低電界領域においては電子速度が低下することが分かった。詳細な解析の結果、電子の閉じ込め範囲が狭くなったことでフォノン散乱が増加すること、チャネル内部の伝導帯傾きが急峻になり界面ラフネス散乱が増加すること、の2つの理由によって電子速度の低下が引き起こされることを明らかにした。

以上の解析結果に基づき検討を重ね、図2-7に示す量子チャネル構造の設計指針を得た。閉じ込め構造により、サブバンド間のエネルギー差を増大させることで、電子の高エネルギー化を抑制する。さらに、分極電荷制御し伝導帯の傾きを抑制することで、低電界移動度の低下を抑制できることを明らかにした。

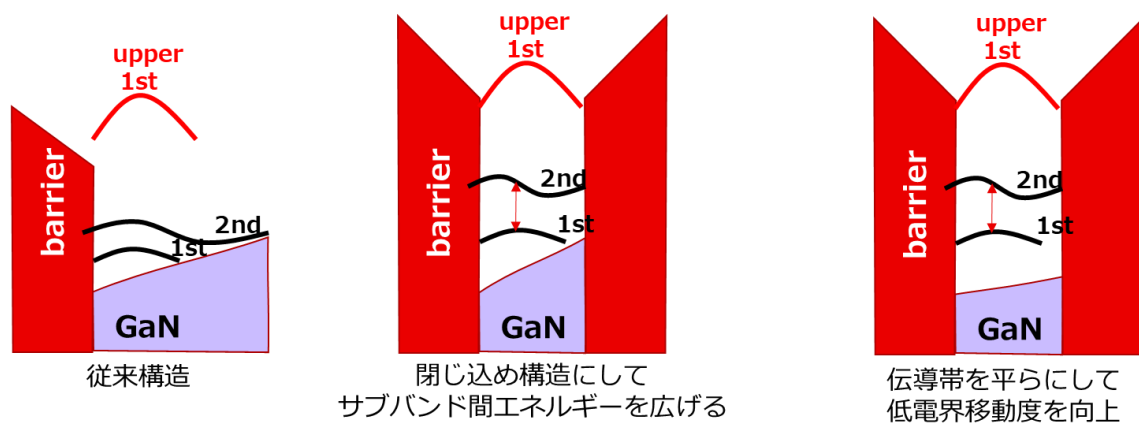


図 2-7 本テーマが導いたデバイス設計の指導原理の概念図

2. 3 表面および裏面ダイヤモンドを利用した放熱効果の実証

表面ダイヤモンド放熱構造

トランジスタ動作時の発熱は、特に電流が集中する表面から数百nm以内の領域において発生する。このため、厚い基板(一般的に50 μm 以上)の裏面に高放熱材料を形成するよりも、直接表面から放熱することが出来れば、その効果をより直接的に享受することが出来る。しかし表面は電極や絶縁膜等が形成されており、平坦ではないことから、裏面のようにダイヤモンド基板を直接接合することは難しい。そこで本研究では、CVD法により表面にダイヤモンド膜を形成した。

図2-8にダイヤモンド成膜後のトランジスタ表面のSEM像と、DC動作時の最大チャンネル温度を示す。チャンネル温度はラマン分光法を用いて測定した。高い面内分解能を有することから、電界が集中するゲート電極近傍における発熱が顕著であることが確認出来る(図2-8(a))。放熱効果は大きく、図2-8(b)に示すように、25 W/mm程度の高出力動作時においては、100°C以上の動作温度低減が確認された。線形フィッティングの傾きから求めたトランジスタの熱抵抗はダイヤモンド適用および非適用において、それぞれ12.7 mm-K/Wと7.3 mm-K/Wとなり、40%程度の熱抵抗低減効果を実証した。

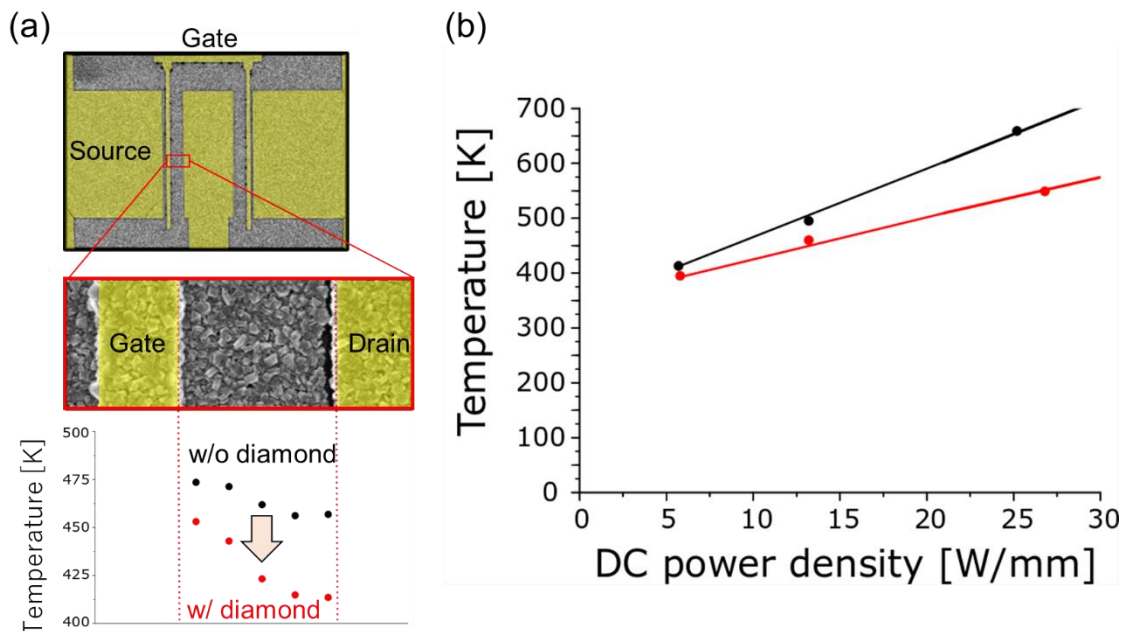


図2-8 (a)ダイヤモンド成膜後のトランジスタ表面SEM像と温度分布、
(b)DC動作時の最大チャンネル温度の変化

裏面ダイヤモンド放熱構造

裏面には電極等の構造物がないため、基板裏面およびダイヤモンド表面を十分に平坦化できれば、基板同士を直接接合することが可能となる。本研究では、ADB法を用いてAlN基板とダイヤモンド基板を接合した。図2-9に実際に接合したAlN基板上トランジスタとダイヤモンド基板の写真を示す。

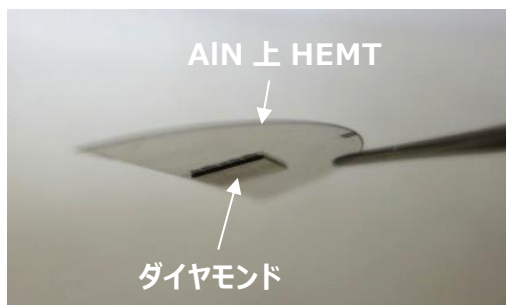


図2-9 ダイヤモンド基板を接合したAlN基板上HEMT

図2-10(a)に赤外線カメラを用いて取得したHVPE-AlN上デバイスの表面温度の測定結果を示す。今回測定したGaN HEMTはゲート幅1 mm (ゲート長100 μm \times 10本) のデバイスとしており、ゲート-ゲート間距離は30 μm である。各ソースドレイン間での発熱が確認され、中心付近でのチャンネルで最も温度が高いことが確認できる。これは、両隣のチャンネルの発熱により中心付近での放熱が阻害されるため引き起こされる。

図2-10(b)に裏面にダイヤモンド基板を接合したものと、接合していないものの温度上昇の変化を示す。ダイヤモンド基板接合前の熱抵抗は28.6 $^{\circ}\text{Cmm/W}$ であったのに対し、ダイヤモンド基板を有するHVPE-AlN上トランジスタの熱抵抗は7.1 $^{\circ}\text{Cmm/W}$ となり、約1/4の劇的な熱抵抗低減効果を実証した。

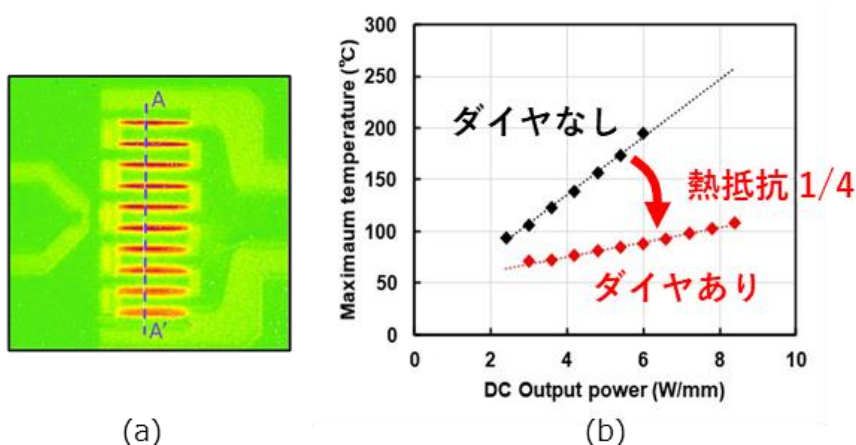


図2-10 GaN HEMTのデバイス温度評価
(a) 赤外線カメラによるデバイス表面温度測定結果、
(b) 裏面ダイヤモンド有無による熱抵抗の変化

2. 4 高品質AlN基板作製技術の確立

半導体結晶基板は、その上層に形成するトランジスタ構造の結晶性を左右することから、高出力トランジスタを作製するための基盤技術となる。さらに、基板の大口径化は低コスト化を促す強力な一手となるため、産業的側面でも基板技術の確立が強く求められる。現在はPVT法により作製されたAlN基板の購入も可能であるが、 10^{19} cm^{-3} 程度の炭素および酸素不純物が存在し、熱伝導率の観点で高出力トランジスタの作製基板としては不利に働く。そこで本研究では、結晶性を維持しつつ、成長速度を増速して基板作製のスループットを向上させコストを下げること、直径2インチ以降のインチアップを可能にする側壁面の発現制御の達成、面内均一性の高い高純度2インチHVPE-AlN自立基板作製技術の確立に取り組んだ。

図2-11に本研究において新規導入した石英フリー成長部を有するHVPE成長装置とAlNホモエピタキシャル成長速度の $P^{\circ}_{\text{AlCl}_3}$ 依存性を示す。成長速度は $P^{\circ}_{\text{AlCl}_3}$ に対して線形的に増加し、本研究の目標値である $100 \mu\text{m/h}$ を超え $155.6 \mu\text{m/h}$ に達した。

2インチ以降のインチアップに向けた側壁面の制御に向けて、PVT-AlN基板上にHVPE層を成長した試料の端部断面を蛍光顕微鏡で観察した結果を図2-12に示す。図2-12に示すように、横方向成長により結晶径が拡大することが確認された。

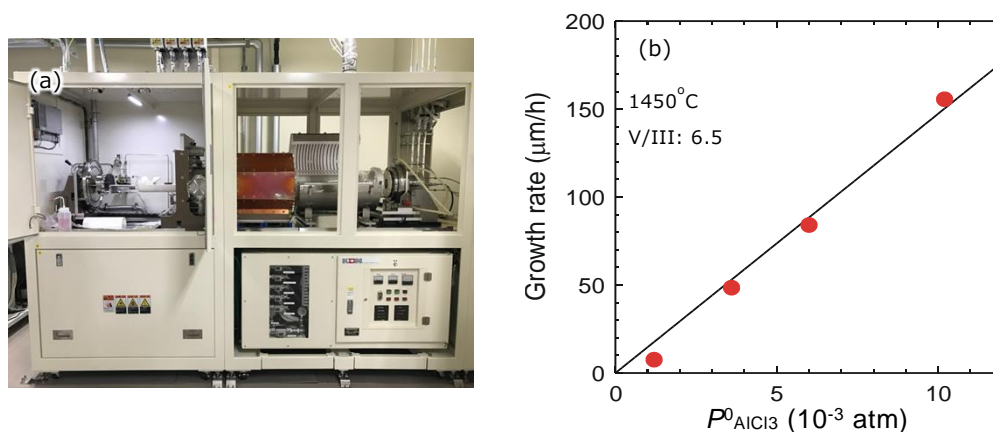


図2-11 (a)新規導入した石英フリー成長部を有するHVPE成長装置の全景写真、(b) 1450°CにおけるAlNホモエピタキシャル成長速度の $P^{\circ}_{\text{AlCl}_3}$ 依存性



図2-12 a面側壁を有する+c面AlN基板上に1600°Cでホモエピタキシャル成長した後の基板端部の断面蛍光顕微鏡像

さらに、HVPE成長の種基板として用いたPVT-A1N基板を研磨により除去し、その後、両面CMP研磨を行うことでHVPE-A1N自立基板を作製した。図2-13に1インチPVT-A1N基板と、本研究において作製した2インチHVPE-A1N基板の写真を示す。作製した2インチHVPE-基板は反射X線トポ像、複屈折率分布により評価を行い、ウェーハ面内において結晶方位ズレの無いことが確認できた。

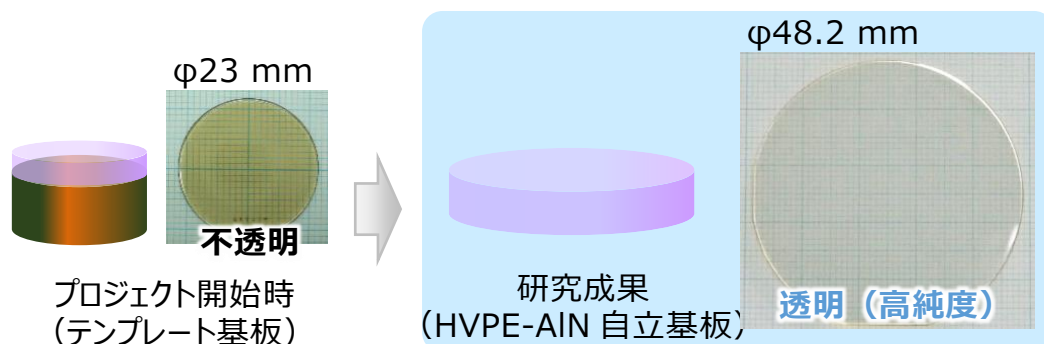


図2-13 本研究において作製した2インチHVPE-A1N自立基板

参考文献

- [1] <https://www.fujitsu.com/jp/about/research/article/202201-high-output-aln.html>
- [2] <https://pr.fujitsu.com/jp/news/2019/12/5.html>

3. 委託業務における研究の方法及び成果

3.1 ①高純度・高速AlN基板成長技術の確立

3.1.1 はじめに

HVPE法によるAlN基板の製造および使用拡大のためには、高結晶性であるだけでなく、スループット向上、径拡大、コスト削減という大きな問題がある。平成29年度は既存のHVPE炉(成長温度上限1450℃)を用い、PVT-AlN(0001)基板上にホモエピタキシャル成長を試み、基板と同等の成長速度が維持可能な成長速度を検討した。また、高品質厚膜を高速で長時間成長するため、新規超高温HVPE炉構造の設計を行った。平成30年度は新規超高温HVPE炉の導入を行うと共に、従来炉を用いてAlN基板の表面状態を制御することで成長層の結晶性がどう影響されるかを検討した。平成31年度は新規超高温HVPE炉を用い、ホモエピタキシャル成長条件の検討としてV/III供給比、成長温度および成長速度の影響を検討した。令和2年度はAlNホモエピタキシャル成長速度の面方位依存性を検討し、HVPE成長中の結晶径拡大の可能性について示す。令和3年度は、HVPE再成長の検討、c面成長における径拡大部の結晶性評価を行い、本手法がAlN基板の生産手法となり得るか検討した結果について示す。

3.1.2 新規超高温HVPE炉設計指針の取得

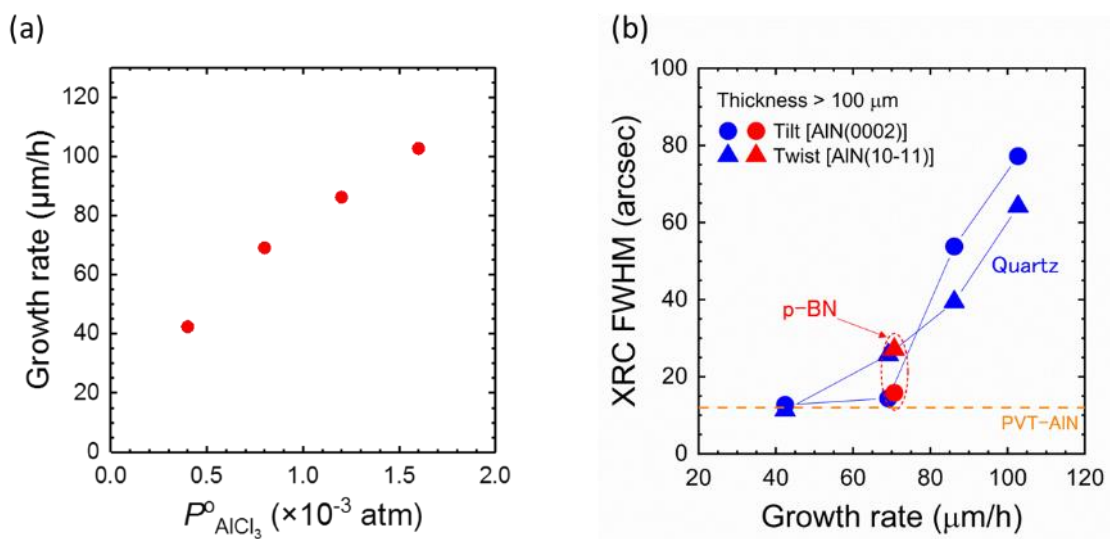
分担研究機関(東京農工大学)の従来炉(成長上限温度1450℃)は石英製の横型炉であり、電気炉加熱(500℃)の原料(上流)部と熱分解窒化ホウ素(p-BN)でコートされた局所加熱グラファイトヒーター(上限1450℃)が設置された成長(下流)部からなる。この構造により通常のホットウォール構造では不可能な石英の歪点(約1100℃)以上の高温でAlN成長が可能となる。原料部には高純度Al金属(6Nグレード)が設置され、そこに塩化水素(HCl)ガスを供給してAlCl₃を生成する。窒素源のNH₃ガスは別途ノズルで成長部に供給している。成長部にPVT-AlN(0001)ジャスト基板(表面オフ角0.5°以下)を設置し、25 μm/hで数100 μmの厚膜をホモエピタキシャル成長し、この成長層から転位密度10⁴ cm⁻²台の低転位密度でかつ光学吸収端206 nmの深紫外光透過性を有するHVPE-AlN基板を作製できる。しかし、AlN基板製造のスループット向上のためには基板と同等の結晶性を維持しつつ成長速度を高速化しなくてはならない。そこで従来炉を用い、PVT-AlN基板上のホモエピタキシャル成長において成長層の結晶性と成長速度の関係を検討し、100 μm/hを超える成長速度で基板と同等の結晶性を維持するために成長温度上限を1450℃以上に引き上げる必要性を検討した。これと並行し、高品質結晶を高速で長時間、安定して成長するため、成長部温度上限を1800℃に引き上げた、成長部石英フリーの新規炉の構造設計を熱反応流体解析により実施し、平成30年度の新規炉導入の準備を行った。

3.1.2.1 AlNのHVPE成長速度の増加と結晶性への影響の検討

従来炉を用い、成長温度1450°Cにおいて、成長炉に供給するHCl供給量を制御、即ちAlCl₃供給量の制御によって成長速度の高速化を試み、ホモエピタキシャル成長層の結晶性への影響を検討した。用いた成長条件としては、炉内圧力1 atm、全ガス流量10 slm、V/III供給比(NH₃/AlCl₃)4.0、水素と窒素の混合気体から成るキャリアガス中の水素比率(F^o)0.7とした。ノズルの構造であるが、AlCl₃供給ノズルの先端中心がN₂バリアガスノズルの先端中心より軸線方向に-5 mm(後退)、上下方向に-1 mm(下方向)ずれた配置とした(詳細は3.1.2.2参照)。

図①-2-1(a)はPVT-AlN(0001)ジャスト基板(a軸方向0.26°オフ)上のホモエピタキシャル成長速度のAlCl₃供給分圧($P^{\circ}_{AlCl_3}$)依存性である。AlNの成長速度は $P^{\circ}_{AlCl_3}$ の増加に伴い増加しており、 $P^{\circ}_{AlCl_3}$ が 0.4×10^{-3} atmの時の42 μ m/hから $P^{\circ}_{AlCl_3}$ が 1.6×10^{-3} atmの103 μ m/hまで増加している。この結果より、従来炉でもHCl供給分圧の増加で100 μ m/hを超える成長速度の達成が可能と分かった。ただし、成長速度は $P^{\circ}_{AlCl_3}$ が大きくなると直線関係から下へのずれが大きくなっている。これは従来炉のAl原料部容積が小さく、高濃度のHClを供給した際に500°Cという低温では反応律速となり、未反応のHClがそのまま原料部から流出していることを示唆している。即ち、 $P^{\circ}_{AlCl_3}$ の値は想定している値(HCl供給分圧(P°_{HCl})の1/3)よりも小さくなっていることになる。よって、新規炉の設計においては原料部の容積は十分大きくし、Al金属とHClガスの接触面積を十分大きくする必要があると分かった。

一方、図①-2-1(b)はホモエピタキシャル層の対称面(0002)、非対称面(10 $\bar{1}1$)のX線回折 ω ロックンギングカーブ(XRC)半値幅のAlN成長速度およびフローガイド材依存性である。各成長速度において成長時間の調整で約100 μ m厚のホモエピタキシャル層を成長した。フローガイドは横型石英炉内を基板結晶の高さで分割する分離板で、この上をAlCl₃ガスが流通する(3.1.2.2参照)。図①-1-1(b)より、成長速度42 μ m/hでは対称面、非対称面の半値幅共に用いたAlN基板のそれと同一の値(図中の黄点線)であり、それ以上の成長速度では成長速度の増加に伴い(0002)、(10 $\bar{1}1$)面のXRC半値幅(転位密度)は増加した。つまり、1450°Cにおいては結晶性が基板と同等に維持される成長速度の上限が約40 μ m/h程度であることが示唆された。一方、フローガイド材が石英の時とp-BNの時で半値幅の値に大きな差が無く、p-BNの使用は結晶性劣化には繋がらないことが分かった。以上より、100 μ m/h以上でPVT-AlN基板と同等の結晶性を維持するには成長温度を1450°Cよりも高温にすることが必須と考えられ、本課題では成長部温度を1800°Cまで昇温可能な新規HVPE炉の導入を平成30年度に計画した。



図①-2-1 (a)AlNのHVPE成長速度のAlCl₃供給分圧依存性、(b)AlN成長層のX線回折 ω ロックンギングカーブ半値幅のHVPE成長速度およびフローガイド材依存性

次に、各 $P^{\circ}_{\text{AlCl}_3}$ におけるホモエピタキシャル層中のホウ素(B)、炭素(C)、酸素(O)、シリコン(Si)不純物濃度をSIMS分析で評価した(表①-2-1)。成長条件に関わらず、水素(H)、塩素(Cl)、クロム(Cr)、鉄(Fe)、ニッケル(Ni)の各不純物濃度はそれぞれのバックグラウンド濃度未満であったため、表外に記載した。基板とほぼ同等の結晶性のホモエピタキシャル層が成長できる $P^{\circ}_{\text{AlCl}_3}$ が 0.8×10^{-3} atm(成長速度 $69 \mu\text{m/h}$)ではB、C不純物濃度はSIMSのバックグラウンド濃度未満であり、OとSi不純物のみ 10^{17}cm^{-3} 台で観測された。ただし、これらの濃度は従来の $25 \mu\text{m/h}$ で成長されている高深紫外光透過率AlN基板と比較して同等であり、光学物性への影響は小さいと考えられる。一方、 $P^{\circ}_{\text{AlCl}_3}$ を 1.6×10^{-3} atmと2倍に増加させると、B、C、O不純物の濃度はほとんど変化しないのに対し、Si不純物濃度が $1.0 \times 10^{18} \text{cm}^{-3}$ へ増加することが分かった。同時に石英製フローガイド表面の損傷も顕著となった。炉内の原料部から成長部へ供給される AlCl_3 は、 $\text{AlCl}_3(\text{g}) + \text{NH}_3(\text{g}) = \text{AlN}(\text{s}) + 3\text{HCl}(\text{g})$ のAlN成長反応で消費されるが、その一部は $\text{AlCl}_3(\text{g}) + \text{H}_2(\text{g}) = \text{AlCl}(\text{g}) + 2\text{HCl}(\text{g})$ の反応でAlClと平衡関係になる。そのため AlCl_3 供給分圧を増加させると成長部におけるAlCl分圧が増加して石英の損傷が生じ、その結果としてSi不純物がAlNホモエピタキシャル層に取り込まれるものと考えられる。そこで、フローガイド材をp-BNに変えて同条件の成長も試みたが、結果は石英製フローガイドの場合と差がなかった。成長部の基板設置部の近傍にはフローガイド以外にも石英製部品が多くあり、これらをすべて石英フリーすなわちBN材またはp-BNでコーティングした部品にすることが必須と考えられる。以上から、平成30年度に導入する新規HVPE炉の開発の指針として、 1800°C まで昇温可能な成長部はBNおよびp-BNコートした部品のみで構成することとした。

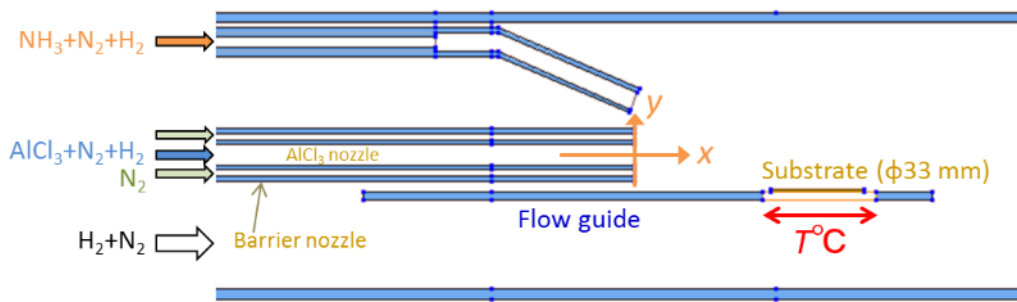
3.1.2.2 新規超高温HVPE炉の設計

3.1.2.1にて、高い結晶性・純度のAlNホモエピタキシャル層を $100 \mu\text{m/h}$ 以上で高速成長するには、 1450°C 以上の高温、高い $P^{\circ}_{\text{AlCl}_3}$ 分圧、石英フリーの成長部構造、の3点が重要と分かった。そこで平成30年度に導入予定の新規HVPE成長炉設計は、熱反応流体解析ソフトウェア(STR社製HEpiGaNS)を用いて実施した。図①-2-2に解析で用いた基本モデルの断面構造を示す。大気圧横型の石英製炉で、 AlCl_3 、 NH_3 が別々のノズルで供給されている。 AlCl_3 と NH_3 の反応で AlCl_3 供給ノズル先端部にAlN析出が生じてしまうと、基板上でのAlN成長速度が低下し、さらに長時間の成長が不可能になる。そこで AlCl_3 供給ノズル先端部における NH_3 分圧を低下させる目的で、 AlCl_3 供給ノズルはこれを取り囲むバリアガスノズル内に配置し、バリアガスノズル内に N_2 ガスを流してAlN析出を防ぐ構造とした。解析は基板温度 $T(^{\circ}\text{C})$ とノズル配置を変えて実施した。バリアガスノズルの先端中心を座標原点とし、 AlCl_3 のノズル先端のx、y位置を変え、炉内のガスの流れおよびAlNの成長速度を解析した。解析は全ガス流量を 10slm 、 $P^{\circ}_{\text{AlCl}_3}$ を $0.4 \times 10^{-3} \text{atm}$ 、V/III供給比を4.0、 F° を0.7として実施した。

表①-2-1 1450°C で成長したAlNホモエピタキシャル層中の不純物濃度の $P^{\circ}_{\text{AlCl}_3}$ およびフローガイド材依存性(単位： cm^{-3})

Flow guide	$P^{\circ}_{\text{AlCl}_3}$	B	C	O	Si
Quartz	0.8×10^{-3}	$<9.0 \times 10^{14}$	$<1.5 \times 10^{16}$	2.0×10^{17}	4.0×10^{17}
Quartz	1.6×10^{-3}	$<9.0 \times 10^{14}$	$<1.5 \times 10^{16}$	2.0×10^{17}	1.0×10^{18}
p-BN	1.6×10^{-3}	$<9.0 \times 10^{14}$	$<1.5 \times 10^{16}$	3.0×10^{17}	1.0×10^{18}

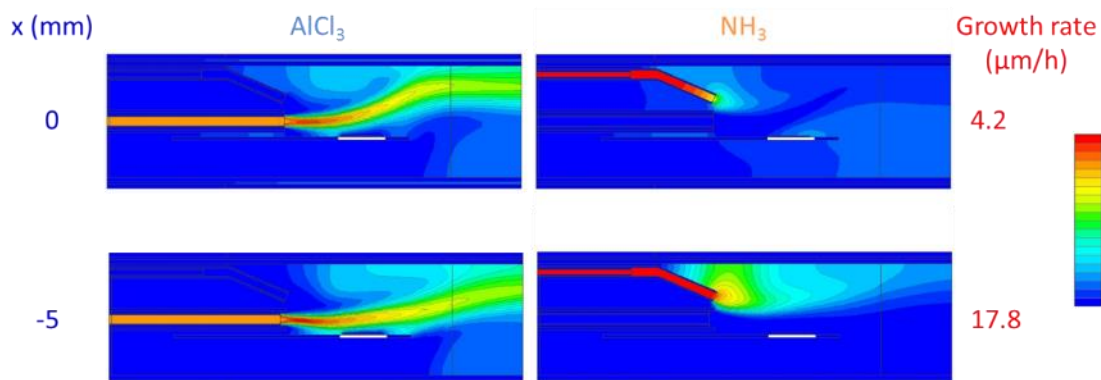
※ $\text{H} < 4.0 \times 10^{16}$, $\text{Cl} < 2.0 \times 10^{14}$, $\text{Cr} < 1.5 \times 10^{13}$, $\text{Fe} < 5.0 \times 10^{13}$, $\text{Ni} < 6.0 \times 10^{13}$



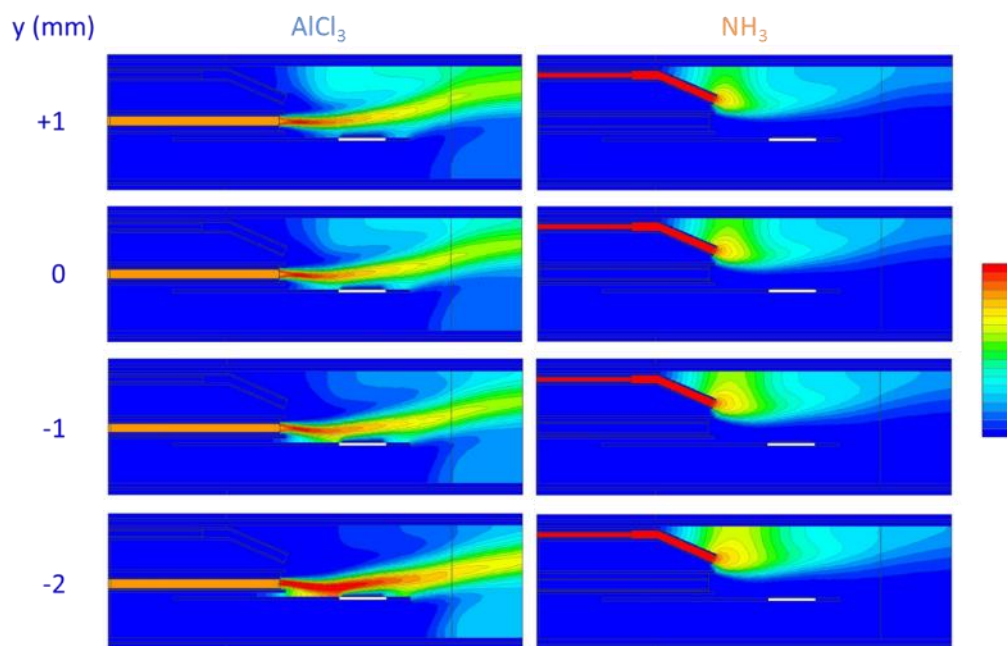
図①-2-2 HVPE-AlN 成長炉の熱反応流体解析に用いたモデルの断面構造

図①-1-3は $T = 1450^{\circ}\text{C}$ 、 $y = 0$ でAlN成長を実施する際の炉内 AlCl_3 および NH_3 分圧分布とAlN成長速度の x 値依存性である。上段は $x = 0$ 即ち AlCl_3 供給ノズルの先端中心とバリアガスノズルの先端中心が一致している場合で、下段は $x = -5$ mm即ち AlCl_3 供給ノズル先端はバリアノズル先端より軸方向に5 mm後退させた配置となっている。 $x = 0$ では AlCl_3 分圧分布は基板上で大きく上方へ反っており、 NH_3 の分圧分布はこれに妨げられ狭くなっている。一方、 $x = -5$ mmの場合、 AlCl_3 の分圧分布は $x = 0$ の時よりも基板側へ寄っており、 NH_3 の分圧分布も広く基板側へ広がっている。さらに、 NH_3 の分圧分布を見ると、バリアガスノズルに妨げられ AlCl_3 供給ノズル先端では分圧が十分に低下している。よって、 AlCl_3 供給ノズル先端でのAlN析出は無視できるものと考えられる。基板中心部における AlCl_3 の供給分圧と $T = 1450^{\circ}\text{C}$ における表面反応群の結果として得られる AlCl_3 の平衡分圧の差 ΔP は、物質輸送係数 K_g との積を取ることによって実際の成長速度へと換算することが可能である。既に我々が報告している $K_g = 5.58 \times 10^4 \mu\text{m/h} \cdot \text{atm}$ を用いることで $x = 0$ 、 -5 mmの成長速度はそれぞれ4.2、17.8 $\mu\text{m/h}$ と見積もられた。よって AlCl_3 供給ノズル先端をバリアガスノズル先端よりも後退させることが高速成長に効果があると分かった。

次に、 $T = 1450^{\circ}\text{C}$ 、 $x = -5$ mmにおいてAlN成長を行う際に、 y 値を+1 mm (AlCl_3 ノズル上方配置)から-2 mm (AlCl_3 ノズル下方配置)と変えて AlCl_3 および NH_3 の分圧分布を解析した結果を図①-2-4に示す。 $y = 0$ 即ち AlCl_3 供給ノズルとバリアガスノズルが同軸構造の場合と比べ、 y 値がプラスの時 (AlCl_3 ノズル中心がバリアガスノズル中心よりも上方に配置)は AlCl_3 の分圧分布は基板から離れ、逆に y 値がマイナスの時 (AlCl_3 ノズル中心がバリアガスノズル中心よりも下方に配置)は y 値の減少に伴って AlCl_3 の分圧分布が基板に寄っていくことが分かる。一方、 NH_3 の分圧分布は $y = +1$ mmから $y = -2$ mmとすることでわずかに下流側へ広がるものの、図①-2-3に示す x 値の変化による効果程には大きな変化を示さないことが分かった。

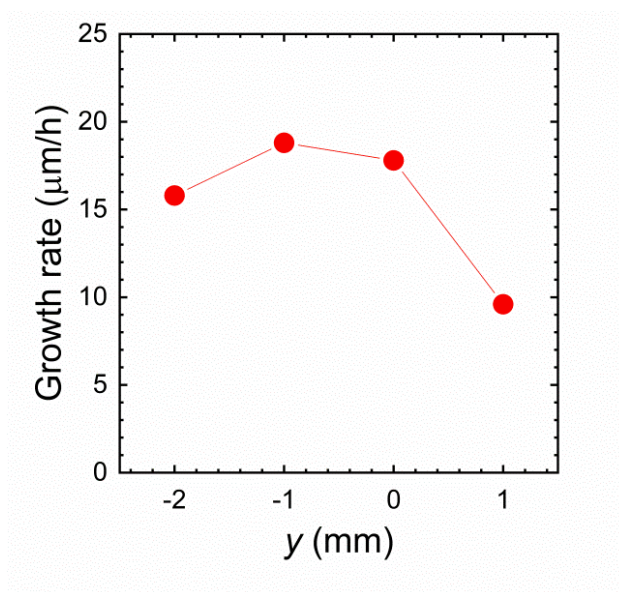


図①-2-3 $T = 1450^{\circ}\text{C}$ 、 $y = 0$ でAlN成長を実施する際の炉内 AlCl_3 、 NH_3 分圧分布およびAlN成長速度の x 値依存性：上段 $x = 0$ 、下段 $x = -5$ mm。スケールバーのフルスケールは AlCl_3 で $2.8 \times 10^{-3} \text{ atm}$ 、 NH_3 で $7.7 \times 10^{-2} \text{ atm}$



図①-2-4 T = 1450°C、x = -5 mm で AlN 成長を実施する際の炉内 AlCl₃、NH₃ 分圧分布 (フルスケールは AlCl₃ で 2.8×10^{-3} atm、NH₃ で 7.7×10^{-2} atm) の y 値依存性

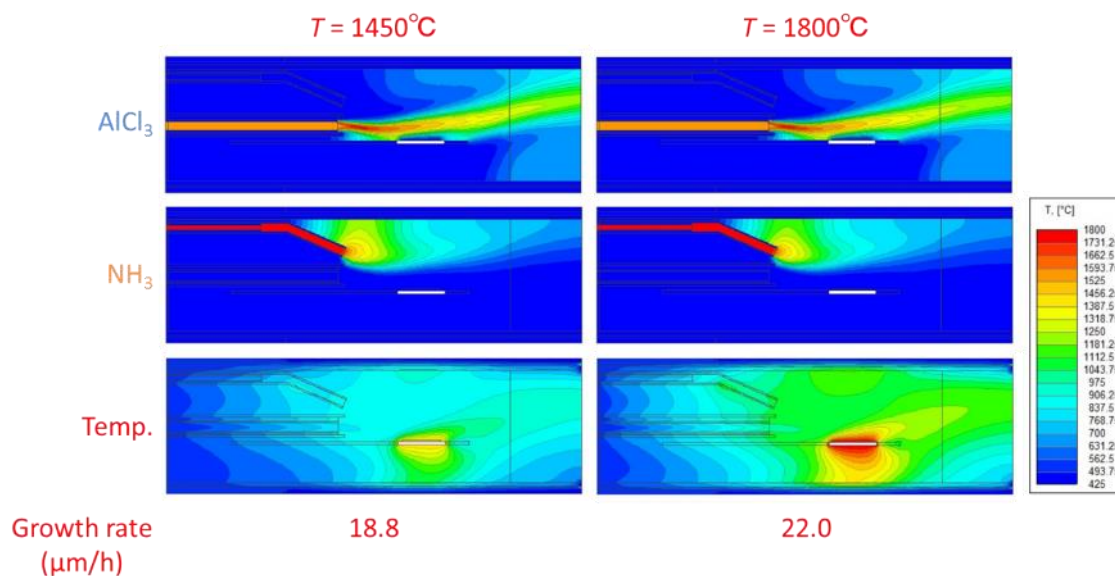
次に、図①-2-4の解析結果における基板中心における ΔP 値を計算し、成長速度の y 値依存性を得た (図①-2-5)。本図より、成長速度が y 値に依存しており、y = -1 mm で最大の成長速度が得られることが分かった。y 値がプラスの時は AlCl₃ 分圧の分布が基板から離れること、y 値がマイナスの場合には AlCl₃ 分圧分布は基板側に寄るものの NH₃ 分圧が基板側に寄らないため、y を小さくしすぎると基板表面付近での実効的な V/III 供給比が低下することが成長速度の低下を引き起こしているものと考えられる。以上より、ノズル構造として x = -5 mm、y = -1 mm を AlN の新規成長炉に反映させることとした。



図①-2-5 T = 1450°C、x = -5 mm で成長を実施する際の成長速度の y 値依存性

最後に $x = -5 \text{ mm}$ 、 $y = -1 \text{ mm}$ を AlCl_3 供給ノズルの配置とした構造で、基板温度 $T = 1450^\circ\text{C}$ および 1800°C で解析を実施し、 AlCl_3 と NH_3 の分圧分布、炉内の温度分布、 AlN 成長速度を比較した結果を図①-2-6 に示す。成長温度を 1800°C に上げた場合においても、 AlCl_3 および NH_3 の分圧分布は 1450°C のときのそれとほぼ同等で、熱対流等の影響は出ないことが分かる。基板中心における ΔP の計算から得られる成長速度は $T = 1450^\circ\text{C}$ で $18.8 \mu\text{m/h}$ 、 $T = 1800^\circ\text{C}$ で $22.0 \mu\text{m/h}$ であり、成長温度の増加による成長速度の低下は生じないことが示唆された。実際、 $T = 1450^\circ\text{C}$ 、 $x = -5 \text{ mm}$ 、 $y = -1 \text{ mm}$ 、 $P_{\text{AlCl}_3}^0 = 0.4 \times 10^{-3} \text{ atm}$ で成長実験を行った場合に、 $42 \mu\text{m/h}$ の成長速度が確認されており (3.1.2.1 参照)、本熱反応流体解析結果は概ね実験結果を予測できているものと判断される。よって、 1450°C で $100 \mu\text{m/h}$ を超える成長速度が実際の実験で達成されていることから、それよりも高温で $100 \mu\text{m/h}$ を超える成長も可能と示唆される。

一方、炉内の温度分布を見ると $T = 1450^\circ\text{C}$ では壁面温度の最大値は基板直下で 1076°C であるのに対し、 $T = 1800^\circ\text{C}$ では基板直下の壁面温度は 1391°C にも達し、基板周りのフローガイドの温度も 1112°C になっている。これらの結果から、成長部温度 1800°C を可能とする新規成長炉の成長部に石英を使用することは石英の歪点 (約 1100°C) の観点から不可能であり、 AlCl_3 による石英製フローガイドの還元損傷が引き起こす AlN 成長層の Si 不純物汚染抑制の見地からも成長部を石英フリーの耐熱材料で構築する必要があると分かった。p-BNは無酸素雰囲気でも 2000°C 程度まで安定であることが知られており、かつ、3.1.2.1 で実際にp-BN製フローガイドを使用した場合においてB不純物濃度の上昇が見られなかったことから、新規成長炉ではBN材およびp-BNコート材で成長部構造を構築することを決定した。



図①-2-6 ノズル配置 $x = -5 \text{ mm}$ 、 $y = -1 \text{ mm}$ において $T = 1450^\circ\text{C}$ および $T = 1800^\circ\text{C}$ で AlN 成長を実施する際の炉内 AlCl_3 、 NH_3 分圧分布 (フルスケールは AlCl_3 で $2.8 \times 10^{-3} \text{ atm}$ 、 NH_3 で $7.7 \times 10^{-2} \text{ atm}$)、温度分布、および成長速度

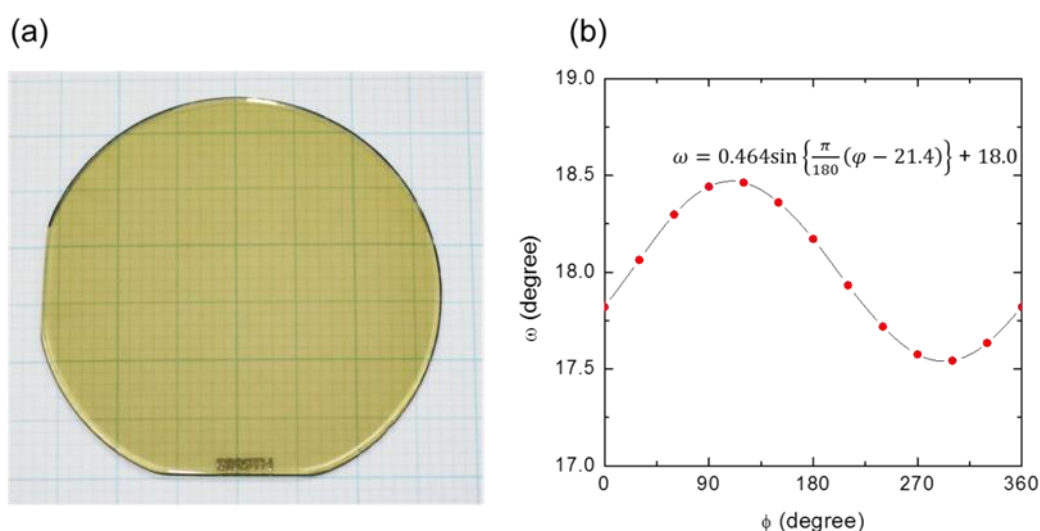
3.1.3 AlNホモエピタキシャル成長 I

平成29年度に使用したPVT-AlN基板は(0001)面(c面)ジャスト基板(表面オフ0.5°未満)であり、表面のオフ角をX線回折で測定したところ、実際にはa軸方向に0.26°オフしていた。このオフ方向は制御されたものではなく、基板の製造ロット毎に異なっていた。結晶構造を考慮するとa軸方向にオフしている場合よりもm面方向にオフしている方が成長表面における二次元島の癒合が容易に生じる。そこでm面方向にオフしたジャスト基板の調達を行い、平成29年度同様に従来炉を用いて高速成長において結晶性が維持される限界速度の検討を行った。

また、成長部温度上限1800℃、成長部石英フリーの新規HVPE炉の導入、立ち上げを行い、PVT-AlN基板上でのホモエピタキシャル成長挙動、成長膜中の不純物濃度解析を実施した。

3.1.3.1 表面オフ制御AlN基板上高速成長の検討

平成29年度はPVT-AlN(0001)基板としてc面のjust規格で基板調達が可能であった。しかし、表面オフ角0.5°未満以内、オフ方向任意という規格内の変動は不可避であった。本課題遂行のため、表面オフ角・方向を早期に確定しておくことが重要と考え、平成30年度はm方向0.5°未満というオフ方向・角度に指定してPVT-AlN基板の調達を行った。本指定は、m方向オフ基板であれば表面に現れるステップ・テラス構造のステップ端に安定なm面が出現し、二次元島成長時の転位形成が抑制されるとの予想から決定した。図①-3-1は調達した直径35 mmの基板全景写真(a)およびX線回折(0002)面の ω スキャンピーク位置の面内回転角 ϕ 依存性測定結果の例である。 $\phi = 0^\circ$ はX線入射方向がa軸に平行となっている。これより、表面オフ角とオフ方向がそれぞれ0.46°およびm方向($\phi \sim 90^\circ$)となっていることを実際に確認した。調達した各基板のオフ角・方向チェック後、基板全面の(11 $\bar{2}$ 4)面X線回折反射トポグラフ像を得て、基板内の小傾角粒界の有無を確認し、該当領域を除いた部分から5 mm角の基板を切り出してホモエピタキシャル成長実験に使用した。

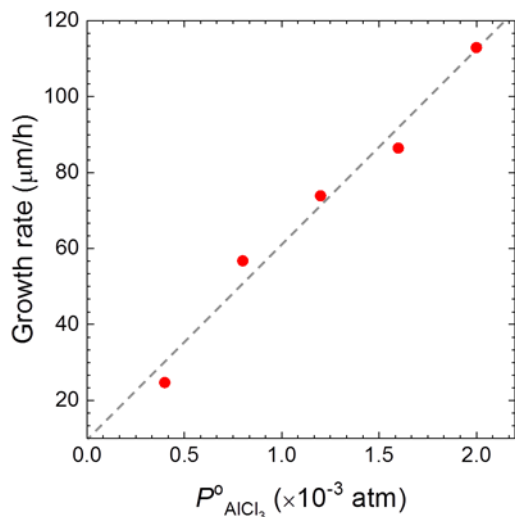


図①-3-1 (a) 35 mm 径 PVT-AlN(0001) 基板全景写真(表面が c 面、下側オリフラが m 面)、(b) 基板の X 線回折(0002)面 ω スキャンピーク位置の面内回転角 ϕ 依存性測定結果($\phi = 0^\circ$ は X 線入射方向が a 軸に平行)

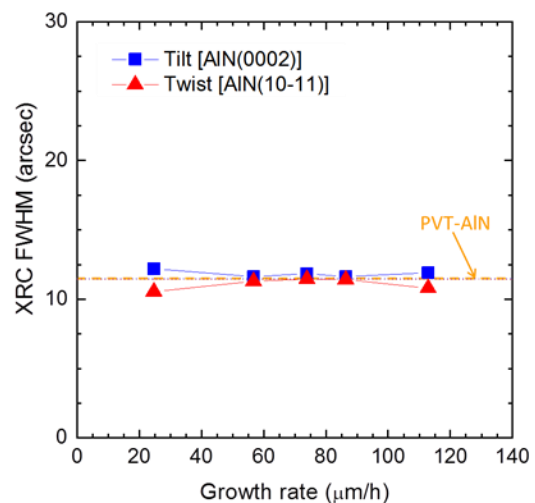
上述の5 mm角のAlN基板上に、従来炉(炉内全圧1.0 atm、成長温度上限1450℃、成長部石英使用、詳細は後述の図①-3-6参照)を用い、1450℃でHCl供給分圧を変化させてAlNのホモエピタキシャル成長を行った。原料部における反応 $\text{Al(s)} + 3\text{HCl(g)} \rightarrow \text{AlCl}_3\text{(g)} + 1.5\text{H}_2\text{(g)}$ より想定される AlCl_3 供給分圧($P_{\text{AlCl}_3}^\circ$)の変化に対し、V/III供給比($P_{\text{NH}_3}^\circ/P_{\text{AlCl}_3}^\circ$)が4となるように NH_3 供給分圧($P_{\text{NH}_3}^\circ$)を調整した。キャリアガス中の水素比率(F°)は0.7とし、 AlCl_3 供給ノズルのバリアノズルには N_2 ガスを流した。図①-3-2はAlNホモエピタキシャル成長速度の $P_{\text{AlCl}_3}^\circ$ 依存性である。これより、AlN成長速度は $P_{\text{AlCl}_3}^\circ$ に対しリニアに変化し、 $P_{\text{AlCl}_3}^\circ$ が 2.0×10^{-3} atmの時に112.9 $\mu\text{m/h}$ に達した。これは平成29年度に実施したa方向に意図せずオフした基板を用いた時の結果に近い結果であった。

各 $P_{\text{AlCl}_3}^\circ$ (成長速度)において厚さ30 μm のホモエピタキシャル層を成長後、対称面(0002)および非対称面(10 $\bar{1}$ 1)のX線回折 ω ロッキングカーブ(XRC)の半値幅(FWHM)を測定した結果を図①-3-3に示す。図中、PVT-AlN基板のFWHM [対称面(0002): 11.5 arcsec、非対称面(10 $\bar{1}$ 1): 11.5 arcsec]を点線で示すが、成長速度25~113 $\mu\text{m/h}$ において、成長層のX線回折 ω ロッキングカーブのFWHMはPVT-AlN基板のそれに一致しており、X線回折を用いた結晶性評価からは100 $\mu\text{m/h}$ 超においても基板と同等の結晶性(転位密度)が維持されることが確認された。本結果は平成29年度に実施した、意図せずa方向にオフしたPVT-AlN基板を用いた時の結果[図①-2-1(b)]とは異なっている。オフ方向をm方向にすることで、1450℃においても100 $\mu\text{m/h}$ 以上の高速成長で基板と同等の高品質結晶の成長が可能という予期せぬ結果が得られたと言える。

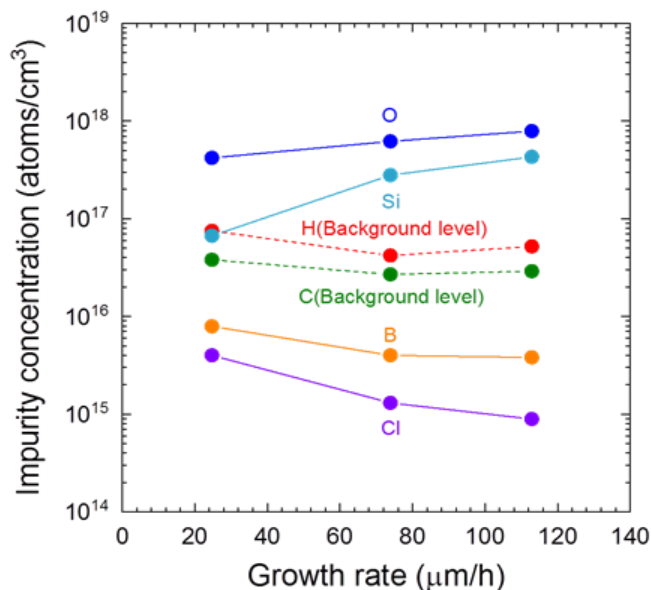
図①-3-4は、図①-3-2における24.7、73.9、112.9 $\mu\text{m/h}$ で成長した3つのホモエピタキシャル層(厚さ30 μm)中の不純物濃度のSIMS測定結果を成長速度に対して示している。硼素(B)と塩素(Cl)濃度は成長速度の増加で減少し、水素(H)とC濃度は成長速度によらずSIMS装置のバックグラウンド濃度(10^{16} cm^{-3} 台)未満であった。一方、成長速度の増加でO濃度は微増、Si濃度は1桁上昇し 10^{17} cm^{-3} 台となった。これは、3.1.2.1でも述べたように、平衡反応 $\text{AlCl}_3\text{(g)} + \text{H}_2\text{(g)} = \text{AlCl(g)} + 2\text{HCl(g)}$ により、 AlCl_3 供給分圧増加で石英と反応するAlClの平衡分圧が増加し、 $\text{AlCl(g)} + 1.25\text{SiO}_2\text{(s)} \rightarrow 0.25\text{SiCl}_4\text{(g)} + 0.5\text{Si(s)} + 0.5\text{Al}_2\text{SiO}_5\text{(s)}$ の反応でSi汚染源となる SiCl_4 が発生することによると推察される。以上から、高純度層を高速成長するには石英フリーの新規成長炉の使用が必須である。



図①-3-2 1450℃における AlN ホモエピタキシャル成長速度の $P_{\text{AlCl}_3}^\circ$ 依存性



図①-3-3 1450℃成長した30 μm 厚のホモエピタキシャル成長層の X 線回折 ω ロッキングカーブ FWHM の成長速度依存性



図①-3-4 1450°C成長した30 μm厚のホモエピタキシャル成長層中の不純物濃度の成長速度依存性

3.1.3.2 新規石英フリー高温成長炉の導入とAlNホモエピタキシャル成長の

検討 I

高純度AlNホモエピタキシャル層の高温・高速(100 μm/h超)成長を目的とした新規石英フリー成長部を有するHVPE装置(成長部上限1800°C)を導入した。導入したHVPE装置の全景写真を図①-3-5に、断面構造概略図を、既存の石英反応炉を有するHVPE装置(成長温度上限1450°C)のそれと合わせ、図①-3-6に示す。新規導入した成長炉は平成29年度に実施した熱反応流体解析に基づく新規炉設計指針に従って装置メーカーと共に開発した。既存の成長装置が石英製ホットウォール型反応炉とp-BNコートしたグラファイトヒーター(温度上限1450°C)による基板局所加熱構造を有するのに対し、新規導入装置では、高温となる成長部は窒化ホウ素(BN)およびp-BNコートされたカーボンサセプタで構成される石英フリー構造を採用し、サセプタを1800°Cまで加熱するためRF誘導加熱(出力30 kW)を用いている。

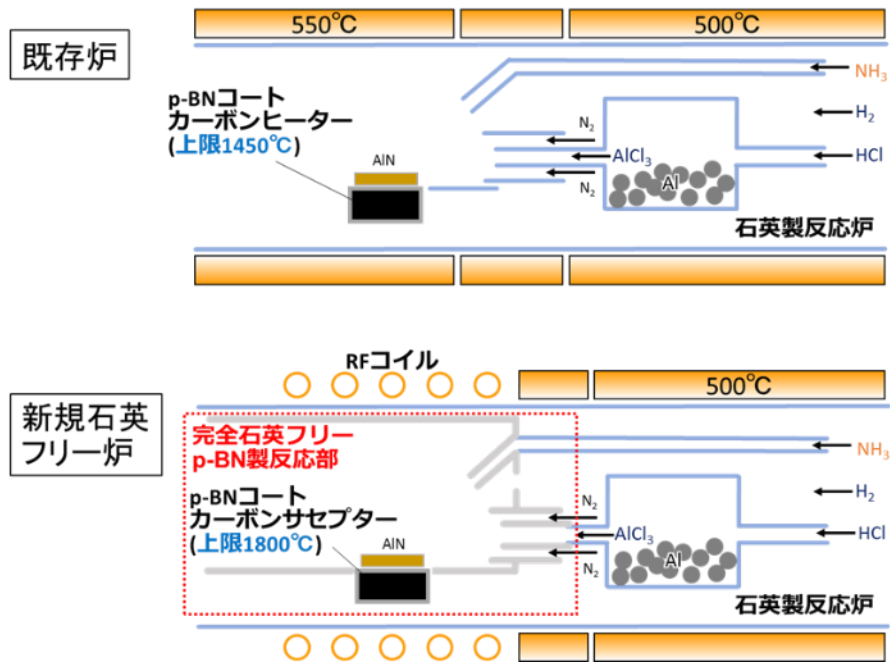
既存のHVPE装置でAlNを25 μm/hで成長可能な条件を基準として新規導入装置の各部流量を決定した。この際、原料の分圧、キャリアガス中の水素比率、またノズル先端部における線速度等が同じ値となるようにした。最初に、新旧の両HVPE成長炉を用い、基板温度1450°C、炉内全圧1.0 atm、 $P_{\text{AlCl}_3}^{\circ} = 4.0 \times 10^{-3}$ atm、 $V/\text{III} = 4$ 、キャリアガス中の水素比率 $F^{\circ} = 0.7$ の条件で1時間、PVT-AlN(0001)ジャスト基板(m方向0.46°オフ)上にホモエピタキシャル成長を行った。成長層の表面状態、X線回折ωロッキングカーブFWHM等は既存炉と新規導入炉で同等の結果であった。一方、既存炉では成長速度が24.7 μm/hであったのに対し、新規導入炉では成長速度が8.1 μm/hと約1/3になっていた。この原因として、AlCl₃供給ノズルの断面形状が、従来炉では円形であるのに対し、大面積成長を目的とする新規導入炉では横長の楕円形で、原料が広範囲に拡散したことが考えられた。一方、図①-3-7に両装置で成長したホモエピタキシャル層中の不純物濃度のSIMS測定結果を示すが、新規導入炉ではB、Cl、O、Si濃度が減少し、その他のH、C、Fe、Cr、Niはすべてバックグラウンド濃度未満であった(既存炉と新規導入炉で値が変動しているのは使用したSIMS測定装置のバックグラウンド濃度の差による)。以上から、新規導入炉では、全不純物濃度の

和が 10^{17} cm^{-3} 未満の高純度膜の成長が可能なことを確認した。特に、O、Si不純物濃度が大きく減少したのは、高温になる成長部を石英フリーにした効果と考えられる。

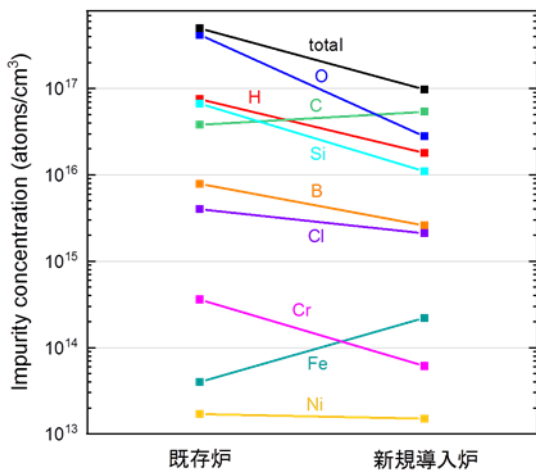
次に、新規導入炉を用い、成長温度 1450°C において $P^\circ_{\text{AlCl}_3}$ を増加させて成長速度の増加を試みた。V/III比は4となるように $P^\circ_{\text{NH}_3}$ を調整した。図①-3-8はAlNホモエピタキシャル成長速度および成長層のX線回折 ω ロックンブカーブFWHMを $P^\circ_{\text{AlCl}_3}$ に対してプロットしたものである。図より、既存のHVPE成長炉同様に、AlN成長速度は $P^\circ_{\text{AlCl}_3}$ に対して線形に増加し、 $141.8 \mu\text{m/h}$ まで増速を確認できた。既存のHVPE装置における結果(図①-3-2)と比較した場合、同じ成長速度が得られる $P^\circ_{\text{AlCl}_3}$ は新規導入炉の方が高い。これは前述のように AlCl_3 供給ノズルの形状によるものと理解される。以上、新規導入したHVPE成長装置により、高純度結晶の高速成長が可能なことを確認した。一方、成長速度の増加に伴ってホモエピタキシャル層のX線回折 ω ロックンブカーブ(XRC)のFWHMは基板のそれよりも大きくなっており、結晶性劣化が認められた。本結果は既存のHVPE成長炉において $112.9 \mu\text{m/h}$ で成長しても結晶性劣化が認められない結果(図①-3-3参照)と異なる。今後、高速成長においてもFWHMが基板と同等となるように成長条件をチューニングする必要があることが示唆された。



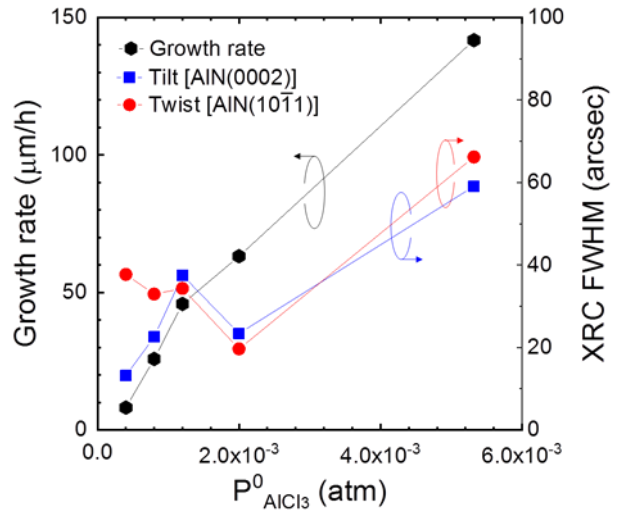
図①-3-5 新規導入した石英フリー成長部を有する HVPE 成長装置の全景写真



図①-3-6 既存の HVPE 成長装置および新規導入した石英フリー成長部を有する HVPE 成長装置の断面構造概略図

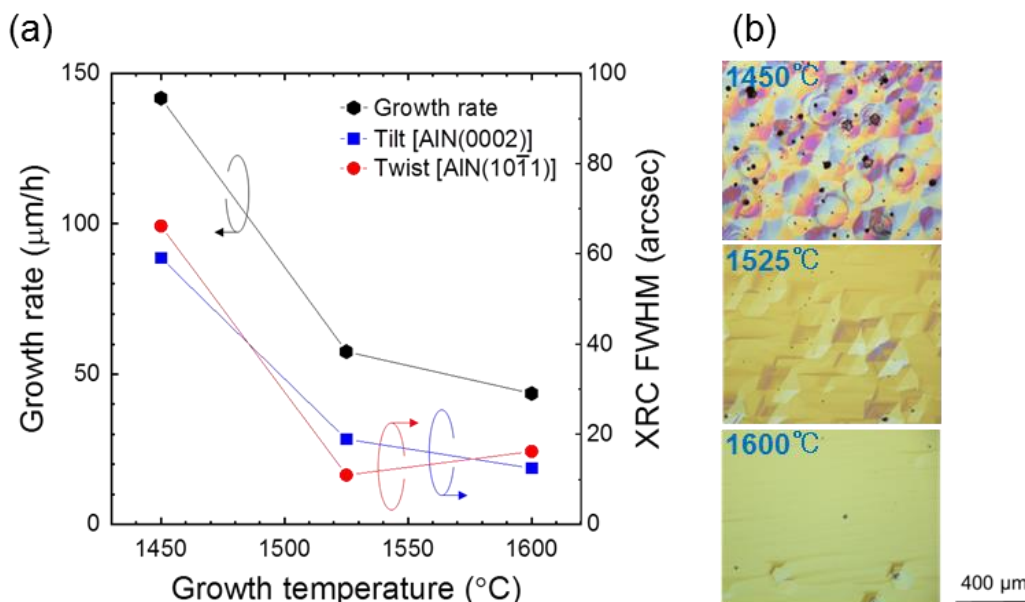


図①-3-7 既存の成長炉および新規導入炉を用いて同条件で成長した AlN ホモエピタキシャル層中の不純物濃度の比較



図①-3-8 新規導入炉における AlN ホモエピタキシャル成長速度および成長層の X 線回折 ω ロッキングカーブ FWHM の $P^{\circ}_{\text{AlCl}_3}$ 依存性

成長条件のチューニングの前に、成長温度の高温化が結晶成長および成長層の結晶性に与える影響の予備調査を実施した。成長実験は、1450°Cにおいて141.8 $\mu\text{m/h}$ の成長速度が得られた条件で、基板温度1525、1600°Cで行った。図①-3-9(a)に成長速度およびX線回折 ω ロックンクカーブ(XRC)のFWHMの成長温度依存性、図①-3-9(b)には各温度で成長したホモエピタキシャル層の表面をノマルスキー微分干渉顕微鏡で観察した結果を示す。成長条件の最適化を行っていないため、1450°C(成長速度141.8 $\mu\text{m/h}$)ではXRCのFWHMは基板のそれよりもずっと大きな値であったが、成長温度の上昇によってFWHM値は減少し、1525°C成長では基板と同等のFWHMが得られるようになった。また、図①-3-9(b)に示すように、成長層の表面モホロジーも成長温度の上昇に伴って平坦となり、1600°C成長では基板と同等のモホロジーとなった。一方、成長温度の上昇で成長速度は減少し、1600°Cでは43.6 $\mu\text{m/h}$ となった。1600°Cにおける結晶性の回復は成長速度の低下がもたらしたとも考えられるが、図①-3-8において、1450°Cでは成長速度43.6 $\mu\text{m/h}$ 付近で基板と同等のFWHMが得られていないことを考慮すると、結晶性回復は成長温度の上昇によるものと考えられる。今後、成長条件の最適化を経て、原料供給分圧を増加させることで、1600°C程度の高温域において成長速度100 $\mu\text{m/h}$ 以上で基板と同程度の結晶性を有する高純度AlNホモエピタキシャル成長が達成できるものと期待される。



図①-3-9 新規導入炉における AlN ホモエピタキシャル成長温度の影響(予備調査) : (a)成長速度および X 線回折 ω ロックンクカーブ FWHM、(b)表面のノマルスキー微分干渉顕微鏡像

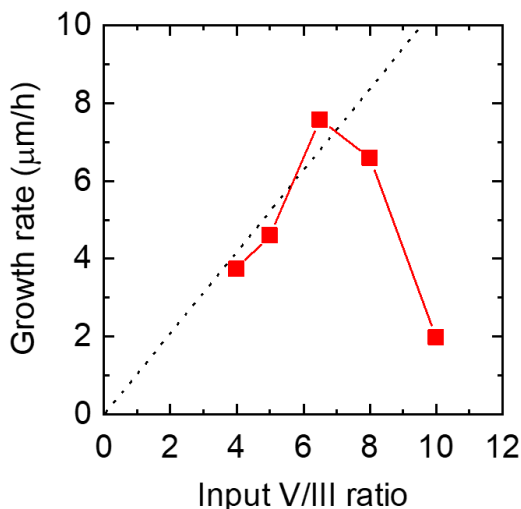
3.1.4 AlNホモエピタキシャル成長II

平成30年度に導入した成長部温度の上限が1800℃まで引き上げられた高温HVPE成長炉を用い、PVT-AlN(0001)基板上へのホモエピタキシャル成長条件を最適化した。具体的には、平成30年度に実施した予備検討で見出した成長速度が100 μm/h以上であり、炭素、酸素及びシリコン不純物濃度が 10^{17} cm⁻³未満となる条件を基準とし、V/III供給比、 $P^{\circ}_{\text{AlCl}_3}$ 及び成長温度の最適化を行った。これにより、基板と同程度の転位密度(10^4 cm⁻²台)を維持しつつ、100 μm/h以上の高速で高純度ホモエピタキシャル層の成長を達成した。成長した試料の一部については、成長層表面に化学機械研磨(CMP)を施し、MOCVD装置によるデバイス用エピタキシャル成長検討(実施項目③)等のため提供した。

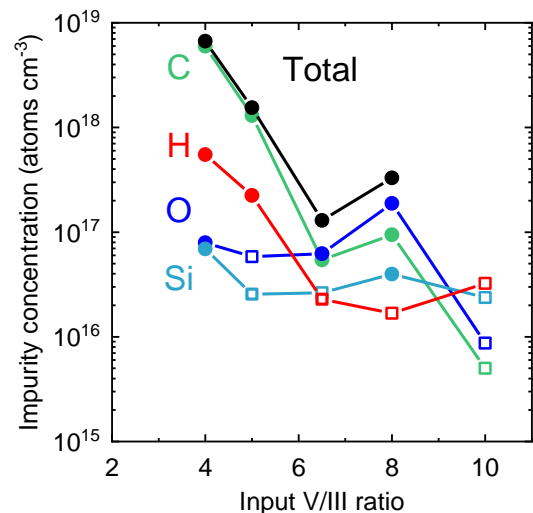
3.1.4.1 V/III供給比の影響の検討

HVPE法によるAlN成長では、AlCl₃の供給分圧($P^{\circ}_{\text{AlCl}_3}$)とNH₃の供給分圧($P^{\circ}_{\text{NH}_3}$)の比($P^{\circ}_{\text{NH}_3}/P^{\circ}_{\text{AlCl}_3}$: V/III供給比)が低い条件では未反応のAlCl₃量が増加する。このAlCl₃が高温の成長部で水素と反応してAlClが発生し、これが石英を分解(還元)する。その結果、O及びSi不純物汚染が引き起こされるとともに炉が損傷する。また、高温成長部ではNH₃が熱分解されるため基板表面における実効的なV/III比は設定したV/III供給比を下回る可能性が高い。したがって、従来の石英製の反応炉を用いる場合、NH₃の分解まで考慮に入れて高いV/III供給比の下でAlNを成長する必要があり、V/III供給比がAlN成長に与える影響を詳細に調査することは危険を伴い困難であった。新規導入炉では、高温となる成長部分に石英が存在しないため低V/III供給比を含め広い範囲においてV/III供給比がAlN成長に与える影響を調査することが可能となった。そこで基礎的な検討としてまずこれを実施した。

平成30年度の結果に基づき、m方向に約0.3°のオフを有するPVT-AlN(0001)面(c面)基板上に、炉内全圧力1 atm、1450℃で混合キャリアガス(H₂/N₂ = 7/3)中でAlNを1時間成長した。 $P^{\circ}_{\text{AlCl}_3}$ は 4.0×10^{-4} atmで固定し、V/III供給比を4から10まで変化させた。図①-4-1は成長速度のV/III供給比依存性を示す。V/III供給比4から6.5までは成長速度はV/III供給比に対して線形に増加し、V/III供給比が6.5を超えるとV/III供給比の増加と共に成長速度が急激に減少し基板よりも上流部で多結晶AlNの堆積が見られた。よって、少なくともV/III供給比6.5まではNH₃供給がAlN成長を律速し、基板表面における実効的なV/III比が1未満(Alリッチ成長)になっていると示唆された。一方、V/III供給比が大きくなると、気相反応でAlNが形成されるようになり基板よりも上流でAlCl₃が消費されるため成長速度が減少すると分かった。以上の結果から、HVPE法によるAlNの高速成長では、V/III供給比のチューニングが必須であり、炉・成長条件毎にV/III供給比をチューニングするこ



図①-4-1 AlNホモエピタキシャル成長速度のV/III供給比依存性



図①-4-2 HVPE成長AlN層中の各不純物濃度のV/III供給比依存性。正方形のプロットはバックグラウンドレベルを示す

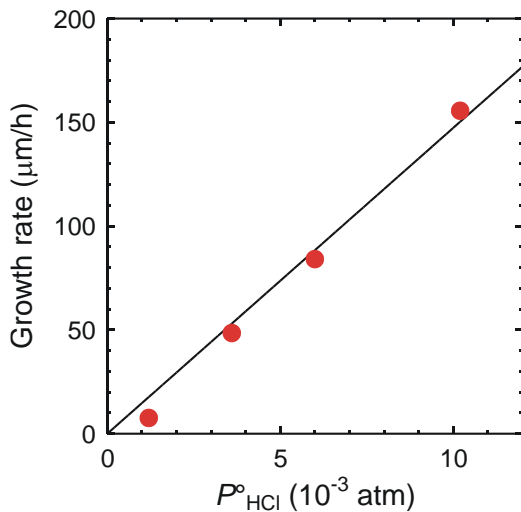
とが重要であると分かった。従来炉ではV/III供給比が4以上で成長速度が低下しており、V/III供給比のチューニングの幅がほとんど無かったためV/III供給比依存性は未解明であったが、今回、新規導入炉を用い重要な知見が得られた。

図①-4-2は図①-4-1の各試料中の不純物濃度のSIMS測定結果である。V/III供給比の増加に伴い不純物濃度は減少し、V/III供給比10の時にはC、O、Si、H全ての不純物濃度が各不純物のバックグラウンドレベル未満となった。また、成長速度がピークとなるV/III供給比6.5においても全不純物濃度が 10^{17}cm^{-3} 未満である高純度層が成長していることが確認された。不純物濃度はV/III供給比が5以下では高くなっていた。NH₃がAlCl₃に対して不足すると、窒素サイトに収容される不純物(CおよびO)の取り込み率が高くなると推察される。AlN中のC不純物は特に低減が必要な不純物であり、成長時のV/III供給比は成長速度のチューニングと併せ非常に重要である。以上の結果から、AlNホモエピタキシャル成長における、高純度結晶を高速成長可能なV/III供給比が明らかになった。

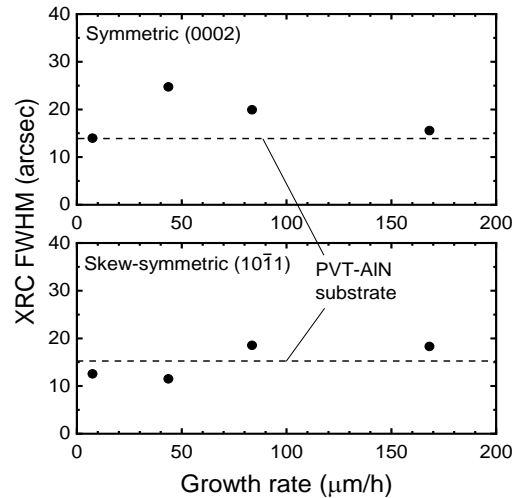
3.1.4.2 三塩化アルミニウム供給量の影響の検討

平成30年度に従来炉を用いてPVT-AIN(0001)ジャスト基板(m方向0.46°オフ)の結晶性が維持された100 μm/h以上の高速成長が達成された。一方、成長部に石英が存在する従来炉で成長されたAINホモエピタキシャル成長層中のO及びSi不純物濃度は成長速度の上昇と共に増加した。この高速成長時の不純物の取り込みが、石英フリー成長部を有する新規導入炉で抑制されるかどうかを検討した。3.1.4.1にてV/III供給比の最適化が完了したことを受け、V/III供給比6.5を維持しつつ $P^{\circ}_{AlCl_3}$ を変化させて成長速度の増加を確認すると共に、成長速度がホモエピタキシャル成長層の結晶性に与える影響を調査した。図①-4-3はAINホモエピタキシャル層の成長速度の $P^{\circ}_{AlCl_3}$ 依存性を示している。図より、成長速度は $P^{\circ}_{AlCl_3}$ に対して線形的に増加し、本研究の目標値である100 μm/hを超え155.6 μm/hに達した。また、図①-4-4は各成長速度において成長させた厚さ50 μmのホモエピタキシャル層の対称面(0002)および非対称面(10 $\bar{1}$ 1)面のX線回折ωロッキングカーブ(XRC)半値幅(FWHM)を示している。それぞれ、螺旋転位と混合転位および混合転位と刃状転位の密度に関連している。FWHMの値は成長速度に関係なく、点線で示したPVT-AIN基板の平均値とほぼ同等であった。この結果から新規導入炉においてもPVT-AIN基板の高い結晶性を維持した高速成長(> 100 μm/h)が確認された。

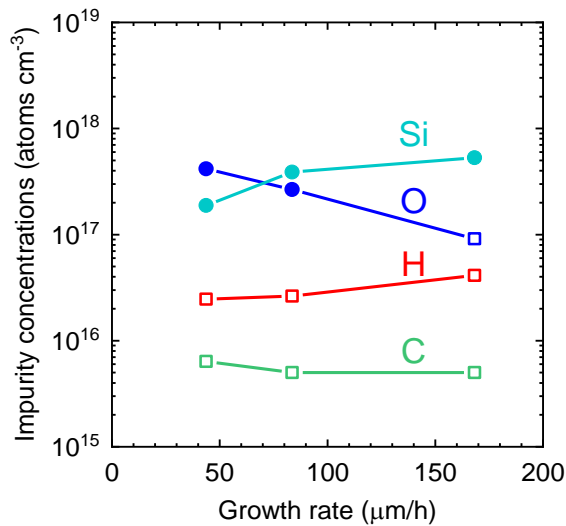
図①-4-5は図①-4-3中の成長速度43.7、83.6、155.6 μm/hで成長した3つのホモエピタキシャル層中の不純物濃度のSIMS測定結果を成長速度に対して示している。成長速度の増加に伴いO不純物濃度が大きく減少し、成長速度が最も速い155.6 μm/hにおいては、バックグラウンドレベル未満となった。Siに関しては若干の増加が見られ、今後、原料部の石英フリー化等を含めた原因検討が必要である。



図①-4-3 1450°CにおけるAINホモエピタキシャル成長速度の $P^{\circ}_{AlCl_3}$ 依存性



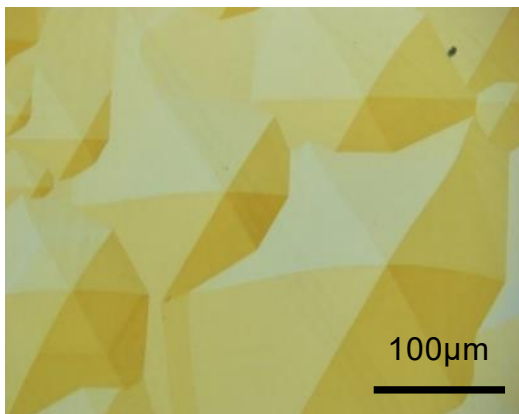
図①-4-4 1450°C成長した50 μm厚のホモエピタキシャル層のX線回折ωロッキングカーブFWHMの成長速度依存性



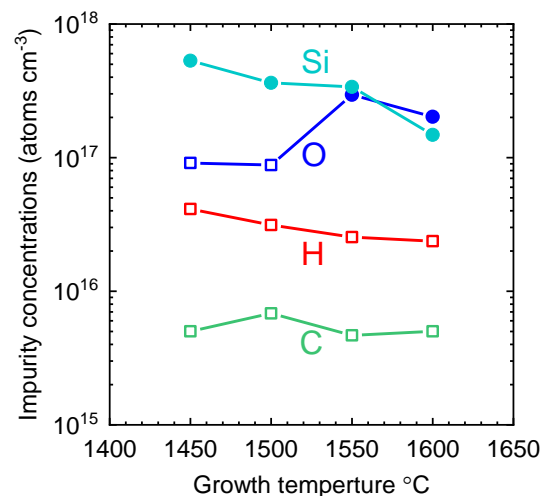
図①-4-5 1450°C成長した 50 μm 厚のホモエピタキシャル成長層中の不純物濃度の成長速度依存性。正方形のプロットはバックグラウンドレベルを示している

3.1.4.3 成長温度の影響の検討

新規導入炉は高温成長部周辺の部材に耐熱性の高いBN、p-BNを用いており、サセプタの加熱にはRF誘導加熱を用いており、従来炉で検討できなかった1450°C以上での成長検討が可能となった。そこで高温成長の効果を検証するため、前述の高速成長(155.6 μm/h)の条件にて、成長温度1450°Cから1600°Cの範囲でAlNのホモエピタキシャル成長に対する成長温度の影響を調査した。その結果、V/III供給比の最適化前(図①-3-9)とは異なり、成長温度の上昇で成長速度はわずかに減少するものの、成長温度1600°Cでも127.1 μm/h という高速成長が維持され、HVPE法では前例のない超高温領域でのAlNの高速成長を確認できた。成長層のX線回折ωロッキングカーブのFWHM値は成長温度によらずPVT-AlN基板のそれと同等の値に維持された。さらに、成長層表面にはピットやクラックは発生しておらず大きなファセット形成が見られ(図①-4-6)、超高温において高い結晶性のホモエピタキシャル層を高速成長できることが示された。



図①-4-6 1600°Cで 20 分成長した AlN ホモエピタキシャル成長層の表面微分干渉顕微鏡像(成長速度 127.1 μm/h)

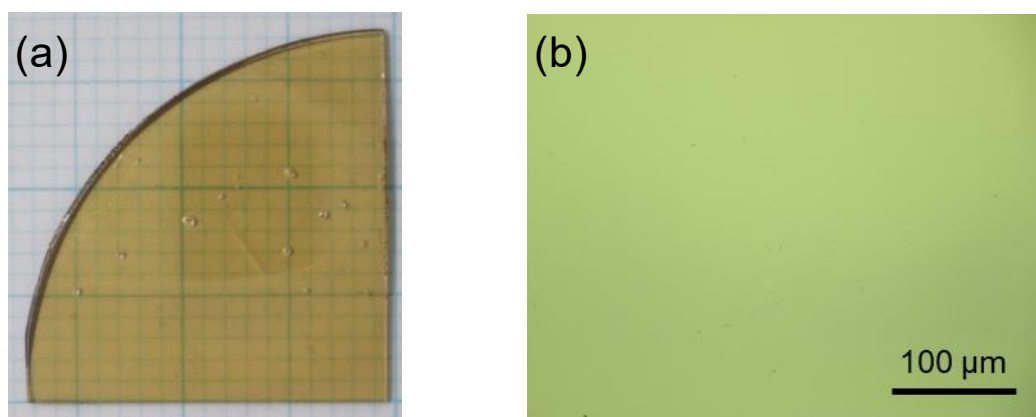


図①-4-7 AlNホモエピタキシャル成長層中の不純物濃度の成長温度依存性。正方形のプロットはバックグラウンドレベルを示している

図①-4-7はAlNホモエピタキシャル成長層中の不純物濃度の成長温度依存性である。Si不純物濃度が成長温度の増加に伴い大きく減少し、高い成長温度がSi不純物混入量の減少に有効であることが示された。一方で、1550℃以上の成長温度で0不純物混入量が増加した。これは、成長温度の上昇によりNH₃の分解量が増加し実効的なV/III供給比が小さくなったためと考えられ、今後、V/III供給比を各成長温度でチューニングすることで抑制可能であると見込まれる。以上より、新規導入炉により可能となった超高温成長が、高速成長時の成長層の純度の向上に有効であることが分かった。

3.1.4.4 デバイス作製用基板の作製

成長部の加熱可能上限が1800℃まで引き上げられた高温HVPE成長炉を用いたPVT-AlN(0001)基板上的ホモエピタキシャル成長条件の最適化(3.1.4.1~3.1.4.3)により、高品質AlN結晶を100 μm/h以上の高速で成長できるようになった。そこで、実施計画③のHEMT作製等で使用可能な基板作製に着手した。PVT-AlN(0001)基板(m方向0.46° オフ、平成27年当時のφ = 35 mm)を1/4にカットした物を使用し、成長温度1450℃、 $P_{\text{AlCl}_3} = 3.3 \times 10^{-3}$ atm、V/III供給比6.5(成長速度155.6 μm/h)で1時間の成長を行った後、表面に形成されたファセットを化学機械研磨(CMP)により除去して表面を平坦化した。CMPの過程でHVPE成長層の表面約20 μmが除去された。図①-4-8にはCMP後の基板全景写真(a)および表面微分干渉顕微鏡像(b)を示す。CMP後の表面は、AlNをHVPE成長する前のPVT-AlN基板と同様の平坦面であり、X線回折ω ロッキングカーブ(XRC)半値幅(FWHM)も基板と同等の値であった。CMP後表面を白金坩堝内で450℃のNaOHとKOHの混合融液で180秒処理して転位部にエッチピットを形成し、その種類と密度を解析したところ、エッチピットの種類は1種類で、その密度(EPD)は 10^3 cm^{-2} 台であった。ピットの形状から、HVPE成長したホモエピタキシャル層中に存在する転位は刃状転位のみであり、転位の種類と密度はPVT-AlN基板と同等であった。本CMP後表面にHVPEでAlNの再成長を行っても結晶性の劣化が無いことも確認された。



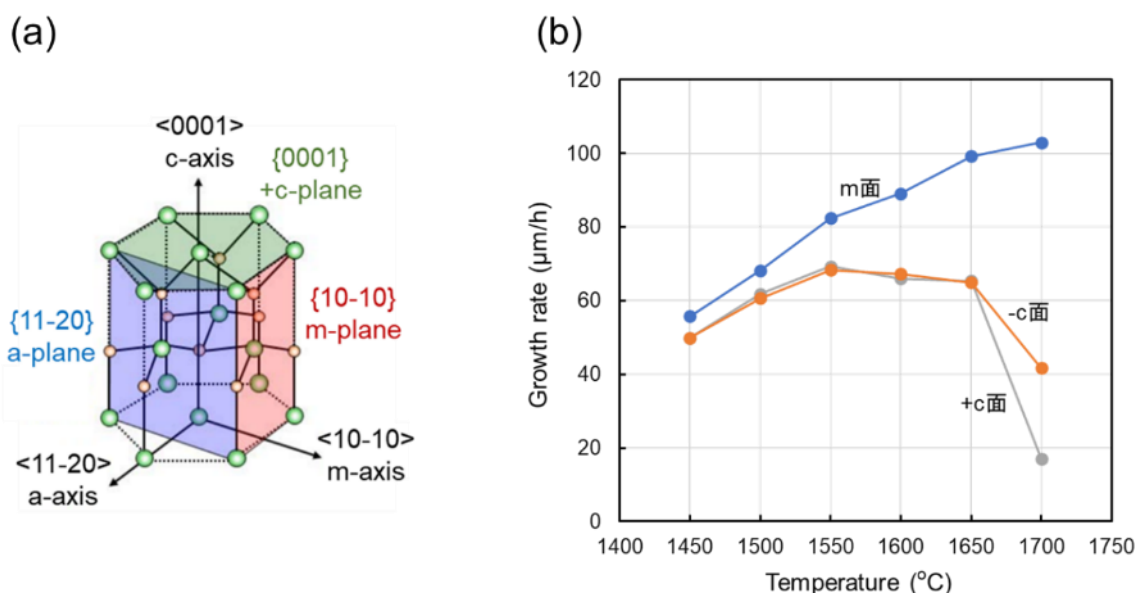
図①-4-8 155.6 μm厚のホモエピタキシャル層成長後、表面CMP処理を行ったPVT-AlN(0001)基板：(a)基板全景写真および(b)表面微分干渉顕微鏡像

3.1.5 AlN結晶の径拡大に向けた予備検討

平成31年度は、成長部温度を1800℃まで昇温可能なAlNのHVPE炉(平成30年度に導入)を用いてAlNのHVPE成長における最適V/III供給比の調査、 $P^{\circ}_{\text{AlCl}_3}$ の増加による100 $\mu\text{m/h}$ を超える高成長速度の検討を実施した。さらにこれらが完了した後、過去に報告例の無い1450~1600℃の高温域でのPVT-AlN(0001)基板上ホモエピタキシャル成長を検討した。その結果、1600℃で高純度かつPVT-AlN基板と同等の結晶性のAlNを100 $\mu\text{m/h}$ 以上の高速で成長できることを実証できた。令和2年度は、PVT-AlN基板上にHVPEでホモエピタキシャル成長したAlN厚膜からHVPE-AlN基板を作製する際に問題となる基板径の増減に関して検討した。PVT法によるAlN結晶の成長が(000 $\bar{1}$)面(-c面)で行われていることは周知の事実であるが、これはPVT成長が実施される約2000℃の温度域では成長速度の面方位依存性が-c面 < m面 < +c面となっているためである[m面は{10 $\bar{1}0$ }面のこと]。つまり、+c面に成長すると横方向すなわちm面方向の成長速度が小さいため、結晶の径が成長に伴って縮小してしまい基板の製造に不適となる。一方、-c面に成長すると基板径が成長に伴って増加するため、厚膜成長と基板径の増加を同時に図ることができ都合が良い。ただし、PVT法においては-c方向成長が不純物取り込みの増加の原因になるとも報告されている。そこで、AlNのHVPE成長の面方位依存性を検討することは、HVPE-AlN基板を初期基板としてAlN基板の径の増大を目指す上で重要な知見となる。令和2年度はこれを目的とした。

3.1.5.1 AlNホモエピタキシャル成長速度の面方位依存性の検討

PVT法で作製された+c面基板[直径2インチAlN(0001)基板, m方向0.32° オフ]およびm面基板[直径25 mmのAlN(10 $\bar{1}0$)基板]を調達し、それぞれから6 mm × 7 mmの小片を切り出して+c面基板とm面基板として用いた。-c面基板については、2インチ径の+c面基板の裏面(梨地)に光学グレード研磨とそれに続く化学機械研磨(CMP)を施し、その後6 mm × 7 mmの小片を切り出して使用した。+c面、-c面およびm面基板各1枚をAlNのHVPE成長炉内のサセプタ(1インチ径)に等間隔に配置し、1450~1700℃でAlNの成長を行った。炉内全圧力は1.0 atm、 $P^{\circ}_{\text{AlCl}_3} = 1.2 \times 10^{-3}$ atm ($P^{\circ}_{\text{HCl}} = 3.6 \times 10^{-3}$ atm)、V/III供給比6.5 ($P^{\circ}_{\text{NH}_3} = 7.8 \times 10^{-3}$ atm)、キャリアガス中の水素比率(F°)0.7の条件(1450℃にて成長速度48.5 $\mu\text{m/h}$)を用い、成長中にサセプタを5 rpmで回転させ同条件で成長が均一に行われるようにした。図①-5-1(a)にAlN結晶の単位胞と各面の配置、図①-5-1(b)に+c面、-c面およびm面基板上的AlNのホモエピタキシャル成長速度の成長温度依存性を示す。図①-5-1(b)より、+c面と-c面上では、1450~1650℃の各温度で成長速度に大きな差はなく、1450℃から1550℃にかけ



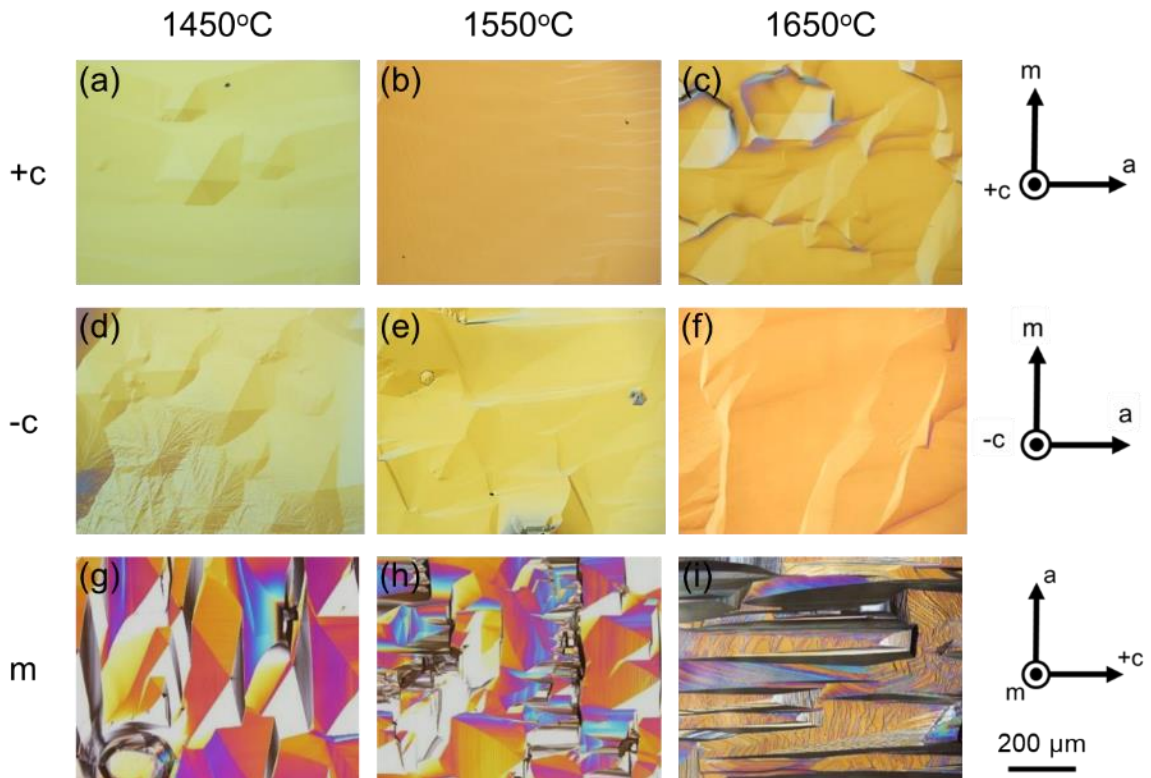
図①-5-1 (a) AlN結晶の単位胞と各面の配置。(b) +c、-cおよびm面上のAlNホモエピタキシャル成長速度の成長温度依存性

て成長速度が増加した後、1650℃にかけてほぼ一定の成長速度となり、1650℃以上で成長速度が急に減少した。1650℃を超えた温度域における成長速度の減少は、AlNの分解反応によるものと考えられる。一方、m面上では、+c面および-c面より大きな成長速度が得られ、成長温度の増加に伴い成長速度が単調に増加した。そのため、+c面および-c面との成長速度の差は高成長温度ほど大きくなった。つまり成長速度の序列は±c面 < m面となっており、PVT法における各面の序列とは異なることが分かった。これはHVPE法とPVT法の成長温度域が違うことや、系内に水素が存在することによる面の安定性の差によるものと思われる。本結果より、+c面または-c面に1600℃程度でホモエピタキシャル成長を行えば、その側壁方向のm面の成長速度が大きいいため、結晶径の拡大が期待できることが示唆された。

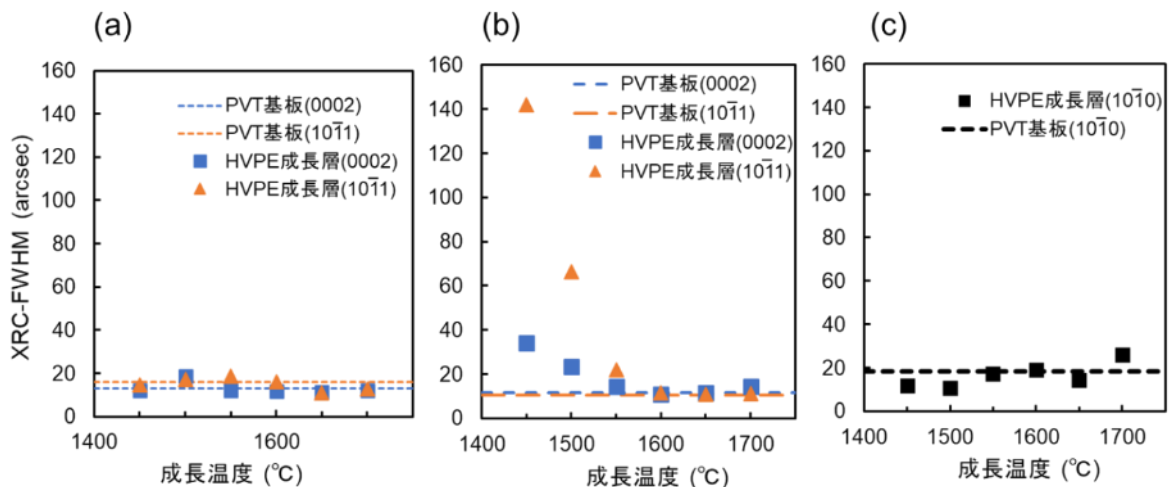
3.1.5.2 +c面、-c面およびm面AlN基板上ホモエピタキシャル層の結晶性の比較

+c面、-c面およびm面上に1時間ホモエピタキシャル成長したAlNの表面モロロジーの成長温度依存性を図①-5-2に示す。+c面では、1450～1600℃にかけて成長温度の増加に伴い表面のファセット形成が抑制され、1600℃付近ではas-grownの状態 で成長前のPVT-AlN基板と同様の平坦面が得られた。これはデバイス作製やHVPE再成長のための基板として用いる場合の表面CMPが不要となる可能性を示している。一方、AlNの分解が始まり成長速度が低下し始める1650℃では、表面が荒れ、ファセットが再度観測されるようになった。-c面でも+c面とほぼ同様の傾向が見られた。ただし、+c面と比べると-c面は各温度で表面平坦性が劣っているように見える。-c面のCMPは研磨時のスラリーの最適化等が未熟で研磨傷等が残存しており、これが上記の差の原因となっている可能性もあり、今後のCMP条件の最適化を検討の上、判断する必要がある。m面については、高温成長でc方向に伸びたファセットが発達した。c軸に垂直な面で基板をカットして断面形状を蛍光顕微鏡観察したところ、ファセットはm面またはa面[(11 $\bar{2}$ 0)面]になっていることが分かった。よって、端部がm面またはa面からなる+c面AlN基板上にAlN厚膜の高速成長を試みれば、その側壁方向に基板径の増大が可能と思われる。

各結晶面上に1450～1700℃でホモエピタキシャル成長したAlN層のX線回折 ω ロックン グカーブの半値幅(XRC-FWHM)の評価結果を図①-5-3に示す。+c面およびm面上では成長温度によらずPVT-AlN基板と同等のXRC-FWHMが得られており、転位密度の増加は無いと考えられる。一方、-c面上では、1550℃未満ではXRC-FWHMの値はPVT-AlN基板のそれよりもずっと大きな値となった。図①-4-2でも言及したが、-c面をCMPで準備した際の条件が最適化されておらず、研磨傷等の存在が低温成長では影響している可能性がある。ただし、-c面においても基板径の拡大を試みる1600℃付近ではPVT-AlN基板と同等の結晶性のホモエピタキシャル層の成長が可能である。

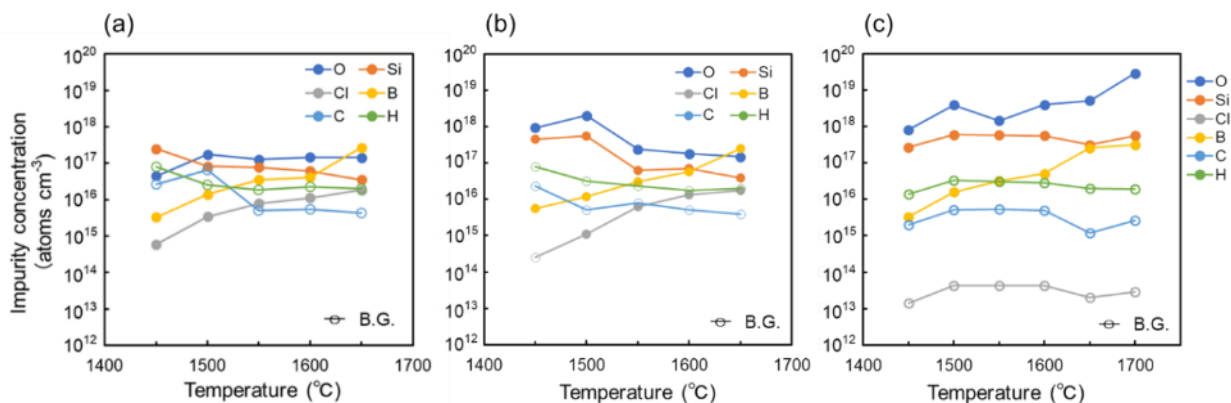


図①-5-2 +c 面、-c 面および m 面基板上に各温度で成長した AlN ホモエピタキシャル層の表面微分干渉顕微鏡像：(a-c) +c 面、(d-f) -c 面および (g-i) m 面基板上



図①-5-3 ホモエピタキシャル層の X 線回折ロックンングカーブ半値幅 (XRC-FWHM) の成長温度依存性：(a) +c 面基板上、(b) -c 面基板上および (c) m 面基板上

最後に、各結晶面上に1450～1700°Cでホモエピタキシャル成長したAlN層中のSIMS不純物濃度を図①-5-4に示す。-c面では上述の結晶性の低下が見られた低温域で0およびSi不純物濃度が高くなる傾向が見られるが、PVT-AlN基板と同等の結晶性のホモエピタキシャル層が得られる1550～1700°Cにおいては+c面上とほとんど同一の各不純物濃度が得られることが分かる。また各不純物の濃度は $2 \times 10^{17} \text{ cm}^{-3}$ 未満と非常に高純度である。一方、m面上においては、各不純物の濃度が+c面上、-c面上とは異なっており、特にO濃度は成長温度の増加に伴い増加している。本検討では+c面、-c面およびm面基板上に各温度で同時に成長していることを考慮すると、この違いは成長表面のボンド構造の違いによる差と考えられる。GaNやInNのHVPE成長や有機金属気相成長(MOVPE)においてもm面上エピタキシャル成長で不純物取り込み濃度が高くなることが報告されており、温度帯は異なるものの同じメカニズムが効いていると考えられる。以上から、+c面上のAlN厚膜の高温



図①-5-4 AlN ホモエピタキシャル層中の各不純物の SIMS 濃度の成長温度依存性：(a) +c 面基板上、(b) -c 面基板上および(c) m 面基板上。白丸は各不純物の濃度が SIMS のバックグラウンド(B.G.)濃度未満になっていることを示す。

($\sim 1600^{\circ}\text{C}$) 高速成長において m 面・a 面方向に結晶径の拡大が可能であるが、横方向成長部では不純物濃度が+c 面直上のホモエピタキシャル成長部よりも高くなることが予想される。幸い、AlN は GaN と異なり、不純物取り込みによる格子定数の変異が無視できるほど小さいため、ホモエピタキシャル成長中に結晶にクラックが入るような結果にはならないと考えられるが、この点については令和 3 年度に実際に試みて確認した(3.1.6.2 参照)。

3.1.6 AlN 基板径拡大の検討

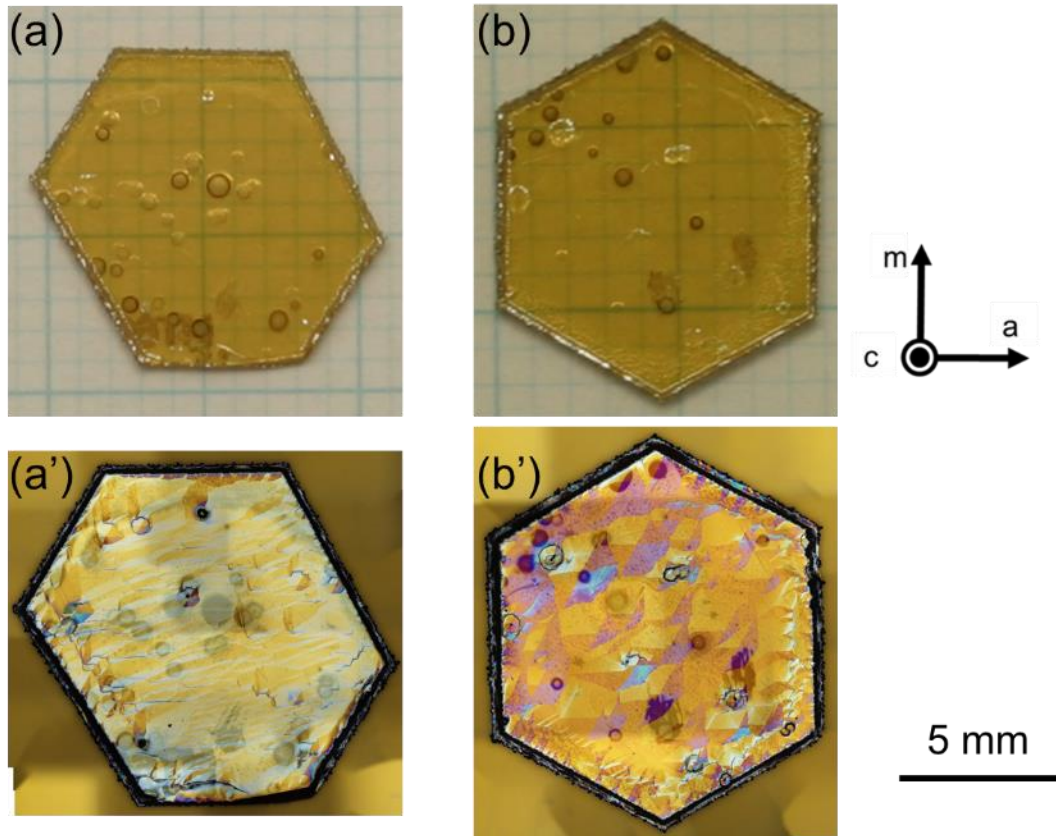
令和 2 年度に検討した AlN のホモエピタキシャル成長の面方位および成長温度依存性から、成長温度 1600°C 付近において、m 面と+c 面間の大きな成長速度差(+c 面 $<$ m 面)が得られ、PVT-AlN 基板と同等の結晶性がホモエピタキシャル成長部および横方向成長部において維持できると示唆される結果が得られた。そこで、m 面および a 面を側壁に持つ六角形状の基板を準備し、その上に AlN 厚膜の高温・高速成長を試み、基板径拡大の確認、径拡大部の結晶性解析を実施した。

3.1.6.1 HVPE 成長時の基板径拡大の検討

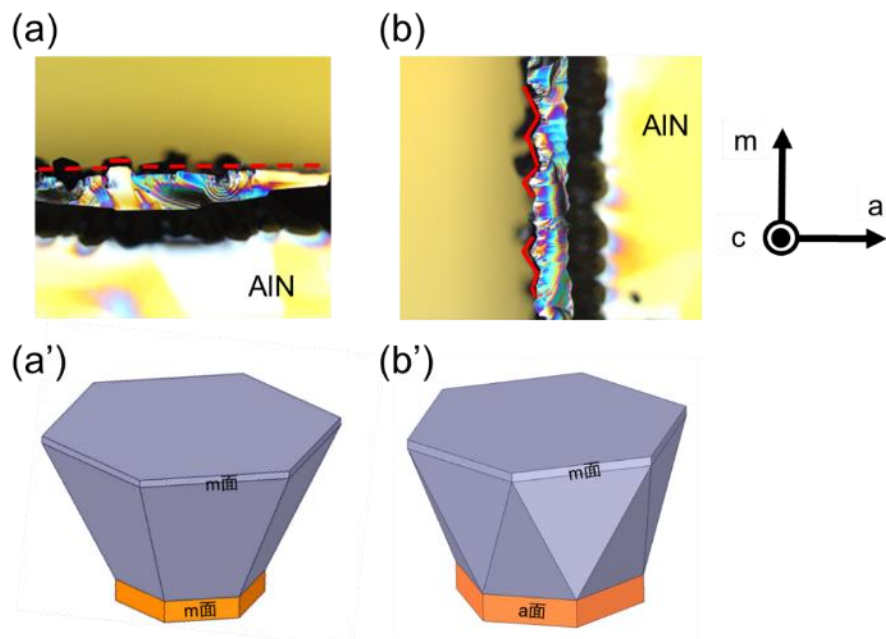
成長温度 $1450\sim 1600^{\circ}\text{C}$ 、炉内全圧力 1.0 atm 、 $P^{\circ}_{\text{AlCl}_3} = 1.2 \times 10^{-3}\text{ atm}$ ($P^{\circ}_{\text{HCl}} = 3.6 \times 10^{-3}\text{ atm}$)、V/III 供給比 6.5 ($P^{\circ}_{\text{NH}_3} = 7.8 \times 10^{-3}\text{ atm}$)、キャリアガス中の水素比率 (F°) 0.7 にてホモエピタキシャル成長を実施した。2 インチ径の PVT-AlN(0001) 基板(m 方向 0.32° オフ)から 2 種の基板を切り出して用いた。一つは側壁が m 面 [$10\bar{1}0$ 面] からなる六角形状の基板、もう一つは側壁が a 面 [$11\bar{2}0$ 面] からなる六角形状の基板である。成長中はサセプタを 5 rpm で回転させ面内均一性を確保した。図①-6-1 は各基板上に 1600°C で 1 時間の成長を行った試料を示す。成長表面の CMP は未実施の状態、上段は基板全景写真、下段はノマルスキー微分干渉顕微鏡像をつなぎ合わせ基板全体像にしたものである。m 面側壁基板[(a) および (a')]、a 面側壁基板[(b) および (b')] いずれの場合においても、外周部に下に基板が存在しないため色が異なって見える横方向成長部が見られ、予想通りにホモエピタキシャル成長中の基板径拡大が確認された。

次に図①-6-1 の試料の径拡大部の詳細な観察を実施した。図①-6-2 (a), (b) は横方向成長部を上からノマルスキー微分干渉顕微鏡で観察した像である。m 面を側壁に持つ基板の場合、横方向成長部の端部には元の基板端部に平行な面、すなわち m 面が出現していた。一方、a 面を側壁に持つ基板の場合、横方向成長部の端部には元の基板端部に平行な面(m 面)と 30° 回転した面(a 面)が出現していた。3.1.5.1 の「AlN ホモエピタキシャル成長速度の面方位依存性の検討」において、a 面基板が調達・準備できなかったため m 面上と a 面上における成長速度の序列が不明なままであったが、上記の結果は成長速度の序列が $\pm c$ 面 $<$ m 面 $<$ a 面、となっており、側壁部は最終的に m 面の横方向成長になっていくことが示唆される結果である。以上から、m 面側壁を有

する基板および a 面側壁を有する +c 面基板上に高温で AlN 厚膜のホモエピタキシャル成長を行う場合、それぞれ図①-6-2(a') および (b') に示すような結晶形になっていくものと推定される。

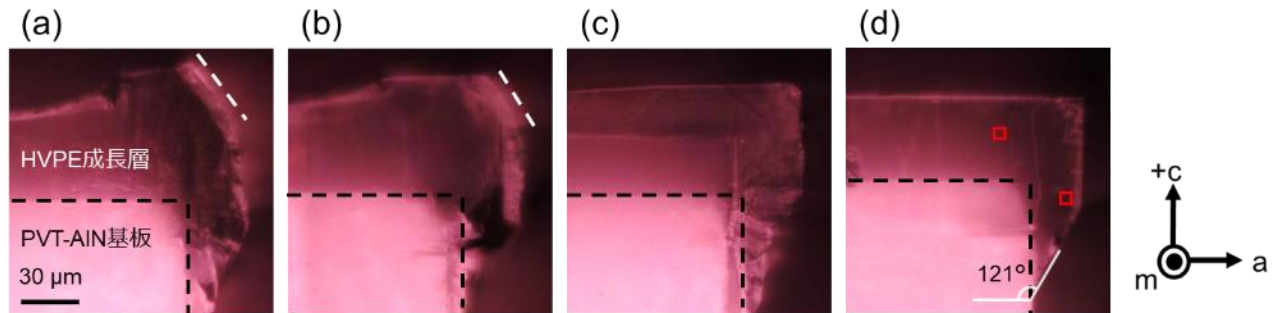


図①-6-1 1600℃にて AlN ホモエピタキシャル成長を行った後の基板写真。(a), (a') m 面側壁を有する基板上、(b), (b') a 面側壁を有する基板上に成長。上段(a), (b)は基板全景写真、下段(a'), (b')はノマルスキー微分干渉顕微鏡像を張り合わせ作成した基板全体写真。



図①-6-2 AlN ホモエピタキシャル成長後の基板端部のノマルスキー微分干渉顕微鏡像：(a) m 面側壁を有する基板、(b) a 面側壁を有する基板上。それぞれの基板上で長時間成長を行った時の結晶形推定模式図(a'), (b')。

a面側壁を有する六角形状基板上に1450~1600°Cで1時間AlNを成長した試料の端面断面を蛍光顕微鏡で観察した結果を図①-6-3に示す。+c方向とm(a)方向の成長速度の差が小さい1450°Cおよび1500°Cで成長した場合、横方向成長部の表面に白線で示すファセットが出現した。この場合、成長膜厚を大きくしていくと、基板径の縮小が生じてしまう。一方、基板温度1550°C以上ではこれが抑制されており、基板表面に対し約120°の角度を有するファセットで径拡大が生じている。よって、基板径拡大には高温が必須であることが改めて確認された。

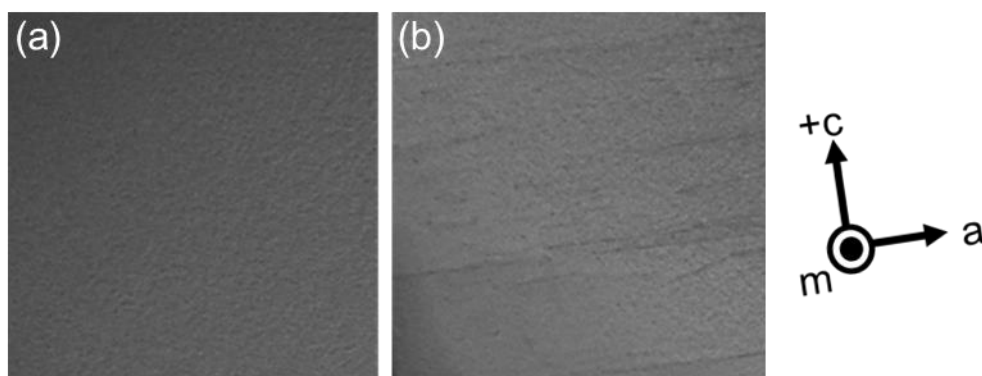


図①-6-3 a面側壁を有する+c面AlN基板上に各温度でホモエピタキシャル成長した後の基板端面の断面蛍光顕微鏡像：(a) 1450°C、(b) 1500°C、(c) 1550°Cおよび(d) 1600°C

3.1.6.2 c面成長径拡大部の結晶性の検討

最後に径拡大部の結晶性を断面TEMおよびSIMSで検討した。図①-6-4はa面側壁を有する六角形状の+c面AlN基板上に1600°CでAlN成長を行った試料[図①-6-3(d)]について、図①-6-3(d)中の赤い四角で囲った2ヶ所を断面TEM明視野観察(3 μm × 3 μm)した結果である。TEM観察用試料作製には集束イオンビーム加工観察装置(FIB)を用いた。ホモエピタキシャル成長部[(a)]では転位は観察されなかった。観察視野から本領域の転位密度は 10^7 cm⁻²未満となるが、PVT-AlN基板上に同条件でホモエピタキシャル成長したAlNのエッチピット評価から転位密度は 10^3 cm⁻²台と判明しているため、同程度の転位密度であると考えられる。一方、横方向成長部については、観察視野中をa方向に伝播する転位が 10^8 cm⁻²の密度で見られた。これらの転位であるが、+c方向には伝播していないので、最終的に最表面部から径拡大基板を作製する場合には問題にはならないと考えられるが、発生原因としてダイサーで基板を切り出した時に端部が受けた結晶のダメージが考えられる。今後、基板端面のダメージ除去を行うことで転位発生は抑制されると考えられる。

表①-5-1にはa面側壁を有する六角形状の+c面AlN基板上に1600°CでAlN成長を行った試料[図①-6-3(d)]について、基板中央部付近のホモエピタキシャル成長部表面(中央部)と横方向成長部



図①-6-4 a面側壁を有する+c面AlN基板上に1600°Cでホモエピタキシャル成長した試料の明視野断面TEM像(3 μm × 3 μm)：(a) ホモエピタキシャル成長部および(b) 横方向成長部(図①-6-3(d)中の赤色の四角参照)。

表①-6-1 a 面側壁を有する+c 面 AlN 基板上に 1600°Cでホモエピタキシャル成長した AlN 層中の SIMS 不純物濃度(単位: cm^{-3})

	H	B	C	O	Si	Cl
中央部	$<6.1 \times 10^{16}$	5.9×10^{16}	$<3.0 \times 10^{16}$	2.6×10^{17}	3.9×10^{16}	6.9×10^{15}
拡大部	$<6.1 \times 10^{16}$	5.0×10^{16}	$<3.0 \times 10^{16}$	1.6×10^{17}	1.5×10^{16}	3.7×10^{15}

の上部でホモエピタキシャル成長した部分の表面(拡大部)の不純物濃度をSIMSで評価した結果である。SIMSプロファイル測定のための一次イオン種(Cs^+)のビームは $\phi 30 \mu\text{m}$ として測定した。中央部と拡大部における不純物濃度は元素によらずほぼ同等であった。図①-6-4にて、m面上のホモエピタキシャル層中のO不純物濃度は成長温度1600°Cにおいて $4.0 \times 10^{18} \text{cm}^{-3}$ と高くなっていたが、横方向に径拡大した部位の上で+c方向に成長していることにより、基板中央部と同等の高純度結晶になったものと考えられる。

3.1.7 まとめ

HVPE法による高純度・低転位密度AlN基板製造のスループット向上、結晶径拡大の指針を得るため、従来(1450°C)よりも基板温度を高温(1800°C)にすることができ、かつAl金属とHClの接触面積を増大させることで低温(500°C)において高濃度に AlCl_3 を発生させることができ、高速で長時間のAlN成長が可能となる新規HVPE装置を開発した。PVT-AlN(0001)基板(+c面)ジャスト基板(表面オフ角 0.5° 以下)のオフ方向をm方向に揃えた基板の調達が可能となったことにより、従来炉と同じ1450°Cにおいて、 $150 \mu\text{m/h}$ を超える高速で、基板と同等の低転位密度(10^3cm^{-2} 台)で、かつ基板よりもずっと高純度(全不純物濃度合計 10^{17}cm^{-3} 台)なAlNをホモエピタキシャル成長できることを実証した。さらに、V/III供給比等の最適化実施後に1450°C以上の高温域における成長を検討した。その結果、成長温度の上昇と共に成長層がさらに高純度になることが示された。これにより、HVPE法によるホモエピタキシャル成長によるAlN基板製造技術は産業界で受け入れられるものとなったと言える。

また、1450°C以上の高温域において+c面、-c面およびm面を用いた成長速度の面方位依存性を検討し、+c面上と-c面上ではほぼ同じ成長速度が得られること、1550~1650°Cにかけてほぼ一定の成長速度が得られることが示された。これに対し、m面上では常に+c面、-c面上よりも大きな成長速度が得られ、成長速度の差が成長温度の増加に伴い大きくなることが分かった。よって、+c方向に厚膜を成長する際、高温であれば横方向成長速度が大きいいため、結晶径の縮小は生じずに径の拡大が生じることが示唆された。

上記の結果を受け、m面側壁およびa面側壁からなる六角形状のAlN基板を準備し、その上に1600°CでAlNの高速成長を行ったところ、実際に横方向成長が起こり、結晶径が拡大することが確認された。m面上よりもa面上の成長速度の方が大きいことに起因して、最終的に側壁はm方向に成長するようになったが、側壁の角度約 120° で結晶径が増加した。横方向成長部の断面観察により、+c方向に垂直な方向に密度 10^8cm^{-2} の転位が観察されたが、+c方向に伝播する転位は見つからなかった。これらの転位は基板準備の際に側壁にダメージを与えたことに起因すると考えられ、今後、側壁の処理が必要となった。また、横方向成長部の上にホモエピタキシャル成長している部位について、SIMS不純物濃度測定を行ったところ、基板中央部とほぼ等しい高純度層になっていることが分かった。

以上から、AlNの高温HVPEによる厚膜成長は、高品質・大口径AlN基板の製造技術として採用できるものと結論された。

3. 2 ②高純度・大口径 AlN 基板成長技術

3. 2. 1 はじめに

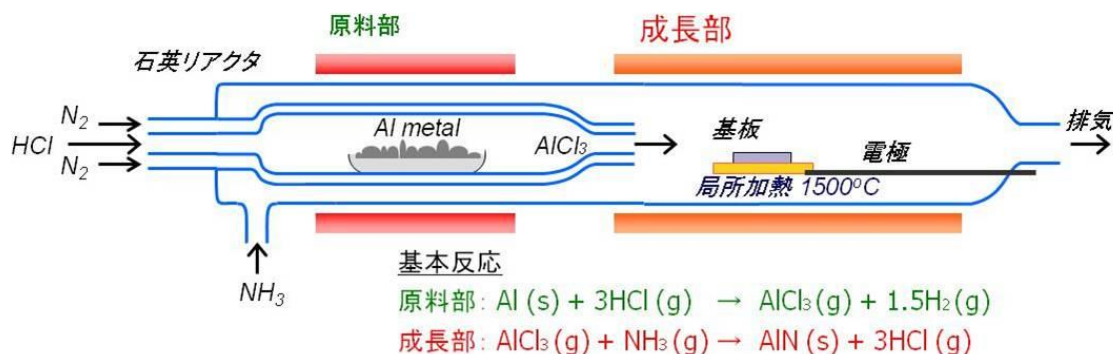
高出力トランジスタの実現には、高品質結晶が必要となる。異種基板上への結晶成長においては、界面における欠陥の発生が避けられないため、量子チャンネル構造を成長させる基板として、AlN 基板を利用する。AlN は、その深紫外線透過性から AlGaIn 系の深紫外線 LED 作製用の基板として注目されており、バルク結晶の成長が国内外の研究機関・企業により検討されている。中でも、物理気相輸送法(Physical Vapor Transport : PVT 法) [1-4] と、ハイドライド気相成長法(Hydride Vapor Phase Epitaxy : HVPE 法) [5-11] が最も注目されている。表②-1-1 に各々の手法の特徴と課題をまとめる。

表②-1-1 AlN 基板製法の比較

方式	特徴	課題	主な研究機関
PVT 法	<ul style="list-style-type: none"> ・単結晶 AlN の作製方法として現在の主流 ・大口径化、低転位密度で先行 <ul style="list-style-type: none"> - φ2 インチ - 欠陥密度 <math>10^4 \text{cm}^{-2}</math> 	<ul style="list-style-type: none"> ・不純物低減が困難 ・紫外透過性の向上が困難 	<ul style="list-style-type: none"> ・CrystalIS (旭化成) ・HexaTech (スタンレー電気) ・IKZ (独) ・JFE ミネラル
HVPE 法	<ul style="list-style-type: none"> ・高純度 AlN の成長が可能 ・高紫外透過性 AlN の成長が可能 ・高速成長が可能 	<ul style="list-style-type: none"> ・反応装置の設計が重要 ・異種基板使用時は、結晶欠陥、クラックの抑制技術が必要 	<ul style="list-style-type: none"> ・トクヤマ/東京農工大 ・Nitride Solutions (米) ・サイオクス

PVT 法によるバルク結晶成長は、黒鉛、炭化タンタル、タングステン、窒化ホウ素等の坩堝の中に、原料の多結晶 AlN 粉末等と適当な基板結晶を配置し、減圧雰囲気中で約 2000℃以上の高温で多結晶 AlN 粉末を昇華させた AlN 蒸気を種結晶基板上に単結晶として析出させる方法である。PVT 法は、市販されている SiC 単結晶ウエハと基本的に同じ方法であり、大口径かつ低転位密度のバルク結晶の成長手法として最も開発が進んでいるが、坩堝を構成する材料から発生した不純物が成長結晶に混入するため、結晶中の不純物濃度が高いことが問題となっている。

一方、HVPE 法は、既に実用化されている青色レーザーダイオード用の GaN 基板の製造方法として採用されている方法であり、水素や窒素等のキャリアガスと共に、原料ガスを輸送して、下地結晶(種基板)上に目的とする結晶を成長させる手法である。昨今では、住友電気工業株式会社や株式会社サイオクスから 2~4 インチサイズの GaN 単結晶基板が製品化されている。Ⅲ-V 族化合物半導体の HVPE 成長では、原料ガスとして、Ⅲ族元素の塩化物、V 族元素の水素化物(ハイドライド)が用いられ、AlN 成長の場合には、図②-1-1 に示す通り、三塩化アルミニウム (AlCl_3) とアンモニア (NH_3) が原料ガスとなる。Al 原料となる AlCl_3 ガスは、約 400℃程度に加熱した金属アルミニウム (Al) と塩化水素 (HCl) ガスとの反応により生成させる。両原料ガスを 1400℃以上の高温に加熱した種基板上で反応させて AlN を成長させる。HVPE 法では有機金属気相成長法(Metal Organic Chemical Vapor Deposition : MOCVD 法)等と同様に高純度の原料やキャリアガスを用いることができるため、他法に比べ、高純度の単結晶 AlN が実現できることが大きな特徴である。



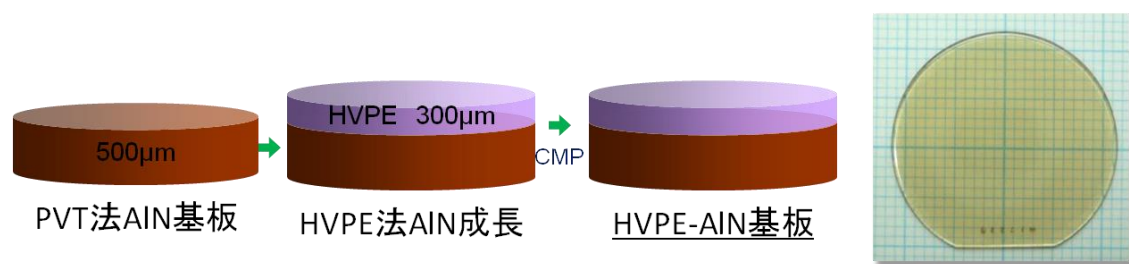
図②-1-1 HVPE法の原理図

さらに、HVPE法の特徴として、成長速度が大きいことも挙げられる。MOCVD法における標準的な成長速度が数 $\mu\text{m/h}$ であるのに対し、HVPE法では、数十 $\mu\text{m/h}$ 以上の成長速度を得ることができる[9-11]。GaNでは、1000 $\mu\text{m/h}$ 以上の非常に高い成長速度が既の実現されており、AlNにおいても、株式会社トクヤマでは、AlN基板上へのホモエピタキシャル成長において、80 $\mu\text{m/h}$ と比較的高い成長速度を実現している。

HVPE法によりAlN基板を作製する際の課題は、成長用の種基板にサファイア基板やSiC基板などの異種基板を使用しヘテロエピタキシャル成長させた場合、通常、種基板とAlNの格子のミスフィットによって、AlN層中に高密度の転位欠陥が形成されるため、理想的な結晶成長とはならない点である。種基板の選定が重要なポイントとなる。

株式会社トクヤマでは、HVPE法AlN基板を作製するための種基板として、PVT法により作製されたAlN基板を用いる。その後、PVT-AlN部を除去することによって、PVT法AlN基板の特徴である“低欠陥密度”と、HVPE法AlN基板の特徴である“高純度”という特性を併せ持つ高品質なHVPE法AlN基板を作製することができる[9]。本研究の基盤となるHVPE法AlN基板の作製法は、他法では実現し得ない高品質な電子デバイスの作製が可能な唯一の手法であると判断される。

図②-1-2にHVPE法AlN基板作製のプロセスフローと基板外観写真を示す。PVT法により作製したc面AlN基板上に、HVPE法により1450 $^{\circ}\text{C}$ でホモエピタキシャル厚膜を形成することにより、AlN積層基板を作製する。基板のCMP研磨を行い、低転位密度かつ低不純物濃度のHVPE法AlN基板(HVPE/PVT積層基板(テンプレートタイプ))を得る。



図②-1-2 プロセスフローと基板外観写真

本プロセスにより作製したHVPE法AlN基板の委託業務開始時の結晶品質と、担当実施項目における各年度、中間評価時の達成目標値を表②-1-2にまとめる。

表②-1-2 本委託業務開始時の結晶品質と、担当実施項目における各年度目標値

項目	本委託業務開始時(代表値)	本委託業務における目標値		
		平成 29 年度	平成 30 年度	中間評価
基板サイズ	～φ23 mm	—		～φ2 インチ
厚さ [mm]	0.6 ^{※1}	←	←	←
XRC 半値幅 [arcsec]	<100	←	<50 ^{※2}	←
N 極性面の粗さ [nm]	5.4	—	—	—
不純物濃度 [atoms/cm ³]	Si : 1×10 ¹⁸ O : 2×10 ¹⁷ C : <2×10 ¹⁶	—	—	Si, O, C について <5×10 ¹⁷ ^{※3}

項目	本委託業務における目標値		
	平成 31 年度	令和 2 年度	令和 3 年度
基板サイズ	～φ2 インチ	48.5mm	←
厚さ [mm]	0.6 ^{※1}	0.5 ^{※1}	←
XRC 半値幅 [arcsec]	<50 ^{※2}	←	←
N 極性面の粗さ [nm]	—	—	<2
不純物濃度 [atoms/cm ³]	Si, O, C について <5×10 ¹⁷ ^{※3}	←	←

※1：うち HVPE 部 \geq 0.1 mm

※2：中間目標@12 月

※3：デバイス試作側からの要望により、基板サイズを 48.5mm に設定

※4：φ2inch PVT-A1N 種基板の厚み(納入仕様値)が、φ1inch、φ35 mm の PVT-A1N 種基板の厚みより 0.1 mm 薄くなったことにより、厚さの目標値を 0.5 mm(うち HVPE 部 \geq 0.1mm)に変更

※5：基板端 2 mm を除く面内

※6：基板中心及び中心より 22 mm 位置

委託業務開始時の X 線ロックアップカーブ(0002)対称面及び(10 $\bar{1}$ 1)非対称面の X 線の半値幅は、何れも<100 arcsec であり、種基板として使用した PVT 法 AlN 基板と同等であること、PVT 法基板の高い結晶品質を受け継ぎ成長していること、を確認している。NaOH と KOH のアルカリ熔融液に浸漬(450℃×5min)した後に形成されるエッチピットの密度から、転位密度は $5\pm 2\times 10^4$ cm⁻²と類推される。これは、PVT 法 AlN 基板と同等レベルの転位密度である。2 次イオン質量分析(Secondary Ion Mass Spectrometry : SIMS)により測定した Si 濃度は、 1×10^{18} cm⁻³、酸素濃度は、 2×10^{17} cm⁻³、炭素濃度は、 2×10^{16} cm⁻³ 以下である。

上記状況に対して、AlN 基板の高純度化に関しては、装置内部からの不純物混入を抑制するための炉内部材を HVPE 装置に導入し、その効果を検証する必要があると認識し、「効果検証のサイクル」を重ね、不純物混入経路の特定・抑制のための装置設計指針を得るとの方針で活動した。

平成 29 年度は、高温領域に設置する部材の材質を石英から窒化ホウ素に変更し、部材の厳密管理を実施することで、Si 不純物濃度を 1×10^{18} atoms/cm³ から 2×10^{17} atoms/cm³ に低減した

平成 30 年度には、当該部材の清浄性管理(部材の清浄性を一定のレベルに保てるよう、定期的なクリーニング)、クリーニングし易い部材構造設計及び副生成物等の析出が起り難い部材構造設計により、不純物濃度 10^{16} atoms/cm³ 台を達成した。

平成 31 年度は、当該不純物濃度レベルを安定維持できるよう、部材の厳密管理を継続すると共に、“AlN 基板の大口徑化”に於いて実施している原料供給ノズルの改良及びそれに伴うガスフロー条件最適化による不純物取り込みへの影響に関して注視した。開発目標値はクリアーして

いるものの、大口径化の検討に伴うノズル変更、条件調整等により、不純物濃度はやや高めの数値で推移していた。

そこで、令和2年度は、不純物濃度 10^{16} atoms/cm³ 台及び安定維持を目標に、将来の生産技術確立も視野に入れた厳密管理が容易な形状への部材構造設計変更を検討すると共に、導入した部材の清浄性管理を継続した。

さらに、令和3年度は、PVT-A1N 基板除去プロセス確立・高品質 HVPE-A1N 基板の実証並びに N 極性面 AN 基板研磨技術の確立のための検討を進める中で、令和2年度に導入した改良部材の清浄性管理を継続し、A1N 成長技術のブラッシュアップを行った。

A1N 基板の大口径化に関しては、熱流体解析シミュレーション結果及び予め取得したノズル形状変更後のガス流れ予測データ等に基づき、2 インチ面内に均一な原料供給を可能とする 2 インチ対応ノズルの設計・製作・HVPE 装置への導入・原料ガス供給条件等の最適化、を継続し、改良ノズルを使用、原料ガス供給条件等の最適化により膜厚均一性の向上を図るとの方針で活動した。

平成29年度は、吹き出し角度を変更した「改良ノズル c1413」を設計・試作した。

平成30年度は、平成29年度に製作した「改良ノズル c1413」を HVPE 装置に導入し、原料ガス供給条件等の最適化による膜厚均一性向上を検討した。しかし、ガスフロー条件を最適化しても、原料ガス (AlCl₃ ガス) の片流れが起こり、基板中央の膜厚低下が発生した。そこで、原料ガスを外側と内側に均等に供給できるよう、「改良ノズル c1413」を改良した「再改良ノズル c1414」を製作した。「再改良ノズル c1414」を使用し、原料ガス供給条件等を最適化した条件で、平均成長速度 57 μm/h、膜厚分布 ±7% を確認した。この時点では、φ2 インチサイズの PVT-A1N 基板が無かったため、φ35 mm の PVT-A1N 基板を種基板として用い、φ2 インチサイズのサセプタ上にオフセットした状態で基板を回転 (回転数: 10 rpm/min) させながらホモエピタキシャル成長を行った。その結果、2 インチ基板の基板端 2mm を除く面内において X 線ロックンガープ半値幅 < 50arcsec を確認した。また、本委託業務に於いて A1N 基板の評価装置として導入した複屈折率評価装置による結晶歪みの面内分布状態評価、フォトルミネッセンス評価装置による結晶中の点欠陥の面内分布 (A1N のバンド端発光 (5.92 eV) 強度と 3.2 eV ディープレベル発光強度の面内分布: PL 分布) 評価、に着手した。PL 分布評価により、基板外周付近では、欠陥起因のディープレベル発光強度が高くなる傾向が確認された。

平成31年度は、φ2 インチサイズの PVT-A1N 基板を種基板として用いたホモエピタキシャルテスト、成長した基板の評価、課題抽出及び対策検討等を継続した。平成30年度に導入した「再改良ノズル c1414」を使用し、原料ガス供給条件等を最適化した条件でホモエピタキシャル成長を行ったところ、基板中心から φ2 インチ基板の外周位置において、平均成長速度 70 μm/h 以上を維持したまま、膜厚分布 ±10% を達成した。また、複屈折率評価装置による結晶歪みの面内分布状態評価、フォトルミネッセンス評価装置による結晶中の点欠陥の面内分布評価、を継続した。種基板 (PVT-A1N 基板) の品質改善により、種基板由来の局所的な結晶方位ズレが存在すると観察される複屈折率の違いによる明暗コントラストは、見られなくなった。一方で、基板外周部に於いて、バンド端発光が強まる傾向がみられ、それ以上に 3.2 eV のディープレベル発光強度が強まる傾向が確認された。

令和2年度は、平成31年度に実施した「再改良ノズル c1414」での検討結果並びに 2 インチ PVT-A1N 種基板を用いた A1N 基板成長の結果を踏まえ、「再改良ノズル c1414」を改良した「再々改良ノズル c1415」を製作した。「再々改良ノズル c1415」を使用し、原料ガス供給条件等を最適化した条件でホモエピタキシャル成長を行い、基板中心から φ2 インチ基板の外周位置において、平均成長速度 70 μm/h 以上を維持したまま、膜厚分布を ±9.6% に改善した。平成31年度に実施した PL 分布評価の結果、基板外周部に於いて、バンド端発光が強まる傾向がみられ、それ以上に 3.2 eV ディープレベル発光強度が強まる傾向が確認されたが、主原因が特定できていなかったため、継続調査を進めた。その結果、金属 Al 表面の酸化膜及びリアクタ壁面に吸着した水分が酸素不純物源であることが明らかになった。

令和3年度は、試作した φ48.5 mm の A1N 基板を実施項目③に提供し、実施項目⑩で作製する複数の要素技術を統合したデバイス試作への適用可否を判断した。加えて、PVT-A1N 基板を除去するプロセス条件を確立し、面内均一性の高い高純度 HVPE-A1N 基板作製に関して、検討した。

さらに、令和2年度から、N極性面 AlN 基板のエピレディ研磨技術の検討に着手した。HVPE-AlN 基板をデバイス試作へ提供することを最終目標とし、平成31年度から実施しているφ2 インチ PVT-AlN 種基板を用いたホモエピタキシャル成長(繰り返し試作)及び CMP 研磨条件の最適化に於いて、N極性面の Ra 値は、開発目標値である $Ra < 2 \text{ nm}$ に対し、おおよそ 1.1 倍程度であること、Ra 値が大きい領域の表面形態から、研磨剤・有機物残渣を除去するための最終洗浄工程で使用している薬液によるエッチングで荒れ、Ra が大きくなっていること、が明らかになってきた。そのため、N極性面の CMP 研磨条件は現行条件から変更せず、薬液選定も含めた最終洗浄条件の見直しを行った。その結果、フッ素系洗浄剤での洗浄に優位性のあることを確認した。

令和3年度は、フッ素系洗浄剤での洗浄条件(処理温度及び時間)の最適化を行うことで、 $Ra < 2 \text{ nm}$ の実現を目指した。

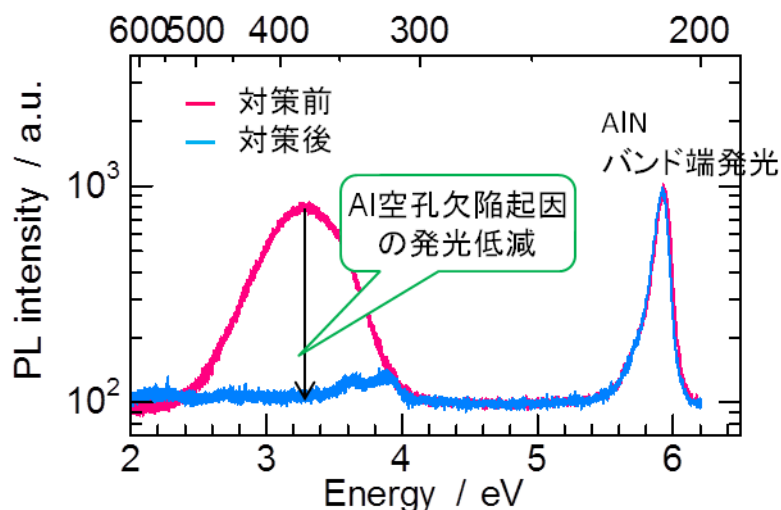
3. 2. 2 AlN 基板の高純度化(不純物抑制のための炉内部材の変更及び厳密管理)

AlN 基板の高純度化に向け、装置内部からの不純物を抑制するための炉内部材を HVPE 装置に導入した。図②-1-1 に示した通り、HVPE 装置は、石英製の反応管と部材で構成されている。1500℃ 程度の高温となる成長部の基板加熱部周辺に設置している部材に石英を使用した場合、Si 不純物が増加する等の問題があった。そこで、高温領域に設置する部材の材質を石英から窒化ホウ素に変更し、石英からのコンタミを抑制するように改良を行った。また、部材の厳密管理を実施した。対策前と対策後の SIMS 測定結果を表②-2-1 に示す。

表②-2-1 不純物混入対策前後の SIMS 測定結果

不純物濃度 [atoms/cm ³]	対策前	対策後
Si	1×10^{18}	2×10^{17}
O	2×10^{17}	5×10^{17}
C	$< 2 \times 10^{16}$	$< 2 \times 10^{16}$

リアクタ内部の部材改良・厳密管理により、Si 不純物を低減できることが確認された。ただし、対策により、O 不純物がやや増加することも分かった。原因は確定していないが、基板加熱部周辺(高温領域以外)の石英ガラスの劣化による Si 系酸化物、並びに原料部における原料金属 Al の表面自然酸化による Al 系酸化物、等からのコンタミの可能性が考えられるため、各々についての厳密管理を継続検討していく計画とした。Si 不純物の更なる低減を継続する中で、O 不純物についても注視し、観測していくこととした。



図②-2-1 HVPE-AlN 基板の室温 PL 測定結果

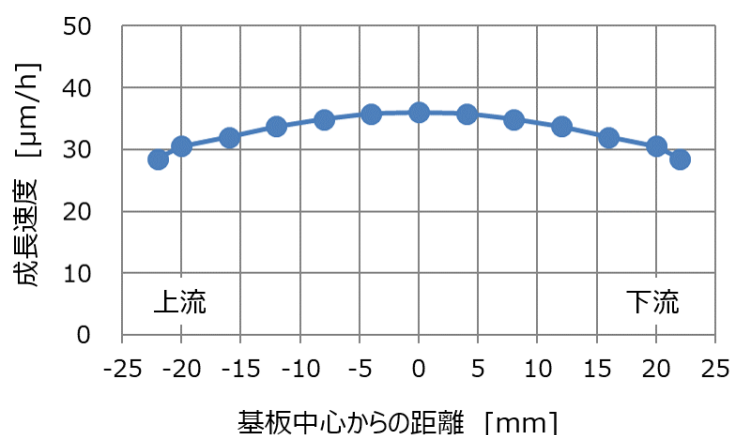
また、不純物混入対策前と対策後の室温 PL 測定結果を図②-2-1 に示す。対策前には、3.3 eV ディープレベル発光が観察されていた。3.3 eV の PL ピークは、Si と Al 原子空孔 (V_{Al}) のエネルギー準位間の遷移によるものと言われているが [12]、対策により、Al 空孔欠陥起因の発光低減として有意差が確認された。

3. 2. 3 AlN 基板の大口径化 I

成長部における $AlCl_3$ ガスと NH_3 ガスとの反応により、AlN エピタキシャル成長を効率よく行うためには、種基板直上で、AlN 生成反応を起こさせることが理想的である。成長中の $AlCl_3$ ガスと NH_3 ガスとの気相反応を抑制しつつ、種基板直上のみで均一に原料を混合できる精密なノズル設計とガスフロー調整が必要となる。

3. 2. 3. 1 2 インチ均一 AlN 成長に向けた改良のノズルの設計・製作

2 インチ AlN 基板の均一成長に向けて、2 インチ面内に均一な原料供給を可能とする 2 インチウエハ対応ノズルの設計・製作を行った。HVPE 法において、膜厚均一性を決定する要因には、(1) ノズルの形状、(2) ガスフロー、の 2 つが挙げられるが、これまでの検討により、(1) の寄与が大きいことが明らかになっている。図②-3-1 に「元ノズル c1411」を採用した場合の、基板中心からの距離と成長速度との関係を示す。

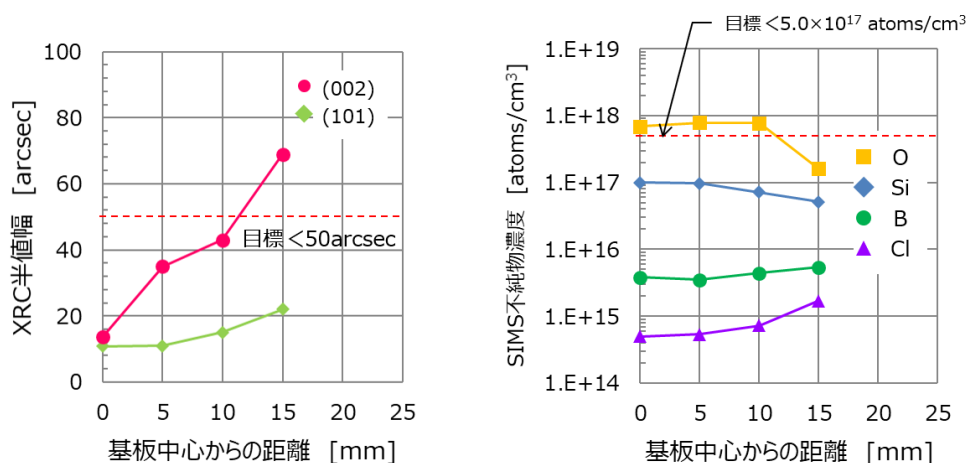


図②-3-1 「元ノズル c1411」での膜厚分布

平均成長速度 33 $\mu\text{m/h}$ 、 $\pm 11\%$ の分布で膜厚均一性が達成できているが、2 インチ AlN 基板の均一成長には更なる改善が必要と判断し、原料均一供給を実現するノズルを再設計・製作した。ノズル設計には、熱流体解析結果を活用し、「元ノズル c1411」をベースに、幅方向の原料均一供給のための吹き出し口径の変更(c1412)、吹き出し角度の変更(c1413)、吹き出し形状の変更(d1601)を行った。熱流体解析に基づく設計・製作、HVPE 装置導入後の検証、のサイクルを回すことで、原料均一供給を実現するノズル形状の最適化を目指すこととした。

3. 2. 3. 2 「元ノズル c1411」でのガスフロー条件最適化

2 インチ化に向けた予備検討として、 $\phi 35\text{ mm}$ の PVT-AlN 基板を用いて、「元ノズル c1411」でのガスフロー条件最適化を行い、 $300\ \mu\text{m}$ 超のホモエピタキシャル成長を行った。膜厚分布を評価した後、結晶性、不純物濃度の面内分布調査を行った。図②-3-2 に結晶性、不純物濃度面内分布調査の結果を示す。



図②-3-2 $\phi 35\text{ mm}$ AlN 基板の結晶性、不純物濃度面内分布調査の結果

基板外周部ほど、X 線ロッキングカーブ(0002)対称面及び(10 $\bar{1}$ 1)非対称面の X 線の半値幅は、増大する傾向があることが確認された。また、SIMS 分析の結果、基板外周部ほど、Si、O 不純物は低下するが、Cl 不純物は増加する傾向が確認された。ガスフロー条件の最適化だけでは、幅方向の面内均一性を確保することは困難な可能性が考えられた。試作した $\phi 2$ インチ対応ノズル(吹き出し口径変更ノズル(c1412)、吹き出し角度変更ノズル(c1413)、吹き出し形状変更ノズル(d1601))を HVPE 装置に導入し、同様に $300\ \mu\text{m}$ 超のホモエピタキシャル成長を行い、膜厚分布だけでなく、結晶性と不純物に関する面内分布の状況を把握する共に、原因を調査し、対策を実施することとした。

3. 2. 4 AlN 基板の高純度化(不純物抑制のための炉内部材の清浄性維持、部材構造変更)

図②-1-1 に示したとおり、HVPE 装置は、石英製の反応管と部材で構成されている。成長部の 1500℃程度の高温となる基板加熱部周辺に設置している部材に石英を使用した場合、AlN 基板中の Si 不純物が増加する等の問題があった。AlN 基板の高純度化に向け、平成 29 年度に、石英部材からの不純物混入を抑制するため、高温領域に設置する部材の材質を窒化ホウ素に変更した。併せて部材の厳密管理を実施した。部材改良と厳密管理により、Si 不純物を 1×10^{18} atoms/cm³ から 2×10^{17} atoms/cm³ に低減されることが確認されたが、O 不純物がやや増加することも分かった。基板加熱部周辺(高温領域以外)の石英ガラスの劣化による Si 系酸化物、並びに原料部における原料金属 Al の表面自然酸化による Al 系酸化物、等からのコンタミの可能性が考えられたため、平成 30 年度は、Si 不純物の更なる低減を継続する中で、O 不純物に関しても注視し、厳密管理を継続した。

これにより、不純物低減のためには、基板加熱周辺(高温領域以外も含む)に設置している部材の清浄性を一定のレベルに保てるよう、定期的なクリーニング、クリーニングしやすい部材構造設計及び副生成物等の析出が起り難い部材構造設計、が必要であることが明らかになった。また、AlN 成長条件として、原料供給量の増量による成長速度アップを検討する取り組みの中で、Si 不純物を 4×10^{16} atoms/cm³、O 不純物を 7×10^{16} atoms/cm³ レベルまで低減できることが確認された(表②-4-1 参照)。この結果は、中間評価時の目標値とした“Si、O、C 不純物について $< 5 \times 10^{17}$ atoms/cm³”よりも 1 桁低い値であった。この結果から、当該不純物濃度 10^{16} atoms/cm³ 台を維持できるよう、厳密管理を継続すると共に、大口径化の検討に於けるノズルの改良及びガスフロー条件最適化による不純物取り込みへの影響に関して注視し、観察していくこととした。

表②-4-1 SIMS 測定結果

不純物濃度 [atoms/cm ³]	目標値 (中間評価)	平成 29 年度実施		平成 30 年度実施 追加対策 #2215-e-81720
		対策前	対策後	
Si	$< 5 \times 10^{17}$	1×10^{18}	2×10^{17}	4×10^{16}
O		2×10^{17}	5×10^{17}	7×10^{16}
C		$< 2 \times 10^{16}$	$< 2 \times 10^{16}$	$< 3 \times 10^{16}$

3. 2. 5 AlN 基板の大口径化Ⅱ

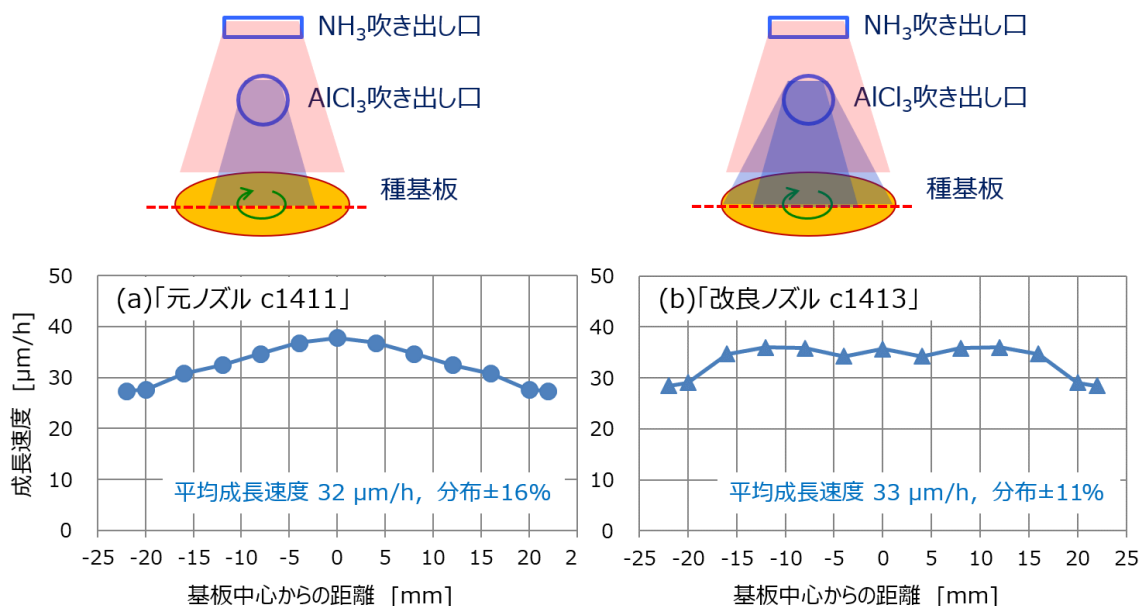
成長部における AlCl₃ ガスと NH₃ ガスとの反応により、AlN エピタキシャル成長を効率よく行うためには、種基板直上で、AlN 生成反応を起こさせることが理想的である。成長中の AlCl₃ ガスと NH₃ ガスとの気相反応を抑制しつつ、種基板直上のみに均一な原料を供給できる精密なノズル設計とガスフロー調整が必要となる。3.2.3.1 で述べたとおり、HVPE 法において、膜厚均一性を決定する要因には、(1)ノズルの形状、(2)ガスフロー、の 2 つが挙げられるが、これまでの検討により、(1)の寄与が大きいことが明らかになっていることから、ノズルの設計改良を進めた。

3. 2. 5. 1 改良ノズルの設計・製作及び HVPE 装置への導入

2 インチ AlN 基板の均一成長に向けて、平成 29 年度は、2 インチ種基板上に均一な原料供給を可能とする 2 インチウエハ対応ノズルの設計・製作を行った。これまで使用していた「元ノズル c1411」をベースに、幅方向の原料均一供給のための吹き出し口径の変更(c1412)、吹き出し角度の変更(c1413)、吹き出し形状の変更(d1601)を行った。平成 30 年度は、製作したノズルを HVPE 装置に導入し、検証を開始した。なお、本検討は、φ2 インチサファイア基板を使用し、短時間の HVPE

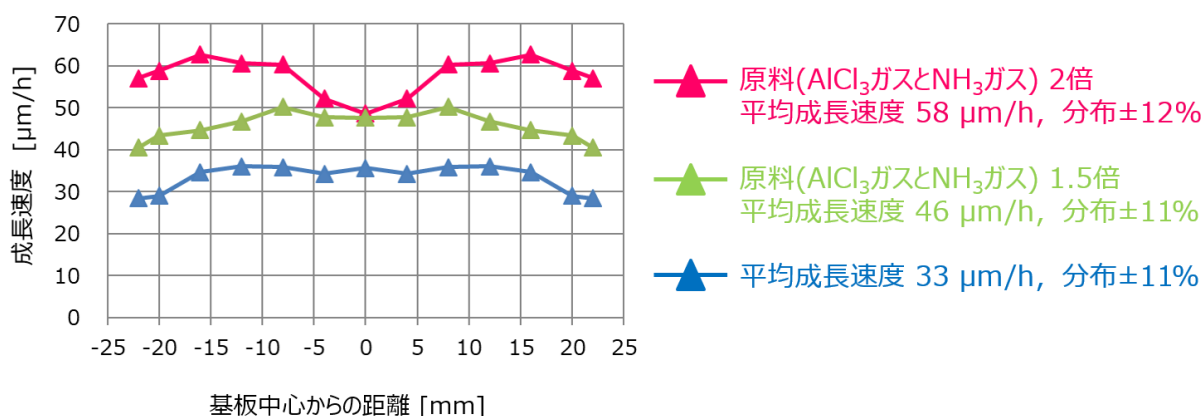
成長を実施後 SEM 断面観察により膜厚を確認し、成長速度に換算することで、成長速度を評価した。

図②-5-1に「元ノズル c1411」を採用した場合と吹き出し角度の変更を行った「改良ノズル c1413」を採用した場合の、原料ガス供給イメージ図と膜厚分布(基板中心からの距離と成長速度との関係)を示す。「元ノズル c1411」では、平均成長速度 $32 \mu\text{m/h}$ 、膜厚分布 $\pm 16\%$ であったが、吹き出し角度の変更を行った「改良ノズル c1413」では、平均成長速度 $33 \mu\text{m/h}$ 、膜厚分布 $\pm 11\%$ となり、ノズルの吹き出し角度変更による膜厚均一性への効果が確認された。



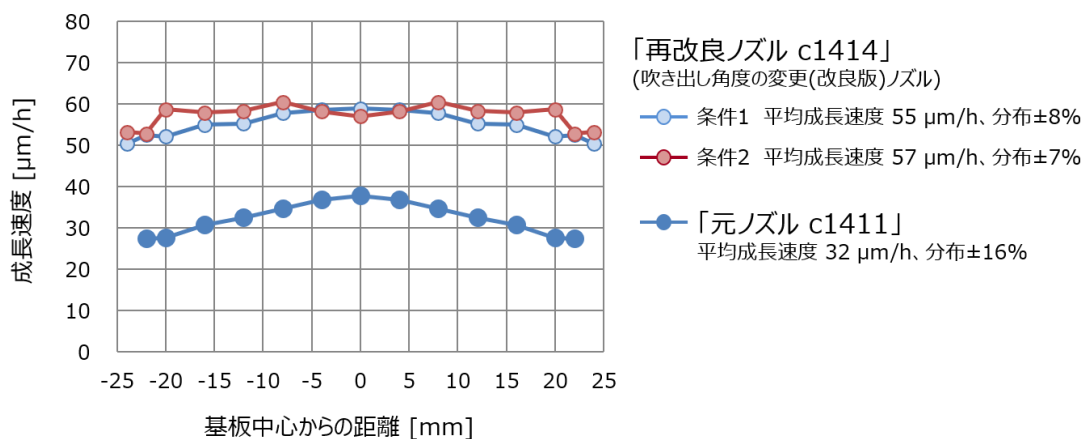
図②-5-1 原料ガス供給イメージ図と膜厚分布の比較

そこで、次に当該ノズル「改良ノズル c1413」を使用し、原料ガス増量による成長速度アップの検討を行った。図②-5-2に吹き出し角度の変更を行った「改良ノズル c1413」を使用した成長速度 $33 \mu\text{m/h}$ 、 $46 \mu\text{m/h}$ 、 $58 \mu\text{m/h}$ 成長における各々の膜厚分布を示す。



図②-5-2 吹き出し角度の変更を行った「改良ノズル c1413」での膜厚分布

原料の AlCl_3 ガスと NH_3 ガスを 2 倍にした平均成長速度 $58 \mu\text{m/h}$ では、膜厚分布がやや増加傾向にあることが明らかになった。増量した AlCl_3 ガスは外側の方向にばかり流れてしまい、結果、基板中央の膜厚が低下したと判断した。外側と内側に均等に原料供給ができるよう、「改良ノズル c1413」を改良した「再改良ノズル c1414」を設計・製作した。「再改良ノズル c1414」を HVPE 装置に導入し、同様に検証を行い、原料ガス供給量とガスフロー(主に全体を押し流す流量)を調整した。図②-5-3に「再改良ノズル c1414」を採用した場合の膜厚分布を示す。

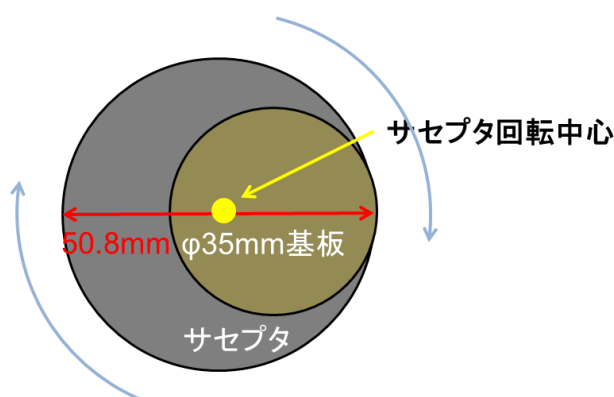


図②-5-3 「再改良ノズル c1414」での膜厚分布

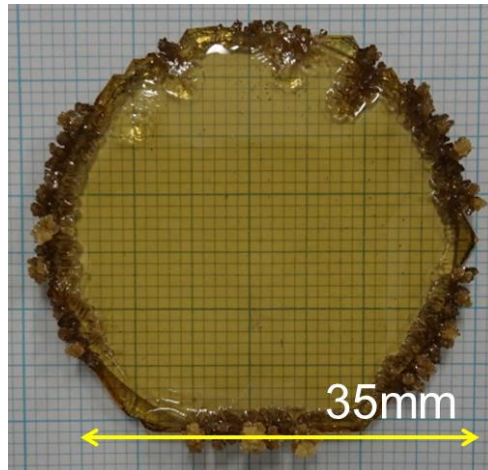
条件1では、平均成長速度 $55 \mu\text{m/h}$ 、膜厚分布 $\pm 8\%$ 、条件2では、平均成長速度 $57 \mu\text{m/h}$ 、膜厚分布 $\pm 7\%$ となり、膜厚均一性の更なる向上が図れたことが確認された。「改良ノズル c1413」を使用した場合、成長速度 $60 \mu\text{m/h}$ を維持しようとする、ガスフロー調整だけでは片流れは改善できず、膜厚分布 $\pm 12\%$ であったのに対し、「再改良ノズル c1414」を使用した場合、ノズル構造の改良による片流れ抑制効果とガスフロー調整による効果、2つの相乗効果により、膜厚分布 $\pm 7\%$ の結果が得られたと考察した。

3. 2. 5. 2 「再改良ノズル c1414」を用いたホモエピタキシャル成膜テスト

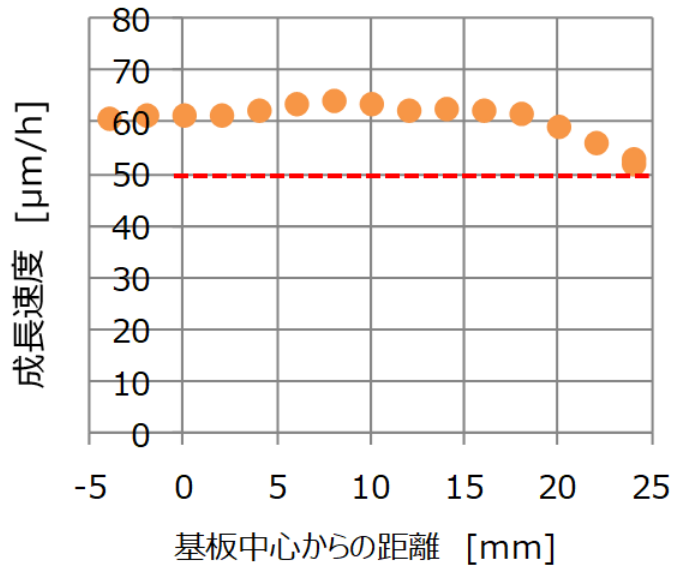
前記膜厚均一性が向上した「再改良ノズル c1414」を使用し、2インチ基板面内のAlN成長膜厚均一性について検討を行った。なお、本検討は、 $\phi 35 \text{ mm}$ のPVT-AlN基板を種基板として使用し、 $\phi 2$ インチサイズのサセプタ上にオフセットした状態で基板を回転(回転数: 10 rpm/min)させながら行い(図②-5-4参照)、膜厚分布と結晶品質を評価した。図②-5-5にホモエピタキシャル後の基板の外観写真を、図②-5-6に基板中心からの距離と成長速度との関係を示す。



図②-5-4 検証方法(概念図)



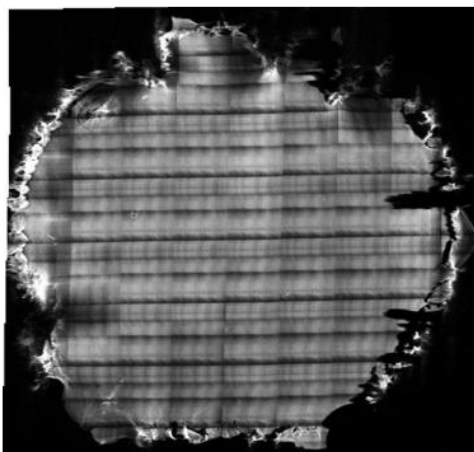
図②-5-5 ホモエピタキシャル後の基板の外観写真



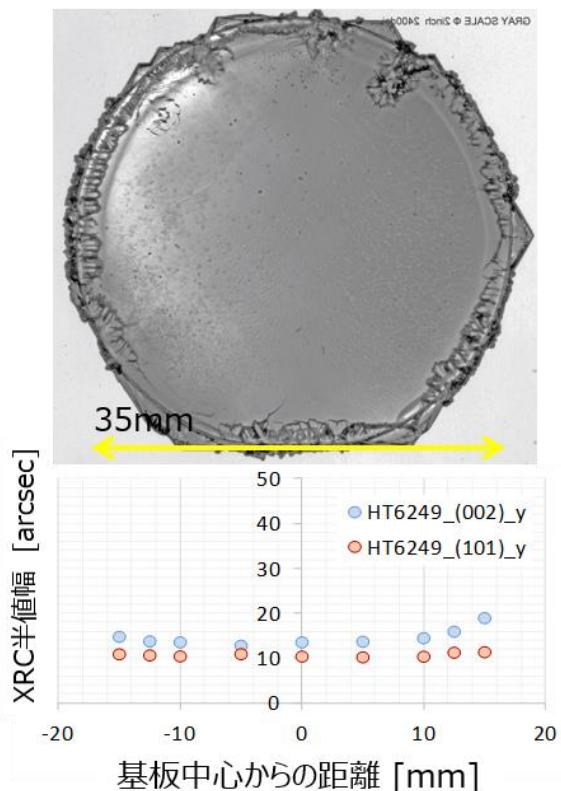
図②-5-6 ホモエピタキシャル成長後の基板の膜厚分布

回転中心からφ2インチ外周相当位置において、成長速度 $50 \mu\text{m/h}$ 以上を達成できていることが確認された。次に、図②-5-7 に反射 X 線トポ像、複屈折率分布並びに X 線ロックングカーブ半値幅分布 (結晶性の面内分布) 調査の結果を示す。

(a)反射X線トポ像



(b)複屈折率分布



(c)XRC半値幅分布

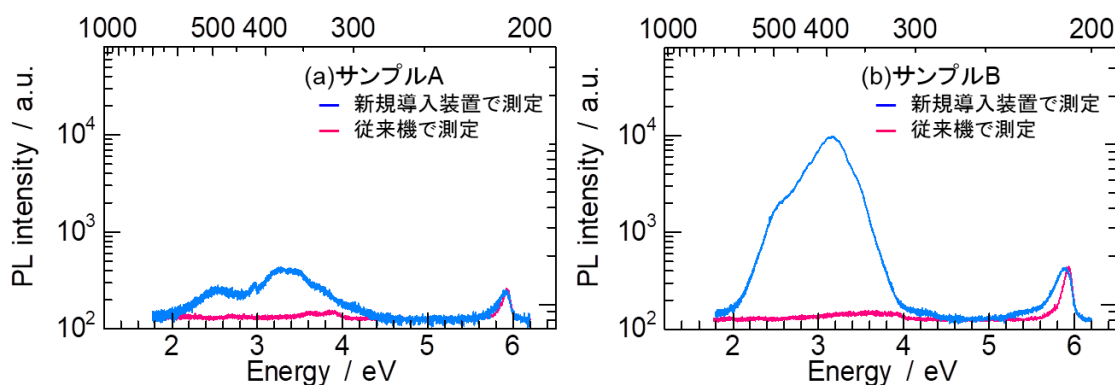
図②-5-7 ホモエピタキシャル成長後の基板の(a)反射 X 線トポ像、(b)複屈折率分布並びに結晶性の面内分布

反射 X 線トポ像(測定時間：180 min.)及び複屈折率分布像(測定時間：2 min.)より、種基板として用いた $\phi 35$ mm の種基板のグレインの影響による結晶歪が発生しているものの、グレインの無い部分においては、比較的良好な結晶が作製できていることが分かった。また、平成30年度の委託費で導入した複屈折率評価装置により、測定時間の大幅な短縮が可能であることも実証された。X 線ロックンクカーブ(0002)対称面及び(10 $\bar{1}$ 1)非対称面の X 線の半値幅は、20arcsec 以下で面内分布もほとんど無く、均質な結晶が得られていることが確認された。ノズルの改良(「再改良ノズル c1414」の使用)により、平成30年度の本委託業務における目標である『均一な原料供給を可能とするノズルを HVPE 装置へ導入し、原料ガス供給条件等を調整することにより、2 インチ基板の基板端 2 mm を除く面内において X 線ロックンクカーブ半値幅<50arcsec の実現』を達成した。

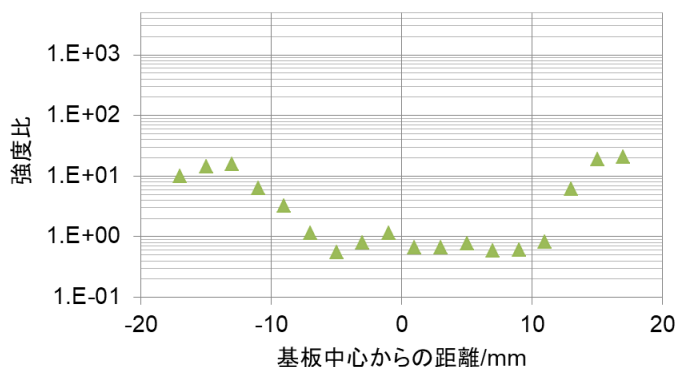
3. 2. 5. 3 AlN 基板の評価

AlN 結晶中の点欠陥の面内分布の評価、特に AlN の導電性に影響する Si 不純物の面内濃度分布の定性的評価を行う目的で、フォトルミネッセンス評価装置(株堀場製作所製 深紫外モジュラー PL 装置(iHR320-193MPL))を平成 30 年 12 月に導入した。本評価装置は、集光方式を変更(単レンズ集光からアルミミラー集光に変更)することで、色収差の影響を無くしたことにより、従来機に比べ検出感度が向上している。図②-5-8(i)に室温 PL 測定結果の一例を示す。炉内部材の洗浄方法を変更し成長した 2 種類のサンプル A とサンプル B についての基板中央での室温 PL 測定結果である。ピンク色のスペクトルが従来機での測定結果、青色のスペクトルが新規導入装置での測定結果である。従来機(株堀場製作所製 紫外領域 PL 分光装置(LabRAMHR-PL))の測定では、確認が困難であった 3.3 eV 付近のディープレベル発光が、低出力・短時間で観察可能となったこと、炉内部材の洗浄方法を変更したことによる差異が識別できること、が確認された。測定時間の短縮により、大口徑化検討に於けるマッピング測定の有効活用が期待される。

また、図②-5-8(ii)に AlN のバンド端発光(=Si と Al 原子空孔(V_{Al})のエネルギー準位間の遷移による PL 発光)強度比の径方向分布評価結果を示す。基板外周付近では、欠陥起因のディープレベル発光強度が高くなる傾向が確認された。原料濃度が不均一なことが主原因と推測されるが、表面凹凸の影響による光取り出し効果の違いも原因の一つと考えられるため、今後、表面凹凸の無い CMP 研磨後の基板について PL 測定を行い、判断することとした。



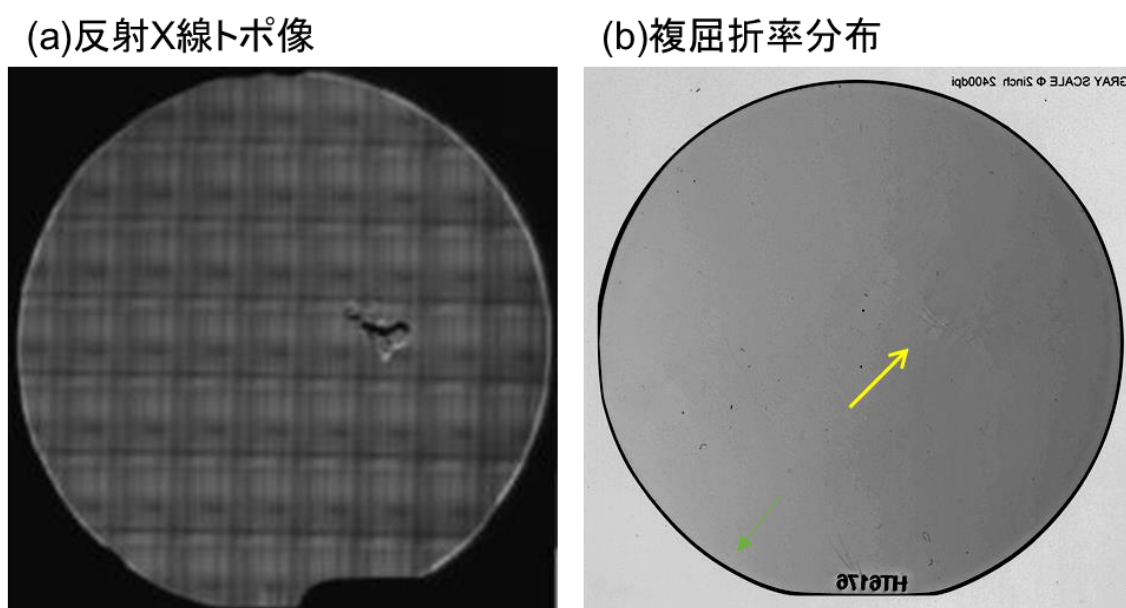
(i) 炉内部材の洗浄方法を変更したサンプルの PL スペクトル



(ii) バンド端発光強度と 3.3eV ディープレベル発光強度比の径方向分布評価結果

図②-5-8 室温 PL 測定結果の一例

また、AlN 基板の結晶歪みの面内分布の評価を行い、結晶歪みの原因と不純物分布の相関を取得する目的で、複屈折率評価装置(セラミックフォーラム社製 Crystalline Tester CS1)を平成30年9月に導入した。本評価装置は、可視光(波長:400~800 nm)に透過性のある結晶材料に残留する欠陥や応力によって引き起こされる結晶歪の分布状態を非破壊非接触で簡便に観察できる検査器である。AlN 基板内部に存在する局所的な方位ズレを実空間で可視化することができ、基板を使用してデバイスを作製した際に起こる動作不良を予め推定することが可能となる。図②-5-9に測定結果の一例を示す。各画像の取得に要する時間は、(a)反射X線トポ像観察が、約3時間、(b)複屈折分布観察は、2分である。反射X線トポ像観察で、結晶歪によるコントラストが確認されていた基板3時方向の箇所に、複屈折率分布(画像(b)の黄色の矢印箇所)も確認された。結晶歪みの面内分布評価が数分オーダーの評価時間で可能となった。今後、大口径化に伴い長時間化が想定されていたX線トポによる評価に替わる結晶歪み評価手法として有効活用が期待される。



図②-5-9 結晶歪み測定の一例

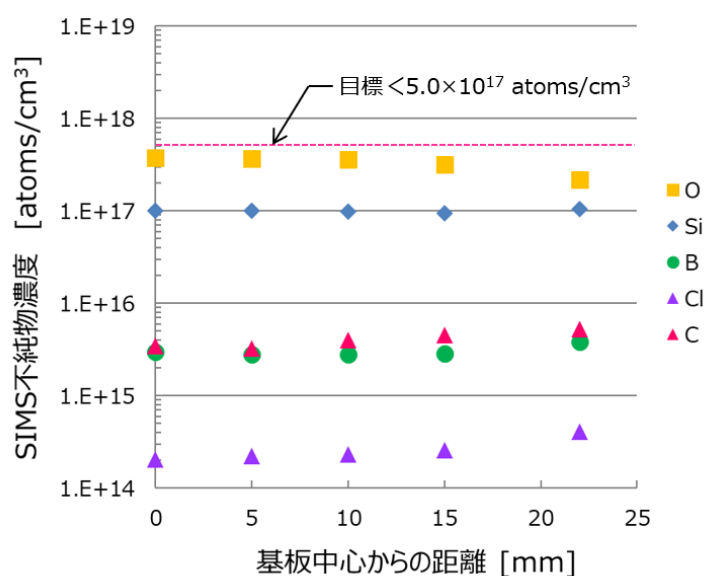
3. 2. 6 AlN 基板の高純度化(“AlN 基板の大口径化” 検討でのノズルの改良及ガスフロー条件最適化による不純物取り込みへの影響調査)

平成29年度に、高温領域に設置する部材の材質を石英から窒化ホウ素に変更し、部材の厳密管理を実施することで、Si 不純物濃度を 1×10^{18} atoms/cm³ から 2×10^{17} atoms/cm³ に低減した。さらに、平成30年度に、当該部材の清浄性管理(部材の清浄性を一定のレベルに保てるよう、定期的なクリーニング)、クリーニングし易い部材構造設計及び副生成物等の析出が起り難い部材構造設計により、不純物濃度 10^{16} atoms/cm³ 台を達成した。

平成31年度は、不純物濃度 10^{16} atoms/cm³ 台を安定して維持できるよう、リアクタ部材の厳密管理を継続すると共に、“AlN 基板の大口径化”の検討に於いて継続検討する原料供給ノズルの改良及びそれに伴うガスフロー条件最適化による不純物取り込みへの影響に関して注視し、評価を行った。検討結果を表②-6-1にまとめた。平成31年度に検討したφ2インチサイズのPVT-AlN 基板を種基板として用いたホモエピタキシャルテストに於いて、成長速度の平均が $72 \mu\text{m/h}$ (最大 76、最小 61)、分布±10%の成長時の、基板中心部のSIMS 不純物濃度分析の結果である。Si 不純物は 1×10^{17} atoms/cm³、O 不純物は 4×10^{17} atoms/cm³ レベルであった。図②-6-1に不純物濃度分布を示す。不純物濃度は、測定対象とした全ての元素(Si, O, C, B, Cl)について、基板端2mmを除く面内において $< 5 \times 10^{17}$ atoms/cm³ であること、基板中心部~基板外周部に於いて、明確な濃度分布は発生していないこと、が確認された。

表②-6-1 SIMS 測定結果

不純物濃度 [atoms/cm ³]	目標値 (中間評価 時・最終)	平成 29 年度実施		平成 30 年度実施 追加対策	平成 31 年度実施 φ2 インチホモエピ [®] 結果
		対策前	対策後		
Si	< 5 × 10 ¹⁷	1 × 10 ¹⁸	2 × 10 ¹⁷	4 × 10 ¹⁶	1 × 10 ¹⁷
O		2 × 10 ¹⁷	5 × 10 ¹⁷	7 × 10 ¹⁶	4 × 10 ¹⁷
C		< 2 × 10 ¹⁶	< 2 × 10 ¹⁶	< 3 × 10 ¹⁶	< 4 × 10 ¹⁵



図②-6-1 ホモエピタキシャル成長後の基板の不純物濃度分布

以上の結果は、開発目標値はクリアーしているものの、平成 30 年度の結果(不純物濃度 10¹⁶ atoms/cm³ 台)に比べるとやや高いレベルとなっている。そのため、不純物濃度 10¹⁶ atoms/cm³ 台を目標に、厳密管理を継続すると共に、大口径化の検討に於けるノズルの改良及びガスフロー条件最適化による不純物取り込みへの影響に関して注視していくこととした。

3. 2. 7 AlN 基板の大口径化Ⅲ

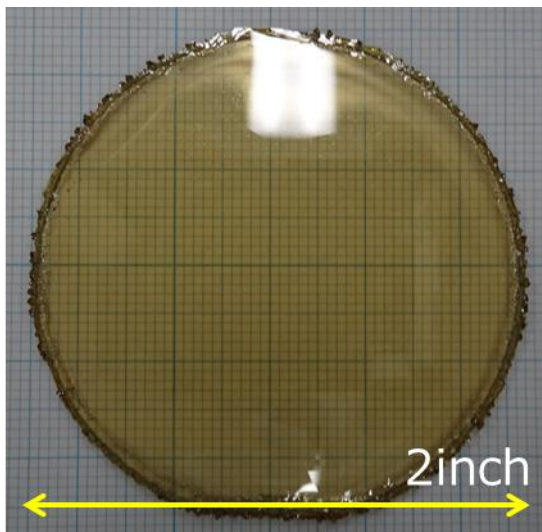
3. 2. 5 で述べたとおり、AlCl₃ ガスと NH₃ ガスとの反応により、AlN エピタキシャル成長を効率よく行うためには、成長中の AlCl₃ ガスと NH₃ ガスとの気相反応を抑制しつつ、種基板直上のみに均一な原料を供給できる精密なノズル設計とガスフロー調整が必要である。これまでの検討により、前者の寄与が大きいことが明らかになっていることから、ノズルの設計改良並びに新規設計ノズルの導入・ガスフロー条件の最適化を継続した。

3. 2. 7. 1 「再改良ノズル c1414」の HVPE 装置への導入

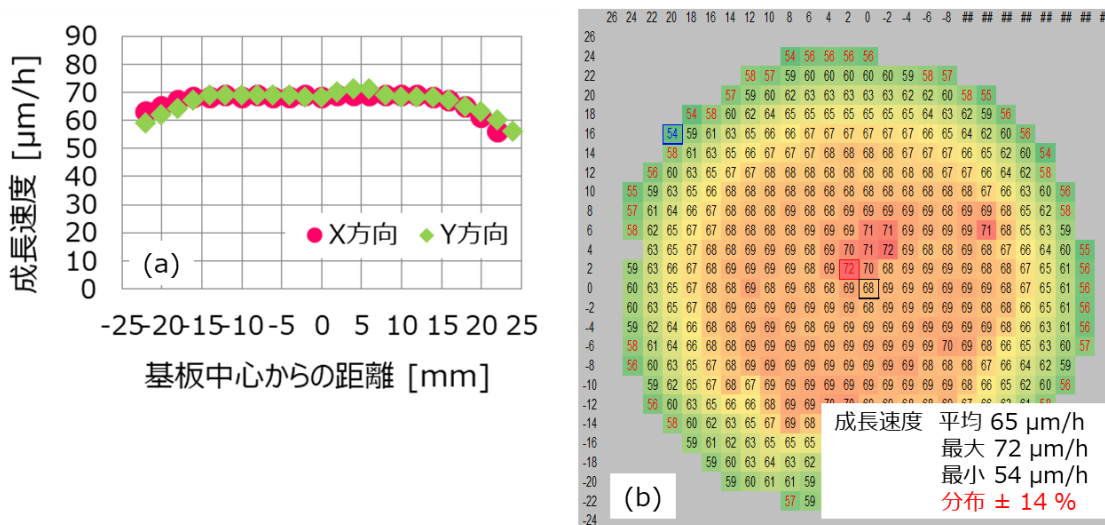
吹き出し角度変更ノズル(「改良ノズル c1413」)に於いて、片流れを抑制し、原料ガスを外側と内側に均等に供給できるよう改良した「再改良ノズル c1414」を使用し、2 インチ基板面内の AlN 成長膜厚均一性について検討を行った。φ 35 mm の PVT-AlN 基板を種基板として用い、φ 2 インチサイズのサセプタ上にオフセットした状態で基板を回転(回転数: 10 rpm)させながらホモエピタキシャル成長を行う疑似的な取り組み(成長条件 A)で、2 インチ基板の基板端 2 mm を除く面内において X 線ロックングカーブ半値幅 < 50 arcsec を確認してきたが、平成 31 年度は、φ 2 インチ

サイズの PVT-AlN 基板を種基板として用いたホモエピタキシャルテスト、成長した基板の評価を行った。

図②-7-1 に成長条件 A でホモエピタキシャル成長した基板の外観写真を、図②-7-2 に基板中心からの距離と成長速度との関係及び成長速度の面内分布を示す。



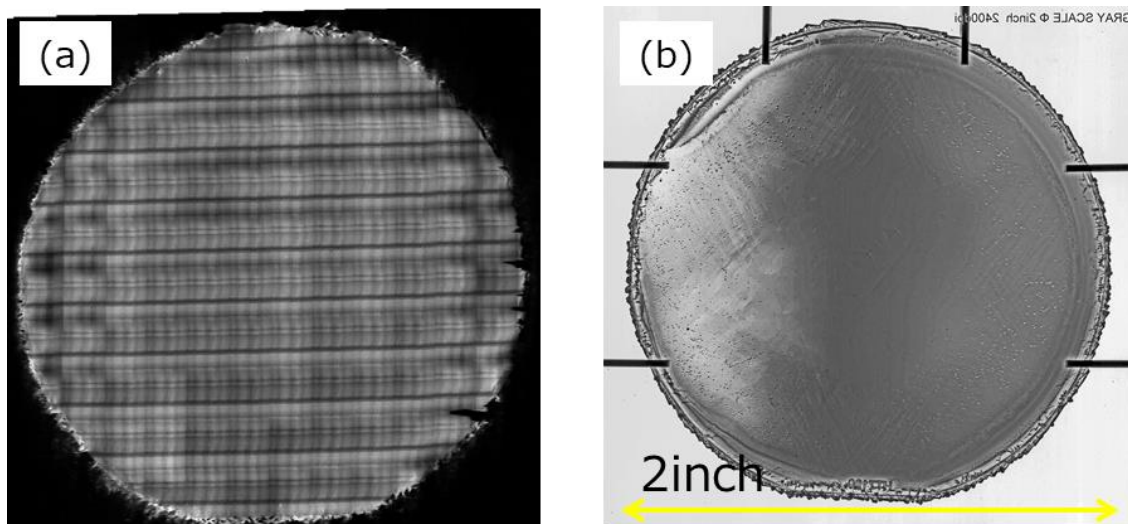
図②-7-1 ホモエピタキシャル成長後の基板の外観写真



図②-7-2 ホモエピタキシャル成長後の基板の膜厚分布

(a) 基板中心からの距離と成長速度との関係、(b) 成長速度の面内分布

基板中心から $\phi 2$ インチ基板の外周位置において、成長速度 $50 \mu\text{m/h}$ 以上を達成できているが、分布が $\pm 14\%$ 程度あることが確認された。図②-7-3 に反射 X 線トポ像、複屈折分布並びに X 線ロックングカーブ半値幅分布 (結晶性の面内分布) 調査の結果を示す。

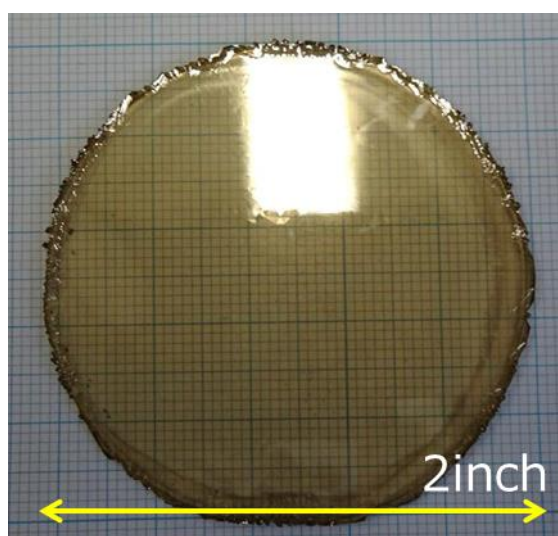


基板中心からの距離 [mm]		-20	-10	0	10	20
XRC半値幅 [arcsec]	PVT基板 (ホモエピ前)	12	12	10	11	10
	HVPE層 (ホモエピ後)	34	12	12	12	33

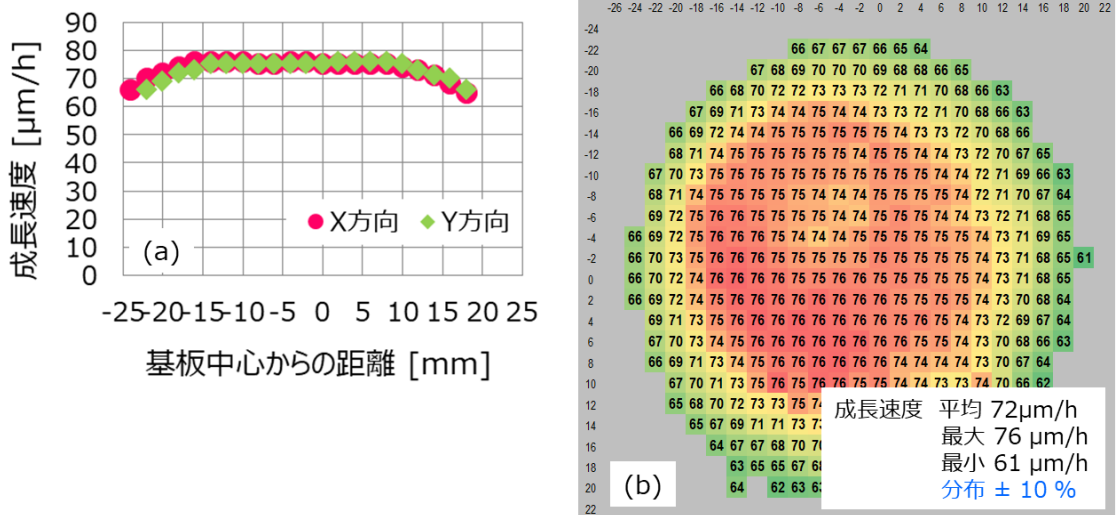
図②-7-3 ホモエピタキシャル成長後の基板の(a)反射 X 線トポ像、
(b)複屈折率分布並びに結晶性の面内分布

反射 X 線トポ像及び複屈折率分布像より、種基板として用いた PVT 基板の結晶性を引き継ぎ、比較的良好な結晶が作製できていることが分かった。X 線ロッキングカーブ(0002)対称面の X 線の半値幅は、基板中心～10 mm 範囲では、20 arcsec 以下で面内分布もほとんど無く、均質な結晶が得られていることが確認されたが、基板外周付近では、中間評価時の目標値(2 インチ基板の基板端 2 mm を除く面内において X 線ロッキングカーブ半値幅 > 50 arcsec)はクリアーしているものの、やや大きくなる傾向が見られ、歪みの蓄積が示唆された。

以上のことから、膜厚分布を改善するための継続検討(ノズルの設計改良及びガスフロー調整)、基板外周部において、X 線ロッキングカーブ半値幅がやや大きくなる傾向の原因調査を継続した。まずは、ノズルはそのまま、原料ガス供給条件等の最適化を行った。図②-7-4 に原料ガス供給条件等を最適した条件(成長条件 B)でホモエピタキシャル成長した基板の外観写真を、図②-7-5 に基板中心からの距離と成長速度との関係及び成長速度の面内分布を示す。

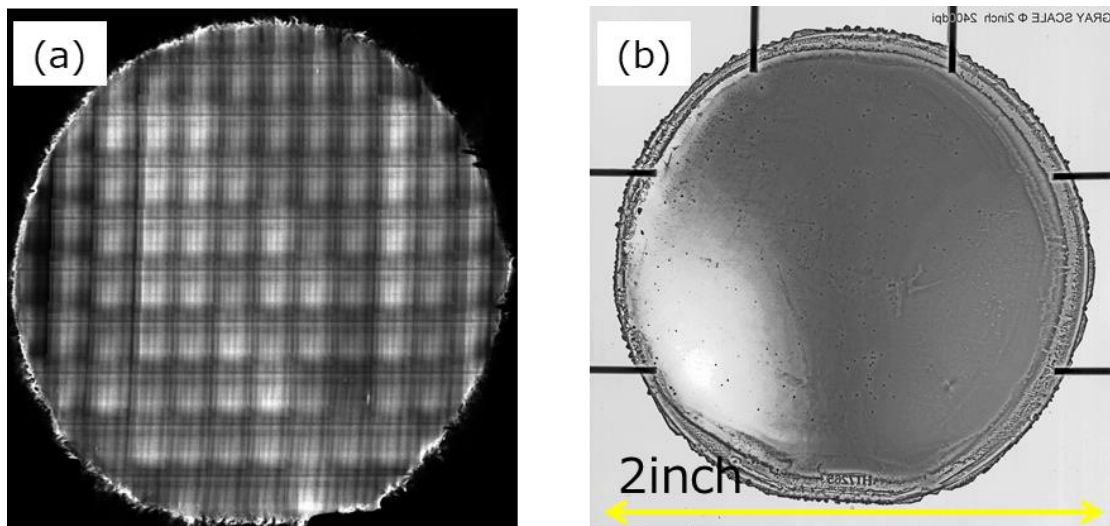


図②-7-4 ホモエピタキシャル成長後の基板の外観写真



図②-7-5 ホモエピタキシャル成長後の基板の膜厚分布
 (a) 基板中心からの距離と成長速度との関係、(b) 成長速度の面内分布

基板中心から $\phi 2$ インチ基板の外周位置までの平均成長速度は、70 $\mu\text{m/h}$ 以上を維持したまま、分布が $\pm 10\%$ 程度まで改善された。図②-7-6 に反射 X 線トポ像、複屈折分布並びに X 線ロックイングカーブ半値幅分布(結晶性の面内分布)調査の結果を示す。

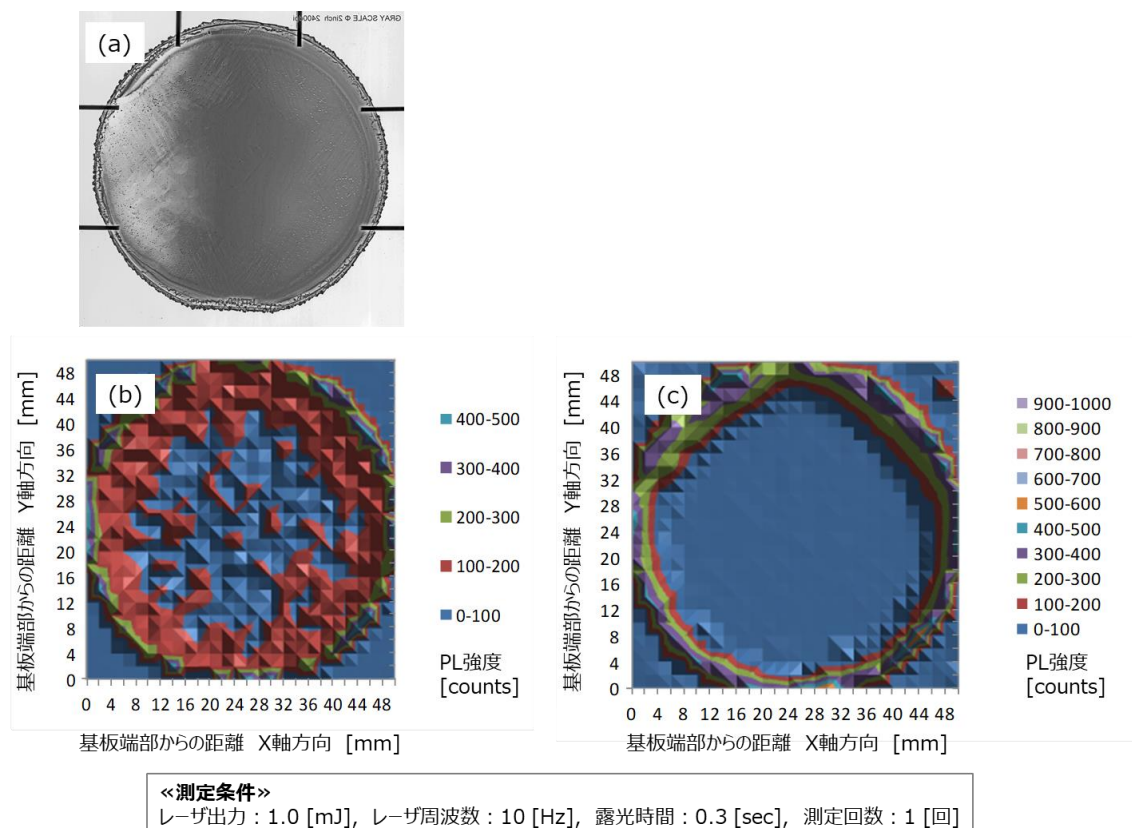


基板中心からの距離 [mm]		-20	-10	0	10	20
XRC半値幅 [arcsec]	PVT基板 (ホモエピ前)	12	20	16	13	12
	HVPE層 (ホモエピ後)	31	15	16	17	25

図②-7-6 ホモエピタキシャル成長後の基板の (a) 反射 X 線トポ像、
 (b) 複屈折率分布並びに結晶性の面内分布

反射 X 線トポ像及び複屈折率分布像より、最適化のために調整した原料ガス供給条件で成長させた HVPE 層においても、種基板として用いた PVT 基板の結晶性を引き継ぎ、比較的良好な結晶が作製できていることが分かった。X 線ロックイングカーブ (0002) 対称面の X 線の半値幅は、基板中心 ~ 10 mm 範囲では、20 arcsec 以下で面内分布もほとんど無く、均質な結晶が得られていることが確認されたが、最適化前の成長条件 (成長条件 A) 同様、基板外周付近では、中間評価時の目標値 (2 インチ基板の基板端 2 mm を除く面内において X 線ロックイングカーブ半値幅 > 50 arcsec) はクリアしているものの、やや大きくなる傾向が見られた。

図②-7-7にホモエピタキシャル成長後の基板の複屈折分布とPL分布(A1Nのバンド端発光(5.92 eV)強度と3.2 eV ディープレベル発光強度の面内分布)評価結果の一例を示す。種基板(PVT法により作製されたA1N基板)の品質改善により、種基板由来の局所的な結晶方位ズレが存在すると観察される複屈折率の違いによる明暗コントラストは、見られなくなった(図②-7-7(a))。一方で、基板外周部に於いて、バンド端発光が強まる傾向(図②-7-7(b))がみられ、それ以上に3.2 eVのディープレベル発光強度が強まる傾向(図②-7-7(c))が確認された。図②-6-1に示すように外周部では主要な不純物は減少しているため、外周付近の原料ガス濃度の混合状態による影響(V/III比)が現れていると考えられる。



図②-7-7 ホモエピタキシャル成長後の基板の(a)複屈折率分布、(b)PL分布/バンド端発光(5.93 eV)、(c)PL分布/3.2 eV ディープレベル発光

3.2.7.2 φ2インチ種基板を用いたホモエピタキシャル成長(繰り返し試作)

大口径化に伴う基板中央及び外周付近との物性差異の発生状況を把握すること、発生原因を調査すること、CMP研磨(オフ角調整・外周研削・裏面(N極性面)及び表面(A1極性面)のCMP・最終洗浄)の条件の最適化を進め、HVPE-A1N基板をデバイス試作(実施項目③及び⑩)へ提供すること、を目的とし、成長条件Bによるホモエピタキシャル成長およびCMP加工を継続した。表②-7-1に結果を示す。

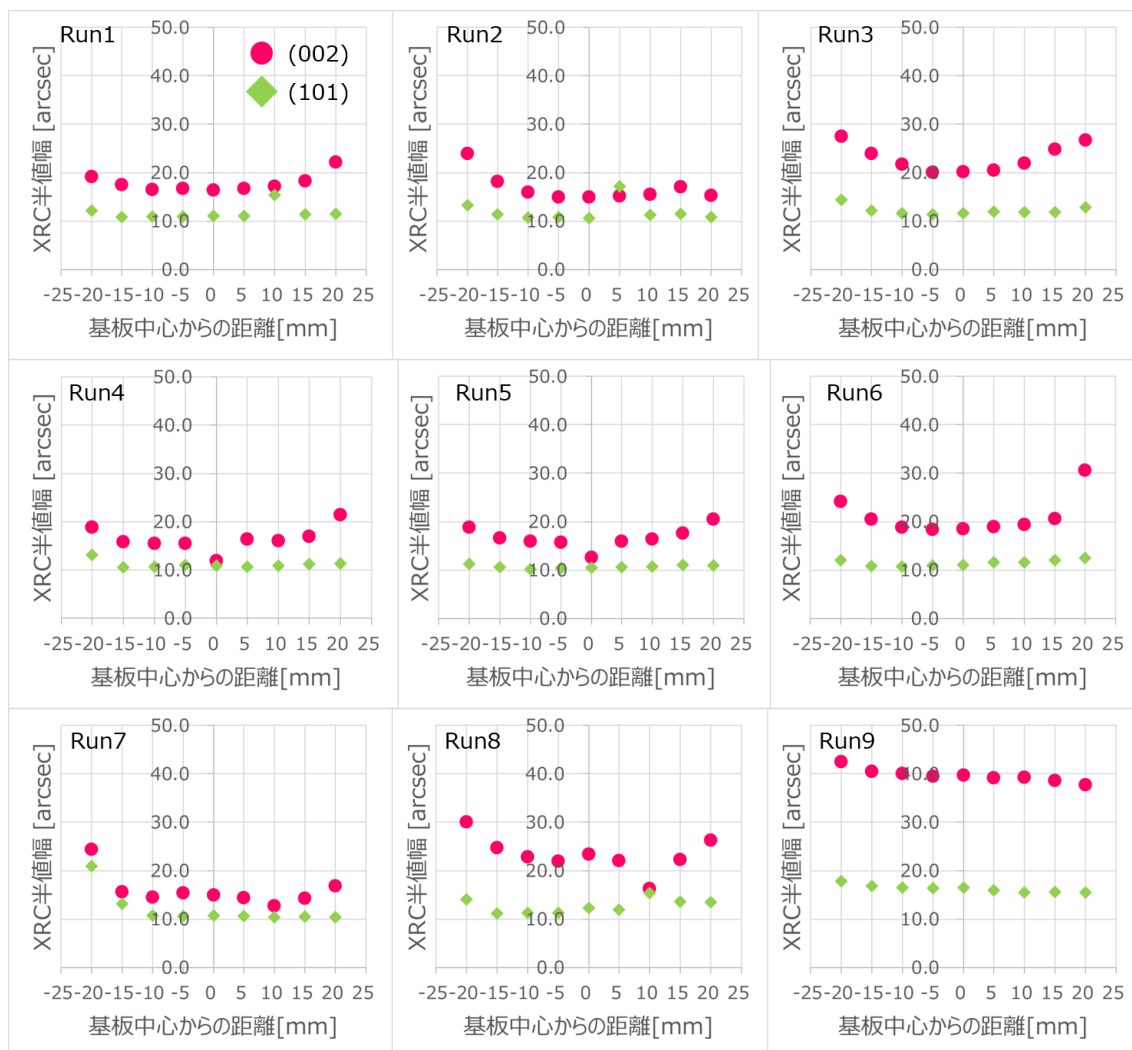
表②-7-1 φ2インチ HVPE-A1N 基板(CMP 後)の特性

項目	目標値	Run No.									
		1	2	3	4	5	6	7	8	9	
基板サイズ	~ φ 2inch	47.8	47.8	47.8	47.8	47.8	47.7	47.7	48.2	48.2	
厚さ	全体	0.5 mm [※] ₅	0.503	0.500	0.497	0.486	0.482	0.479	0.481	0.520	0.521
	HVPE 部	≥ 0.1 mm	0.388 - 0.430	0.350 - 0.423	0.330 - 0.397	0.294 - 0.393	0.363 - 0.407	0.306 - 0.407	0.333 - 0.391	0.225 - 0.323	0.217 - 0.274
XRC 半 値 幅	(002)	<50 arcsec	16	15	20	17	14	24	22	23	40
	(101)		11	11	12	12	10	13	13	12	17
不純物濃度 Si, O, C に ついて	< 5 × 10 ¹⁷ atoms/c m ³	Si: 9.8X10 ¹⁶ O: 3.3X10 ¹⁷ C: 4.1X10 ¹⁵			Si: 1.0X10 ¹⁷ O: 3.8X10 ¹⁷ C: 3.0X10 ¹⁵						
N 極性面(裏 面)粗さ	Ra < 2 nm	5.6	3.5	3.0	1.9	2.5	2.3	2.2	1.7	2.1	

※5：種基板として使用したφ2inch PVT-A1N 基板の厚み(納入仕様値)が、これまで使用してきたφ1inch、φ35 mmのPVT-A1N 基板の厚みより0.1 mm薄くなったことにより、0.5 mmに変更設定

令和3年度の開発目標であるN極性面Ra<2 nm以外は、目標値をクリアーしていることが確認された。N極性面のRa値は、CMP研磨の条件B及びCでは、平均2.1 nm(最大2.5 nm、最小1.7 nm)で、目標値に対し、1.1倍程度であることも明らかになった。この結果は、CMP研磨の工程に於いて、裏面(N極性面)のCMP条件の見直しを実施せず、最終洗浄条件の改善だけで、目標値をクリアーできる可能性を示唆している。そのため、まずは、研磨工程での残渣を除去するための最終洗浄工程で使用する薬液について、不要な研磨剤を除去でき、かつエッチングによる表面荒れを発生させない条件への変更、使用薬液の再選定、の検討から着手することとした。

図②-7-8にCMP研磨後の基板のXRC半値幅分布を示す。CMP研磨後の基板においても、ホモエピタキシャル成長後の基板と同様に、X線ロックンクカーブ(0002)対称面及び(10 $\bar{1}$ 1)非対称面のX線の半値幅は、基板外周付近でやや大きくなる傾向があったが、基板端2 mmを除く面内では50 arcsec以下と均質な結晶が得られた。



図②-7-8 CMP 研磨後の基板の結晶性の面内分布

3. 2. 8 AlN 基板の高純度化(ガスフロー条件最適化に伴う不純物取り込み影響調査①)

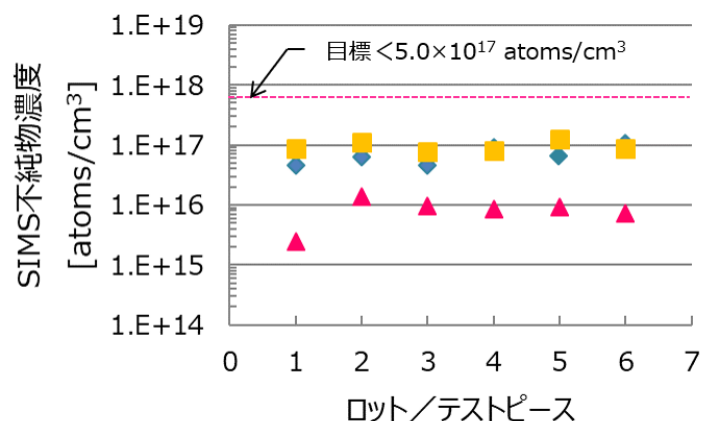
平成31年度までの検討に於いて、以下(1)～(3)の対策を実行し、開発目標値(中間評価時・最終) $<5 \times 10^{17}$ atoms/cm³はクリアできている。

- (1) HVPE 装置成長部の 1500℃程度の高温となる基板加熱部周辺に設置している部材の材質変更(石英製→窒化ホウ素)
- (2) 基板加熱周辺(高温領域以外も含む)に設置している部材の清浄性を一定のレベルに保てるよう、定期的なクリーニングの実施
- (3) クリーニングし易い部材構造及び副生成物等の析出が起り難い部材構造への設計変更

しかし、0 不純物濃度がやや高いレベルとなっていた(平成30年度: 10^{16} atoms/cm³ 台→平成31年度: 10^{17} atoms/cm³ 台)こと、大口径化の検討に於けるノズルの改良及びガスフロー条件最適化による不純物取り込みへの影響に関して注視する必要があること、将来の生産技術確立に向けた追加施策を実行する必要があること、から検討を継続した。

図②-8-1 に、φ2 インチサイズの PVT-AlN 基板を種基板として用いたホモエピタキシャル成長

に於いて、不純物濃度を管理するために成長 15 回毎を目安に行っているテストピースでの SIMS 不純物濃度の推移を、表②-8-1 に、各年度の SIMS 測定結果を示す。令和 2 年度実施 φ2 インチホモエピ結果欄に記載した数値は、テストピースでの SIMS 不純物濃度分析結果の平均値(n = 6)である。上記対策(2)(3)を継続することにより、Si 不純物は 7×10^{16} atoms/cm³、O 不純物は 9×10^{16} atoms/cm³ レベルに維持できている。



図②-8-1 SIMS 不純物濃度の推移 (C 濃度は全て検出下限値を示す)

表②-8-1 SIMS 測定結果

不純物濃度 [atoms/cm ³]	平成 29 年度実施		平成 30 年度実施 追加対策	平成 31 年度実施 φ2 インチホモエピ結果	令和 2 年度実施 φ2 インチホモエピ結果
	対策前	対策後			
Si	1×10^{18}	2×10^{17}	4×10^{16}	1×10^{17}	7×10^{16}
O	2×10^{17}	5×10^{17}	7×10^{16}	4×10^{17}	9×10^{16}
C	$< 2 \times 10^{16}$	$< 2 \times 10^{16}$	$< 3 \times 10^{16}$	$< 4 \times 10^{15}$	$< 8 \times 10^{15}$

また、平成 31 年度に導入した非接触抵抗評価装置を用いて、AlN 基板の絶縁性評価を行った。実施項目③及び⑩に提供した 2 インチ基板のシート抵抗値は、670,000 Ω/sq(n = 5)程度であった。

3. 2. 9 AlN 基板の大口径化IV

3. 2. 7 で述べたとおり、AlN エピタキシャル成長を効率よく行うためには、成長中の AlCl₃ ガスと NH₃ ガスとの気相反応を抑制しつつ、種基板直上のみに均一な原料を供給できる精密なノズル設計とガスフロー調整が必要である。これまでの検討により、前者の寄与が大きいことが明らかになっていることから、ノズルの設計改良並びに新規設計ノズルの導入・ガスフロー条件の最適化を継続した。

平成 31 年度までの検討では、「再改良ノズル c1414(元ノズル(c1411)の吹き出し角度を変更した「改良ノズル c1413」について改良し、片流れ抑制をしたノズル)」を使用して、原料ガス供給条件等を最適化し、φ2 インチサイズの PVT-AlN 基板を種基板として用いたホモエピタキシャル成長を行い、基板中心から φ2 インチ基板の外周位置において、平均成長速度 70 μm/h 以上を維持したまま、膜厚分布 ±10% が達成できていることを確認した。

しかし、PL 分布 (AlN のバンド端発光 (5.92 eV) 強度と 3.2 eV ディープレベル発光強度の面内分布) を評価したところ、基板外周部に於いて、バンド端発光が強まる傾向 (図②-7-7(b)) がみられ、それ以上に 3.2 eV のディープレベル発光強度が強まる傾向 (図②-7-7(c)) が確認された。基

板外周部では主要な不純物は減少している(図②-6-1)ため、外周付近の原料ガス濃度の混合状態による影響(V/III比)が現れていると考察した。

令和2年度は、均一な原料を供給できるよう、「再改良ノズルc1414」をさらに改良した「再々改良ノズルc1415」を使用し、2インチ基板面内のAlN成長膜厚均一性について検討を行った。また、平成31年度の課題であった基板外周部での3.2 eVのディープレベル発光強度が強まる主要原因を特定するため、ノズルの改良・改良ノズルの導入・ガスフロー条件の最適化に合せ、継続調査を進めた。

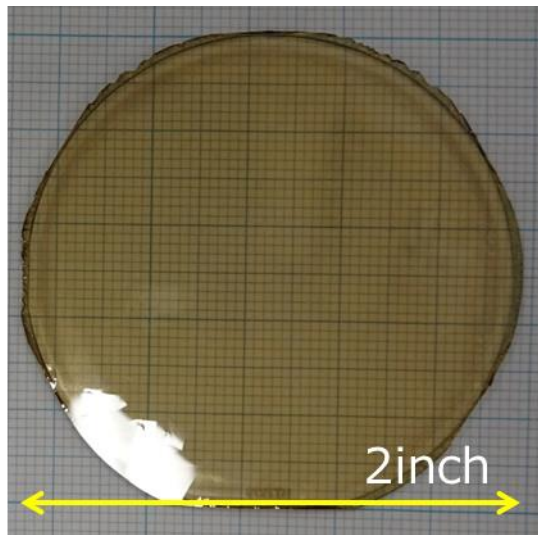
3. 2. 9. 1 「再々改良ノズルc1415」による成長膜厚均一性の検討

表②-9-1に、「再改良ノズルc1414」、「再々改良ノズルc1415」を使用した成長ロットに於ける成長速度と分布及びX線ロックアップカーブ(0002)対称面のX線の半値幅(基板中心のデータ)を示す。「再々改良ノズルc1415」を使用することで、「再改良ノズルc1414」を使用した成長と同程度の平均成長速度70 $\mu\text{m/h}$ 、結晶品質を維持したまま、膜厚分布を改善できていることが確認された。

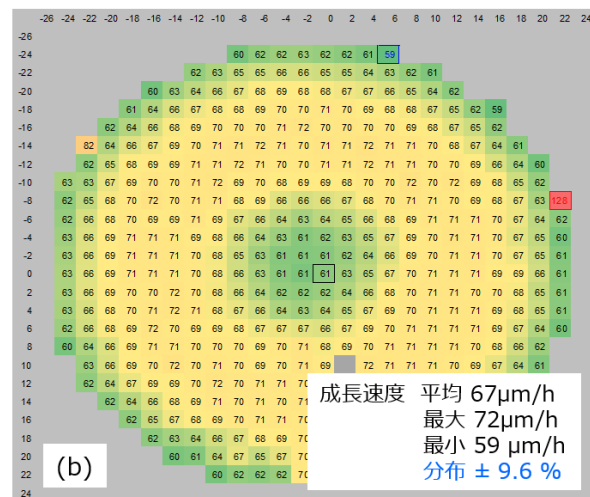
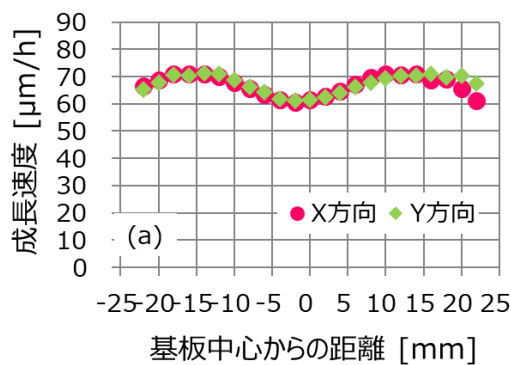
表②-9-1 「再改良ノズルc1414」、「再々改良ノズルc1415」を使用した成長ロットに於ける成長速度と分布及びXRC半値幅

		再改良ノズル (c1414)	再々改良ノズル (c1415)
		n=12	n=13
成長速度 [$\mu\text{m/h}$]	平均	65.7	67.3
	最大	71.6	72.4
	最小	55.0	58.1
分布 [$\pm\%$]	平均	12.7	11.0
	最大	15.3	12.5
	最小	10.0	9.6
XRC半値幅 (0002)対称面の平均値 [単位: arcsec]	PVT-AlN種基板	13	13
	HVPE層	18	17

図②-9-1に膜厚分布が $\pm 9.6\%$ に改善された基板の外観写真、図②-9-2に基板中心からの距離と成長速度との関係及び成長速度の面内分布を示す。基板中心から $\phi 2$ インチ基板の外周位置までの平均成長速度は、およそ70 $\mu\text{m/h}$ 以上を維持したまま、分布が $\pm 9.6\%$ まで改善された。

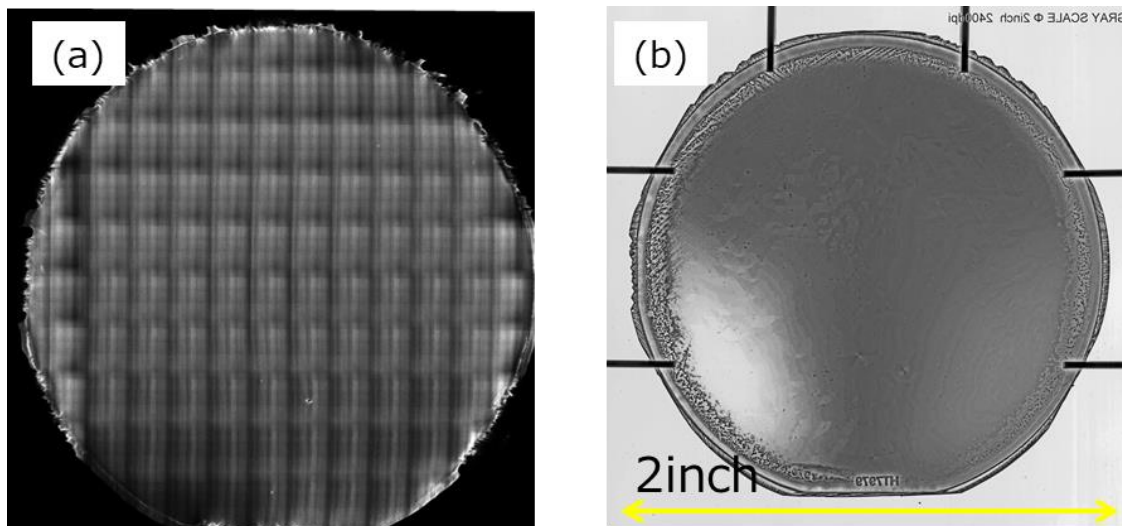


図②-9-1 ホモエピタキシャル後の基板の外観写真



図②-9-2 ホモエピタキシャル成長後の基板の膜厚分布
(a) 基板中心からの距離と成長速度との関係、(b) 成長速度の面内分布

図②-9-3 に反射 X 線トポ像、屈折率分布並びに X 線ロッキングカーブ半値幅分布(結晶性の面内分布)調査の結果を示す。反射 X 線トポ像及び複屈折率分布像より、「再々改良ノズル c1415」を使用し成長させた HVPE 層においても、種基板として用いた PVT 基板の結晶性を引き継ぎ、比較的良好的な結晶が作製できていることが分かった。X 線ロッキングカーブ(0002)対称面の X 線の半値幅は、基板中心～10 mm 範囲では、20 arcsec 以下で面内分布もほとんど無く、均質な結晶が得られていることが確認されたが、再改良ノズル(c1414)を使用したホモエピタキシャル成長同様、基板外周付近では、中間評価時の目標値(2 インチ基板の基板端 2 mm を除く面内において X 線ロッキングカーブ半値幅 > 50 arcsec)はクリアーしているものの、やや大きくなる傾向が見られた。



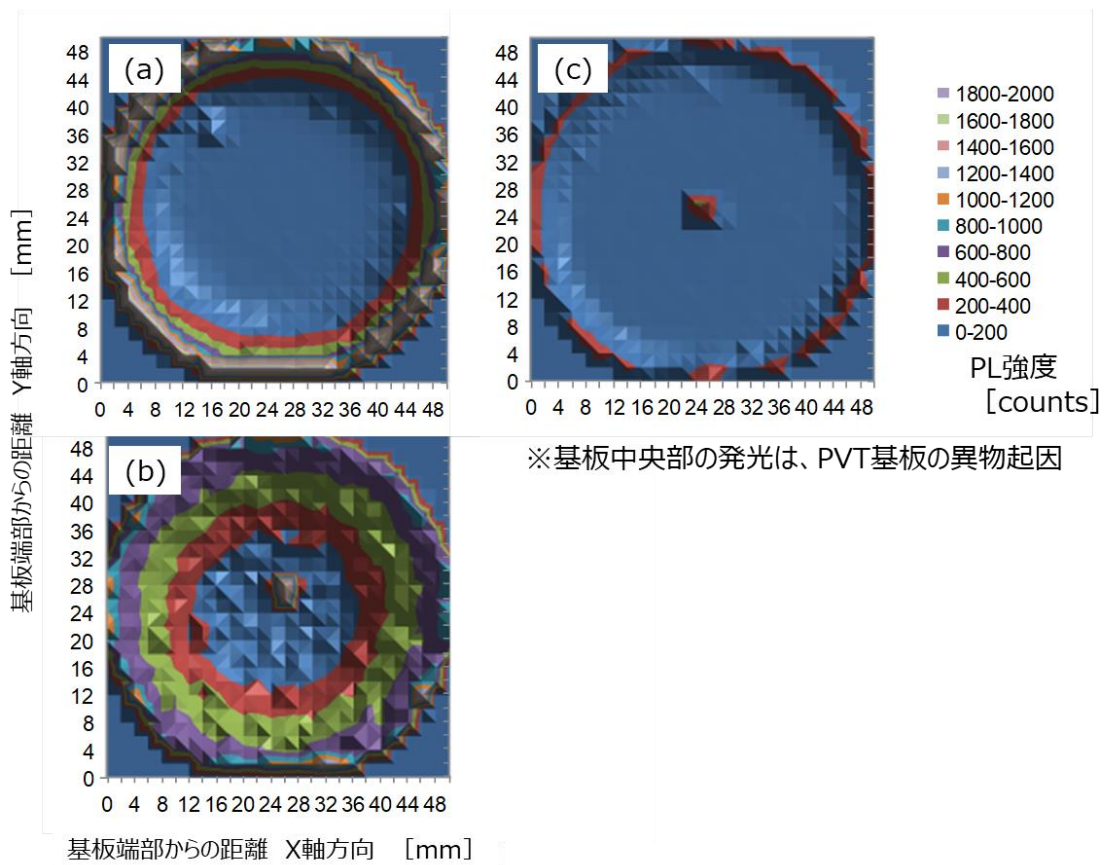
基板中心からの距離 [mm]		-20	-10	0	10	20
XRC半値幅 [arcsec]	PVT基板 (ホモエピ前)	21	12	13	16	16
	HVPE層 (ホモエピ後)	27	16	17	17	19

図②-9-3 ホモエピタキシャル成長後の基板の(a)反射X線トポ像、
(b) 複屈折率分布並びに結晶性の面内分布

3. 2. 9. 2 基板外周部に於ける 3.2 eV のディープレベル発光強度が強まる

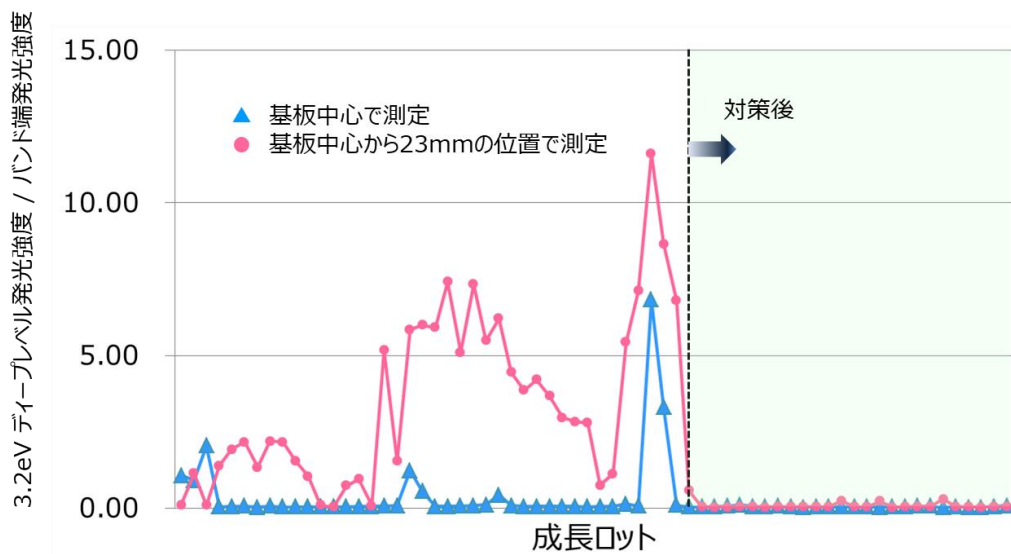
主要原因の特定

図②-9-4 にホモエピタキシャル成長後の基板の PL 分布 (3.2 eV ディープレベル発光強度の面内分布) 評価結果を示す。HVPE 装置内の原料部に設置している AlCl_3 ガスの原料である高純度金属 Al の補充直後 (図②-9-4(a)) 並びに HVPE 装置メンテナンス直後 (図②-9-4(b)) にホモエピタキシャル成長した基板の外周部に於いて、3.2 eV のディープレベル発光強度が強まる傾向があることが明らかになった。金属 Al 表面の酸化膜や装置メンテナンスの際 (大気開放時) にリアクタ壁面に吸着した水分が酸素不純物源となっていると推定した。対策として、前記作業を実施した後は、成長前に空エピ (種基板を設置しない状態で成長時と同一条件で昇降温) を実施した。対策後の PL 分布結果 (図②-9-4(c)) から、空エピに効果があることが分った。



図②-9-4 ホモエピタキシャル成長後の基板の PL 分布 / 3.2 eV ディープレベル発光
 (a) 高純度金属 Al1 の補充直後、(b) HVPE 装置メンテナンス直後、(c) 対策後

図②-9-5 に対策前後の成長ロット毎の基板中心及び基板中心から 23 mm 位置で測定したバンド端発光 (5.93 eV) 強度に対する 3.2 eV ディープレベル発光強度の推移を示す。対策により、3.2 eV ディープレベル発光強度が基板外周で高くなる傾向は抑制できていることが明らかになった。

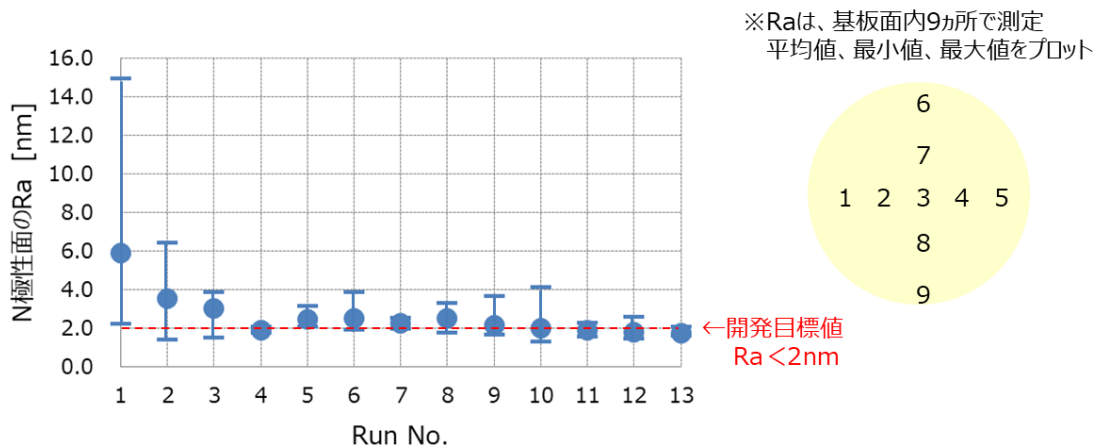


図②-9-5 対策前後の成長ロット毎のバンド端発光 (5.93 eV) 強度に対する 3.2 eV ディープレベル発光強度の推移

3. 2. 10 N 極性面 AlN 基板のエピレディ研磨技術の確立(最終洗浄工程で

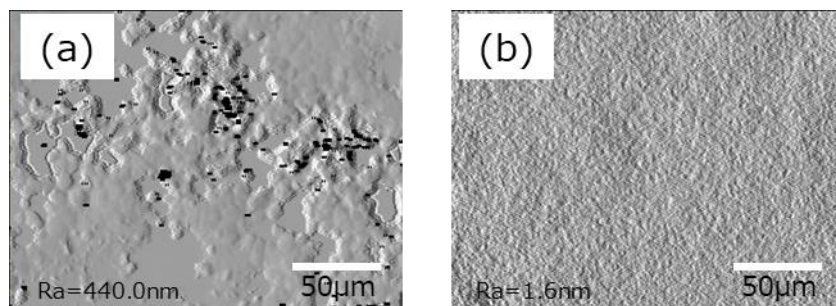
使用する薬液再選定)

令和3年度の開発目標値 $Ra < 2 \text{ nm}$ の実現を目指し、N 極性面 AlN 基板のエピレディ研磨技術の検討を開始した。平成31年度から実施している $\phi 2$ インチ種基板を用いたホモエピタキシャル成長(繰り返し試作)後の CMP 研磨(オフ角調整・外周研削・裏面(N 極性面)及び表面(Al 極性面)の CMP・最終洗浄)の条件最適化に於ける N 極性面の Ra 値測定結果を図②-10-1 に示す。尚、Ra 値は、白色干渉顕微鏡により光干渉方式でエリアスキャン測定を行い、非接触で高さデータを取得し、表面形状を解析(干渉縞の光強度データを周波数領域解析後、強度変化から位相空間周波数を算出)した値である。N 極性面の Ra 値は、CMP 研磨条件の最適化により低減し、バラツキも低減傾向にあることが分かった。



図②-10-1 N 極性面の粗さ(Ra)測定結果

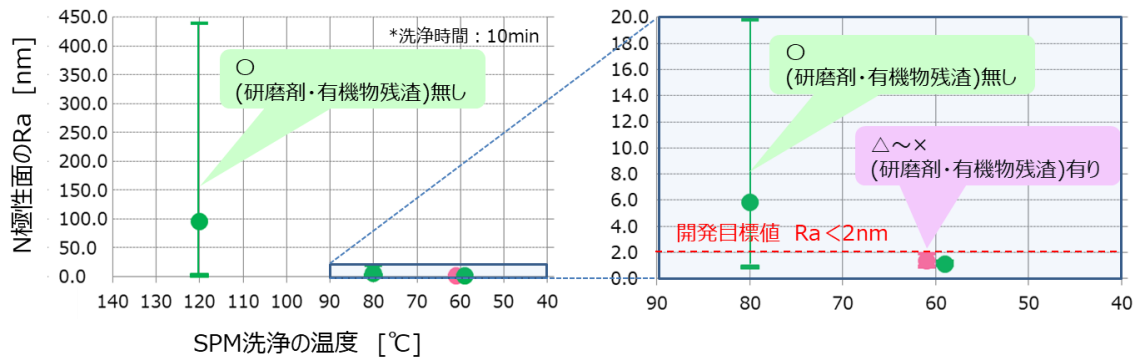
図②-10-2 に、N 極性面を白色干渉顕微鏡で観察した画像を示す。Ra 値が大きい箇所は、表面が荒れている様子が確認された。研磨工程で使用する研磨剤、基板を研磨用プレートに固定する際に使用する接着剤に起因する有機物残渣を除去するために使用している SPM 洗浄液 ($\text{H}_2\text{SO}_4(4) : \text{H}_2\text{O}_2(1)$)での洗浄により、エッチングされていることが確認された。



図②-10-2 N 極性面の表面状態

(a) $Ra = 440.0 \text{ nm}$ の領域、(b) $Ra = 1.6 \text{ nm}$ の領域

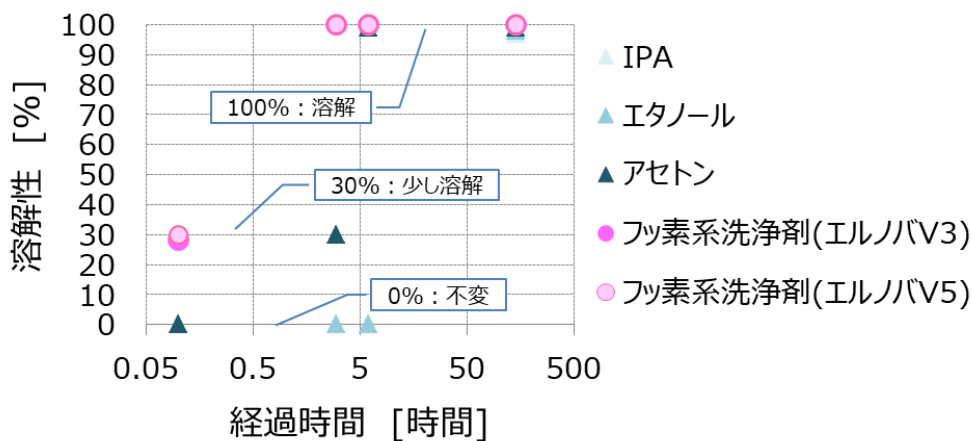
そこで、最終洗浄条件の見直しを行った。図②-10-3 に SPM 洗浄の温度を下げた場合の Ra 値及び基板外観観察結果をまとめる。従来条件($120^\circ\text{C} \times 10 \text{ min.}$)に対し、温度を 1/2 程度まで下げることで、Ra 値を低減できることが確認できたが、研磨剤、有機物残渣の除去能力も低下し、汚れとして残留してしまっている状態であることが分かった。



図②-10-3 SPM 洗浄温度変更の結果

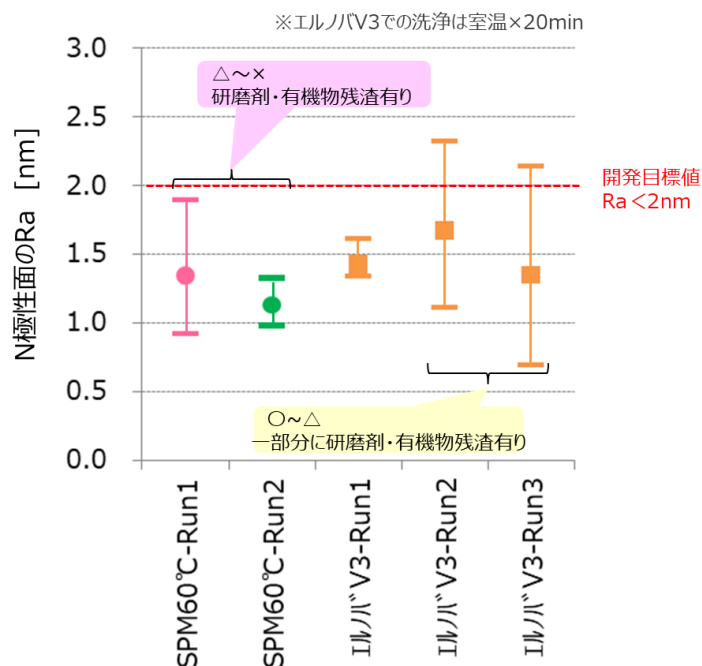
研磨剤、有機物残渣を確実に除去でき、かつエッチングによる表面荒れを発生させない薬液の再選定が必要であることが明らかになった。SPM 洗浄液を選択した際は、“強力な酸化力により除去する”がコンセプトであったが、今回は、“溶解し落とす”をコンセプトとし、薬液の再選定を行った。

研磨工程で、基板を研磨用プレートに固定する際に使用する接着剤の成分は、IR 分析により、ステアリン酸、パルミチン酸、ノナデシル酸等の高級脂肪酸で構成されていることが分った。これら高級脂肪酸は、ジエチルエーテルに易溶だが、ジエチルエーテルは、危険性、毒性が強く麻酔性もあるため、他の汎用溶剤並びに難溶性の加工油を落とすことが可能なフッ素系洗浄剤（ベース溶剤にオゾン破壊係数ゼロのフッ素溶剤を使用したトクヤマ METEL 製の『HCFC-225』代替洗浄剤）での溶解性テストを行った。図②-10-4 に結果を示す。フッ素系洗浄剤（エルノバ V3、エルノバ V5）が有効であることが明らかになった。



図②-10-4 溶解性テスト結果

再選定したフッ素系洗浄剤（エルノバ V3）での AlN 基板での洗浄テストを行った。結果を図②-10-5 に示す。バラツキによって基板面内で開発目標値 Ra < 2 nm を逸脱する箇所があるが、洗浄温度・時間の最適化により、開発目標値達成が可能なレベルであると考えられる。

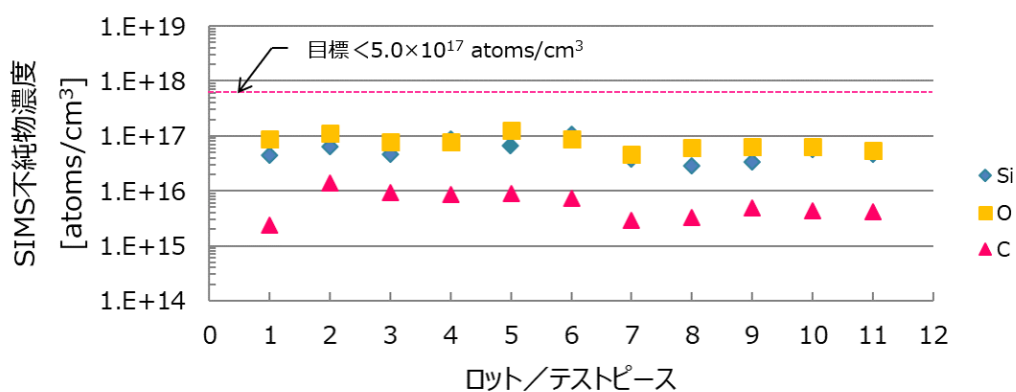


図②-10-5 フッ素系洗浄剤(エルノバ V3)を使用した洗浄テストの結果①

3. 2. 1 1 A1N 基板の高純度化(ガスフロー条件最適化に伴う不純物取り込み影響調査②)

令和2年度までの研究結果により効果が確認された対策を継続することで、開発目標値(中間評価時・最終) $<5 \times 10^{17}$ atoms/cm³はクリアーし、Si不純物は 7×10^{16} atoms/cm³、O不純物は 9×10^{16} atoms/cm³レベルに維持できている。しかし、後述する大口径化の検討において、更なる膜厚分布改善のためのガスフロー条件調整を行うことから、不純物取り込みへの影響に対して注視する必要があること、また、デバイス試作(実施項目③・⑩)へ提供するA1N基板の品質安定性を監視する必要があること、から調査を継続した。

図②-11-1に、φ2インチサイズのPVT-A1N基板を種基板として用いたホモエピタキシャル成長に於いて、不純物濃度を管理するために成長15回毎を目安に行っているテストピースでのSIMS不純物濃度の推移(1~6ロット/令和2年度、7~11/令和3年度)を、表②-11-1に、各年度のSIMS不純物濃度分析の平均値を示す。令和3年度実施φ2インチホモエピ結果欄に記載した数値は、テストピースでのSIMS不純物濃度分析結果の平均値(n=5)である。3.2.8に記載した対策(2)(3)を継続することにより、Si不純物は 4×10^{16} atoms/cm³、O不純物は 6×10^{16} atoms/cm³レベルに維持することができた。



※1~6ロット/令和2年度結果、7~11/令和3年度結果

図②-11-1 SIMS 不純物濃度の推移 (C 濃度は全て検出下限値を示す)

表②-11-1 SIMS 測定結果

不純物濃度 [atoms/cm ³]	実施年度					
	平成 29		平成 30 追加対策	平成 31 φ 2 インチ ホモエピ° 結果	令和 2 φ 2 インチ ホモエピ° 結果	令和 3 φ 2 インチ ホモエピ° 結果
	対策前	対策後				
Si	1×10 ¹⁸	2×10 ¹⁷	4×10 ¹⁶	1×10 ¹⁷	7×10 ¹⁶	4×10 ¹⁶
O	2×10 ¹⁷	5×10 ¹⁷	7×10 ¹⁶	4×10 ¹⁷	9×10 ¹⁶	6×10 ¹⁶
C	<2×10 ¹⁶	<2×10 ¹⁶	<3×10 ¹⁶	<4×10 ¹⁵	<8×10 ¹⁵	<4×10 ¹⁵

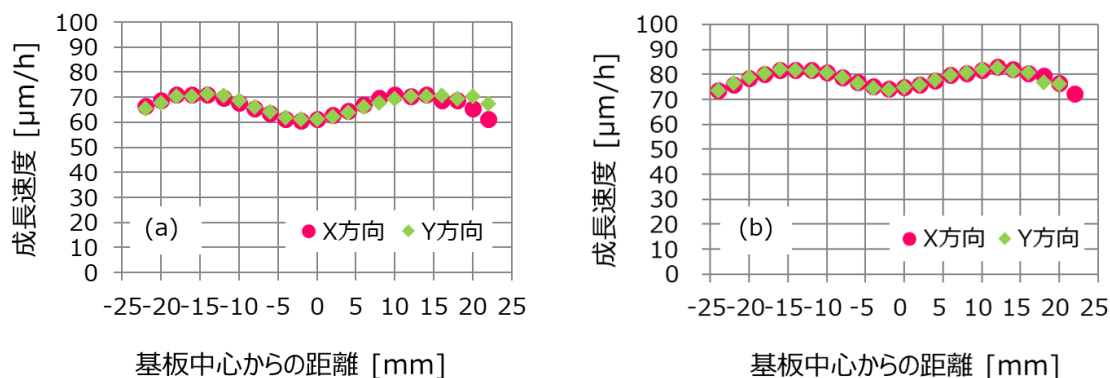
3. 2. 1 2 AlN 基板の大口径化 V

令和 2 年度までの検討で、「再々改良ノズル c1415」を使用して、原料ガス供給条件等を最適化し、平均成長速度 70 μm/h 以上を維持したまま、膜厚分布±9.6%まで改善した。また、AlCl₃ガスの発生原料である金属 Al 表面の酸化膜や装置メンテナンスの際にリアクタ壁面に吸着した水分が酸素不純物源となり、基板外周部に於いて 3.2 eV のディープレベル発光強度が強まる主要原因となっていることを特定した。そして、対策(成長前の空エピの実施)により、3.2 eV のディープレベル発光強度を抑制できることを確認した。

令和 3 年度は、安定した品質の φ 48.5 mm AlN 基板をデバイス試作(実施項目③・⑩)へ提供できるよう、更なる改善を進めた。加えて、PVT-AlN 基板を除去するプロセス条件を確立し、面内均一性の高い高純度 HVPE-AlN 基板作製に関して、検討した。

3. 2. 1 2. 1 「再々改良ノズル c1415」を使用した条件最適化による膜厚分布改善

「再々改良ノズル c1415」を使用し、更なる条件調整を継続した。図②-12-1 に原料(AlCl₃ガスと NH₃ガス)を約 30%増量し、さらにバリアガス流量を調整した成長条件でホモエピタキシャル成長した基板の基板中心からの距離と成長速度との関係、表②-12-1 に成長速度と分布及び XRC 半値幅を示す。原料ガス供給条件を調整することで、結晶品質を維持したまま、成長速度を約 1.2 倍に改善でき、膜厚分布についても改善できることが確認された。



図②-12-1 ホモエピタキシャル成長後の基板の基板中心からの距離と成長速度との関係。
(a) 令和2年度検討結果、(b) 令和3年度検討結果

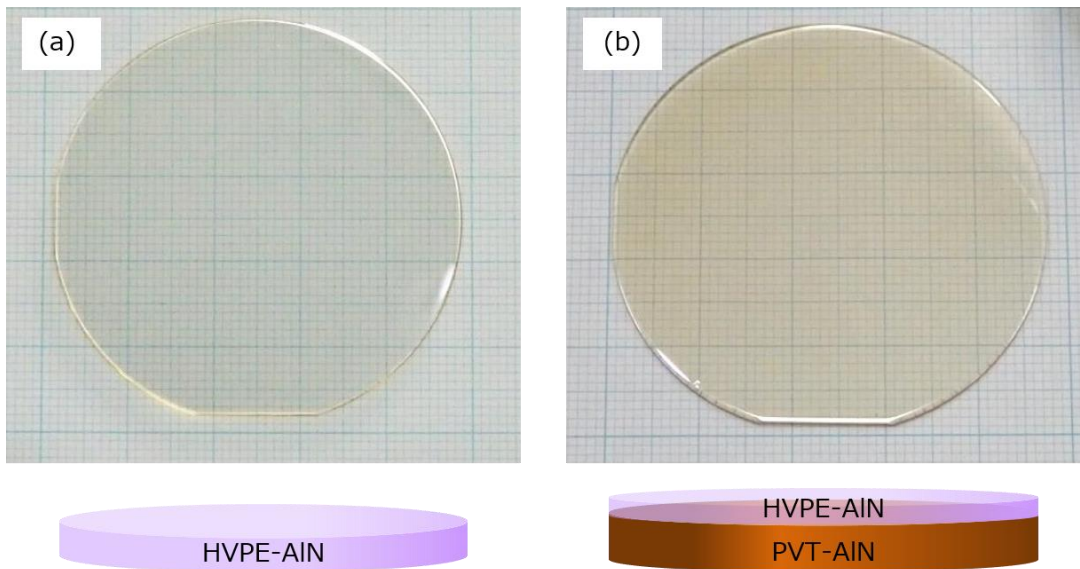
表②-12-1 「再々改良ノズル c1415」を使用した成長速度と分布及びXRC半値幅

		令和2年度成果	原料ガス供給条件調整後
成長速度 [$\mu\text{m/h}$]	平均	67.3	78.4
	最大	72.0	83.2
	最小	59.0	70.6
	分布	$\pm 9.6\%$	$\pm 8.0\%$
XRC 半値幅 (0002) 対称面の平均値 [arcsec]		17	13

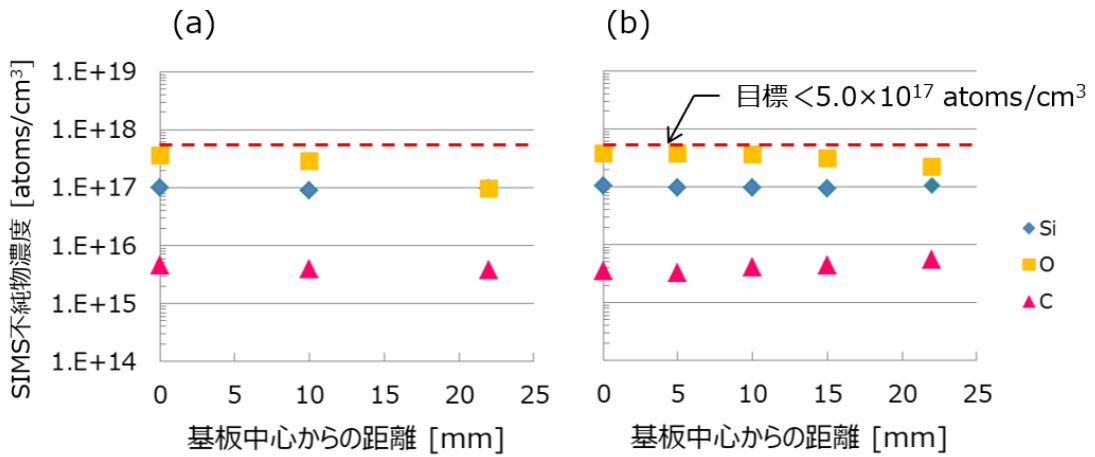
3. 2. 1 2. 2 高純度 HVPE-A1N 基板作製検討

HVPE 成長の種基板として用いた PVT-A1N 基板を研磨により除去し、その後、両面 CMP 研磨を行い、HVPE-A1N 自立基板を作製した。図②-12-2 に試作した基板の外観写真、図②-12-3 に不純物濃度分布、図②-12-4 に結晶性の面内分布を示す。

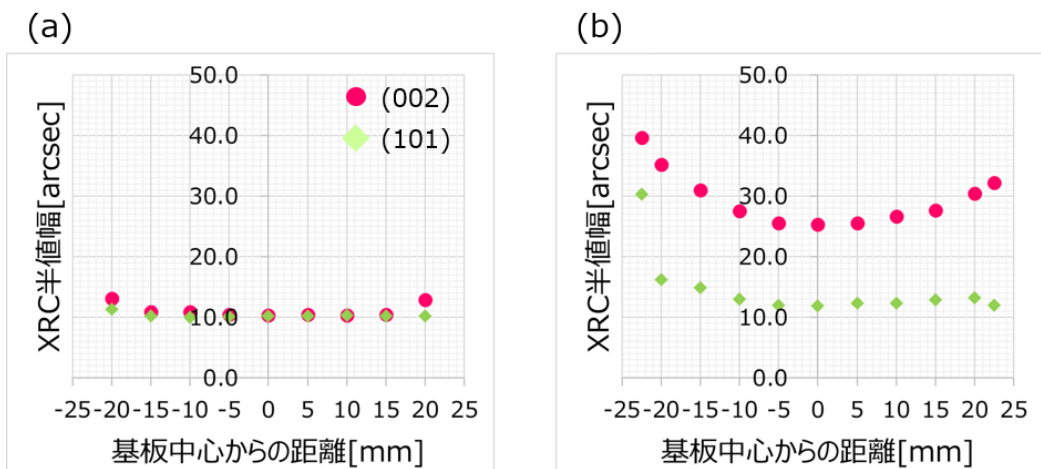
PVT-A1N 基板を完全に除去し、無色透明な HVPE-A1N 自立基板を作製することができた。最終的に自立基板とするため、HVPE/PVT 積層基板(テンプレートタイプ)作製時よりも、厚膜成長させているが、不純物濃度に関しては、テンプレートタイプの面内分布と差異が無いことが明らかになった。また、結晶性に関しては、テンプレートタイプの場合、(0002)対称面、(10 $\bar{1}$ 1)非対称面共に、X線の半値幅は、基板外周付近でやや大きくなる傾向があったが、自立基板では、面内均質な結晶が得られていることが確認された。



図②-12-2 試作した基板の外観写真
 (a)HVPE-AlN 自立基板、(b)HVPE/PVT 積層基板



図②-12-3 不純物濃度の面内分布
 (a) HVPE-AlN 自立基板、(b) HVPE/PVT 積層基板



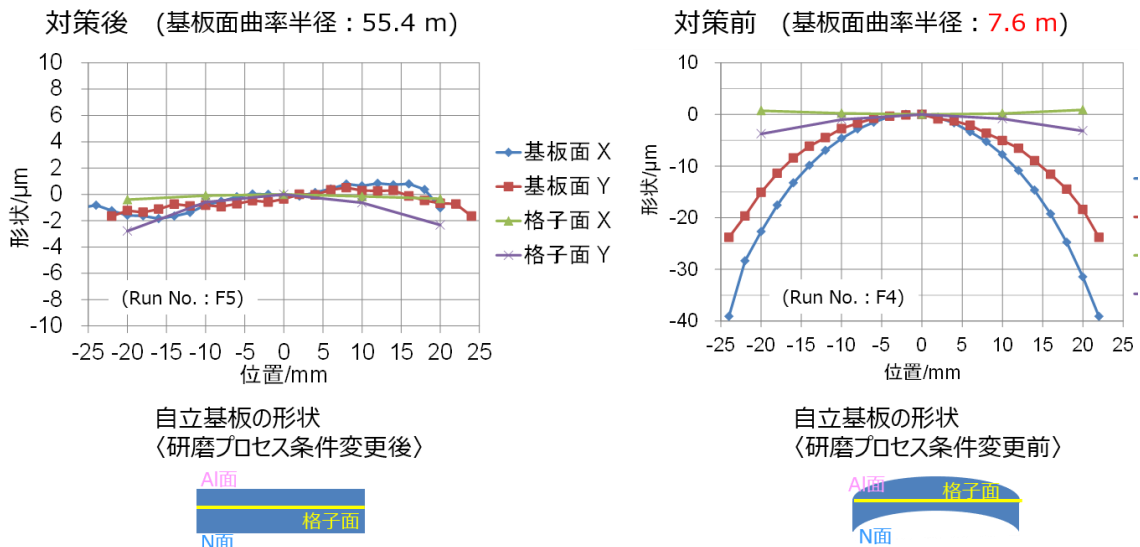
図②-12-4 結晶性の面内分布
 (a)HVPE-AlN 自立基板、(b)HVPE/PVT 積層基板

次に、表②-12-2に同条件で試作した4枚の自立基板の特性評価結果をまとめる。青字で記載した目標値は、自立基板についての自主目標値である。目標値に対して不合格の数値を赤字で示す。新たな課題として、“基板面曲率半径”の値が小さい、即ち、基板形状反りが大きいことが明らかになった。なお、0不純物濃度が目標値を超えているが、φ2インチ対応ノズルへの変更、条件調整等により、不純物が増加傾向にあった時期(φ2インチホモエピ成長の検討を開始した平成31年度)に作製・評価し、保管していたアズグロウン基板をPVT-AlN基板除去のための検討用基板として使用したため、不純物増加に対しては、既に対策済みであり、問題無いと考えている。

表②-12-2 試作した自立基板の特性評価結果

評価項目	目標値	HVPE-AlN自立基板 Run No.				HVPE/PVT積層基板 n=10 平均
		F1	F2	F3	F4	
直径	~φ2 inch (48.5 ±0.5 mm)	48.2	48.2	48.2	48.2	48.3
基板厚さ	500 μm 0.37 ±0.02 mm	0.364	0.297	0.360	0.402	0.506
面方位	c面(0001)	c面(0001)				c面(0001)
オフ角	0.30 +0.07, -0.05 deg	0.31	0.25	0.27	0.27	0.32
XRC半値幅	(002)	12				26
	(101)	10				13
不純物濃度	Si	1.6X10 ¹⁷				1.3X10 ¹⁷
	O	8.5X10 ¹⁷				4.1X10 ¹⁷
	C	7.0X10 ¹⁵				4.6X10 ¹⁵
Al面	Epi ready	ステップ-テラス構造				ステップ-テラス構造
N面粗さ Ra	<2nm	1.9	1.3	1.0	1.1	2.3
結晶格子面曲率半径	> 15 m	447.6	116.6	207.2	244.3	18.2
基板面曲率半径	> 15 m	11.6	5.9	7.2	7.6	64.8

基板の形状反りが大きい場合、デバイス試作工程に於いて、基板割れが発生する可能性が高くなるため、対策を講じる必要があると判断した。N極性面研磨後の基板のトワイマン効果による基板反りが原因であると推定し、対策として、PVT-AlN基板を研磨により除去する際のプロセス条件を変更した。図②-12-5に基板反り対策前後の自立基板の形状を示す。基板の断面模式図に示したように、対策前は、格子面形状がフラットであるのに対し、基板面形状が上に凸状となっていた。トワイマン効果による反りを低減できるよう、研磨のプロセス条件を変更した基板(対策後)は、格子面と基板面がほぼ平行となり、格子面形状、基板面形状共にフラットとなったことが確認された。



図②-12-5 基板反り対策前後の自立基板の形状

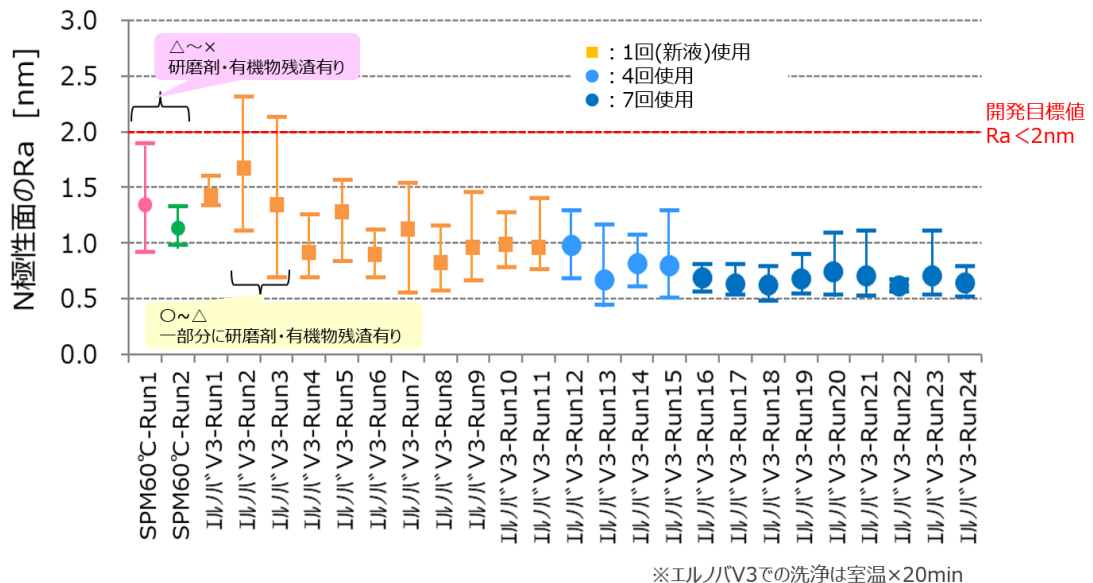
表②-12-3 に研磨プロセス条件を変更し試作した 4 枚の自立基板の特性評価結果を示す。対策により、“基板面曲率半径”の値は大きくなり、即ち、基板形状反りは、デバイス試作用の基板として十分適用できる水準に到達したと判断された。

表②-12-3 試作した自立基板の特性評価結果(対策前後)

評価項目	目標値	Run No.				対策前 n=4 平均
		F5	F6	F7	F8	
直径	~φ2 inch (48.5 ±0.5 mm)	48.3	48.3	48.3	48.3	48.2
基板厚さ	500 μm 0.37 ±0.02 mm	0.408	0.320	0.320	0.321	0.356
面方位	c面(0001)	c面(0001)				c面(0001)
オフ角	0.30 +0.07, -0.05 deg	0.25	0.33	0.31	0.24	0.28
XRC半値幅	(002)	13	17	15	14	13
	(101)	10	12	11	11	10
不純物濃度	Si	1.1×10 ¹⁷	4.6×10 ¹⁶		4.5×10 ¹⁶	1.6×10 ¹⁷
	O	8.7×10 ¹⁶	7.7×10 ¹⁶		8.7×10 ¹⁶	8.5×10 ¹⁷
	C	7.3×10 ¹⁵	9.4×10 ¹⁵		2.4×10 ¹⁵	7.0×10 ¹⁵
Al面	Epi ready	ステップ-テラス構造				ステップ-テラス構造
N面粗さ Ra	<2nm	0.8	1.0	1.0	1.0	1.3
結晶格子面曲率半径	> 15 m	1112.5	153.8	266.5	3274.0	253.9
基板面曲率半径	> 15 m	55.4	43.3	31.5	33.2	8.0

3. 2. 1 3 N極性面 AlN 基板のエピレディ研磨技術の確立(フッ素系洗浄剤による洗浄条件最適化)

令和 2 年度の検討により、研磨剤、有機物残渣を確実に除去でき、かつエッチングによる表面荒れを発生させない薬液として、フッ素系洗浄剤(エルノバ V3)を再選定し、AlN 基板での洗浄テストを行い、その優位性を確認した。バラツキによって基板面内で開発目標値 Ra<2 nm を逸脱する箇所があったが、洗浄温度・時間の最適化により、開発目標値達成が可能なレベルであると判断し、フッ素系洗浄剤(エルノバ V3)での洗浄を継続検討した。結果を図②-13-1 に示す。



図②-13-1 フッ素系洗浄剤(エルノバ V3)を使用した洗浄テストの結果②

令和3年度に実施したエルノバ V3-Run4 以降の検討では、洗浄前の Ra を低減するため、CMP 研磨工程の仕上げで使用する研磨パッドを変更し、さらに、フッ素系洗浄剤(エルノバ V3)での洗浄前に中性洗浄剤での洗浄工程を追加した。その結果、開発目標値をクリアすることができ、再現性も確認された。管理値(洗浄液の交換頻度等)を決めるため、検討を継続したところ(エルノバ V3-Run12~24)、洗浄液は、繰り返し7回使用しても洗浄能力が低下しないことが明らかになった。

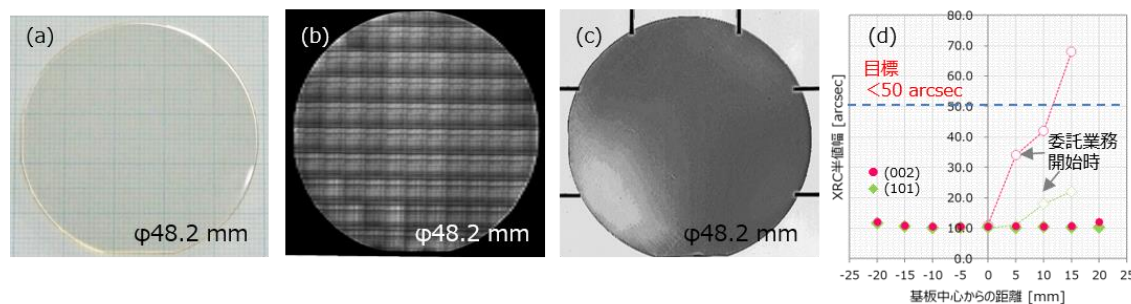
3. 2. 14 まとめ

本委託業務の成果を表②-14-1 にまとめる。また、図②-14-1 に、実証した面内均一性の高い高純度 HVPE-A1N 自立基板(成果(b))の外観写真、反射 X 線トポ像、複屈折率分布並びに結晶性の面内分布を示す。

表②-14-1 本委託業務の成果

評価項目	委託業務開始時	目標値	成果(a) テンプレート基板	成果(b) 自立基板	達成のための手段
基板サイズ [mm]	23	48.5±0.5	48.4	48.2	ノズルの改良
基板厚さ [mm] HVPE厚さ	0.6 0.18~0.38	0.5 ≥0.1 mm	0.50 0.14~0.31	0.35 —	原料供給の最適化
XRC半値幅 [arcsec.]	(002)	<100	25	13	研磨加工プロセスの改良
	(101)		13	10	
N極性面の粗さ[nm]	5.4*	<2	2.3*	0.8	フッ素系洗浄剤の適用 ※ 旧洗浄液を使用
不純物濃度 [atoms/cm ³]	Si	<5×10 ¹⁷ 基板中心及び 中心より22mm	4.1×10 ¹⁶		反応管部材の改良
	O		5.8×10 ¹⁶		リアクタ管理手法の最適化
	C		<3.9×10 ¹⁵		

(塗りつぶし色の凡例は、緑は“目標値の達成”を示す)



図②-14-1 HVPE-A1N 自立基板の(a) 外観写真、(b) 反射 X 線トポ像、(c) 複屈折率分布、(d) 結晶性の面内分布

A1N 基板の高純度化に関しては、HVPE 装置内部からの不純物混入を抑制するためのリアクタ部材の導入と、その低減効果検証を継続した。低減効果が確認された(最適設計された)不純物抑制リアクタ部材を適用し、部材の清浄性を厳密に管理することにより、開発目標値であった基板中心及び中心より 22 mm の範囲において不純物(Si、O、C)濃度<5×10¹⁷ atoms/cm³を達成し、維持するための技術も確立した。

A1N 基板の大口徑化に関しては、熱流体解析シミュレーション結果及び予め取得したノズル形状変更後のガス流れ予測データ等に基づき、2 インチ面内に均一な原料供給を可能とする 2 インチ対応ノズルの設計・製作・HVPE 装置への導入・原料ガス供給条件等の最適化、を実施した。

「再々改良ノズル c1415」を使用し、原料(AlCl_3 と NH_3 ガス)を約 30%増量し、バリアガス流量を調整することにより、平均成長速度 $78 \mu\text{m/h}$ で、膜厚分布 $\pm 8.0\%$ を達成した。また、令和 3 年度の目標であった PVT-AlN 基板を除去するプロセス条件を確立し、面内均一性の高い高純度 HVPE-AlN 基板作製を実証することができた。

さらに、N 極性面 AlN 基板のエピレディ研磨技術の確立に関しては、研磨剤、有機物残渣を確実に除去でき、かつエッチングによる表面荒れを発生させない薬液として、フッ素系洗浄剤(エルノバ V3)を再選定し、洗浄条件の最適化を行った。また、洗浄前の Ra を低減するため、CMP 研磨工程の仕上げで使用する研磨パッドを変更し、さらに、フッ素系洗浄剤(エルノバ V3)での洗浄前に中性洗剤での洗浄工程を追加することで、開発目標値をクリアーすることができ、再現性も確認された。

参考文献

- [1] R. T. Bondokov *et al.*, J. Cryst. Growth 310, (2008) 4020.
- [2] P. Lu *et al.*, J. Cryst. Growth 312, (2009) 58.
- [3] M. Bickermann *et al.*, Phys. Status Solidi C 7, (2010) 21.
- [4] H. Helava *et al.*, Phys. Status Solidi C 7, (2010) 2115.
- [5] V. Soukhoveev *et al.*, Phys. Status Solidi C 3, (2006) 1653.
- [6] Y. Kumagai *et al.*, J. Cryst. Growth 312, (2010) 2530.
- [7] A. Claudel *et al.*, Phys. Status Solidi C, 8 (2011) 2019.
- [8] T. Nomura *et al.*, J. Cryst. Growth 350, (2012) 69.
- [9] Y. Kumagai *et al.*, Appl. Phys. Express 5, (2012) 055504.
- [10] T. Nagashima *et al.*, Appl. Phys. Express 5, (2012) 125501.
- [11] T. Nagashima *et al.*, J. Cryst. Growth 300, (2007) 42.
- [12] N. Nepal *et al.*, Appl. Phys. Letters 89, 092107 (2006).

3.3 ③ 量子閉じ込めチャネル構造成長技術

3.3.1 はじめに

窒化ガリウム (GaN) は、高い飽和電子速度や高い絶縁破壊強度などの優れた特徴を有する。この特徴を利用した GaN 高電子移動度トランジスタ (High-Electron-Mobility Transistor: HEMT) は、高出力・高効率増幅器として有望であり、盛んに研究開発が進められてきた。本研究は GaN 材料限界を超えた更なる高出力化を見据えており、次世代材料である AlN を基盤とする新しいデバイスの開発を目指す。

量子閉じ込めチャネル構造は、量子井戸の壁面となる AlN 層と、その間に電子を閉じ込めるチャネル層にて構成される。目的とする特異な電子輸送現象を発現するためには、原子層レベルで平坦な界面を形成する必要がある。このため超高温成長によるプリカーサーのマイグレーション促進、パルス状原料供給、サーファクタントを利用した成長表面の制御技術等を導入することで、原子層レベルで平坦な AlN を利用した量子構造の実現を目指す。

平成 29 年度は、量子閉じ込めチャネル構造を実現する高温 MOCVD 装置の設計を行い、以下のように仕様を確定した。

成長可能膜 : AlN、GaN、InN およびその混晶
最高成長温度 : 1600°C 以上
基板サイズ : ~4inch×1 枚以上

また、高温 MOCVD 装置導入前の予備実験として、AlN ホモエピタキシャル結晶の成長条件依存性の調査を行い、現在保有している MOCVD 装置を用いて表面ラフネス $R_a < 1.0 \text{ nm}$ を目標に実験を行った。

平成 30 年度は、超高温 (1600°C 対応) MOCVD 装置を導入し、稼働を開始した。また、AlN エピタキシャル成長において、表面ラフネス $R_a < 0.5 \text{ nm}$ 、酸素 (O) 不純物濃度 $< 10^{17} \text{ cm}^{-3}$ を目標に成長温度・原料ガス流量比といった成長条件の最適化を行った。さらに、AlN 基板上 HEMT 構造の成長試作を行い、実施項目⑩にて 1 インチ AlN 基板上のトランジスタ試作を行った。

平成 31 年度は、平成 30 年度に開発した AlGaIn バッファ層構造のさらなる改善を行った。その結果、歪み $\text{Al}_{0.30}\text{Ga}_{0.70}\text{In}$ バッファ層を適用し、バッファ層中にピエゾ電界を生じさせることにより、GaN チャネル中の内部電界を低減し、GaN チャネル厚 30 nm においてチャネルシート抵抗 $R_{sh} < 400 \text{ ohm/sq}$ を実現した。また、量子サブバンドが形成されると考えられる GaN チャネル厚 15 nm においても $R_{sh} < 600 \text{ ohm/sq}$ を達成し、量子チャネル構造のプロトタイプを実現した。

令和 2 年度は、平成 31 年度に開発した AlN 基板上デバイスの基本構造を利用し、量子チャネルデバイスのプロトタイプ構造を試作した。その過程で、バッファ構造及びチャネル成長条件について検討を重ね、チャネル膜厚 30 nm 以下で 400 ohm/sq. 未満を実現した。さらに、極性制御による量子チャネルデバイスの高出力化の可能性を探るため、N 極性 AlN 結晶の成長実験に着手した。

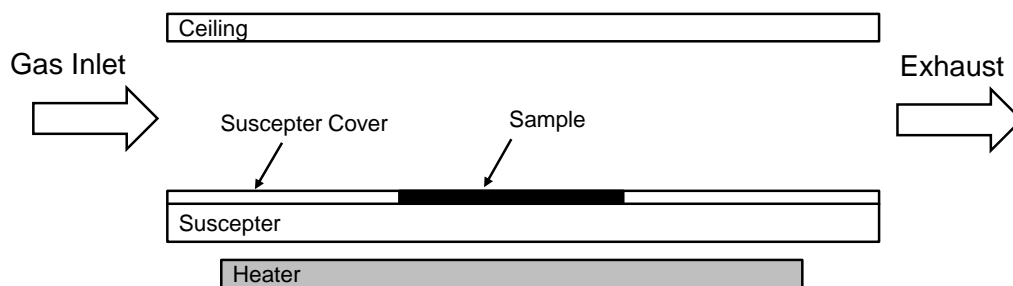
令和 3 年度は、AlN エピタキシャル成長において、0 不純物濃度 $< 10^{16} \text{ cm}^{-3}$ を目標に成長条件の最適化を行った。また、実施項目⑥にて薄膜チャネルにおけるシート抵抗の増加は高い内部電界によるものと示唆されたため、さらなるシート抵抗低減のため基板に垂直な方向の分極を持たない m 面 AlN 基板上デバイスの検討を行った。さらに、令和 2 年度に開発した N 極性エピ結晶技術を用い、N 極性 AlN 結晶上の HEMT 構造の性能実証を行った。また、令和 2 年度までに開発した量子チャネルデバイス構造から高出力化に最適なデバイス構造を選定し、実施項目⑩に提供した。

3.3.2 AlN ホモエピタキシャル成長技術の確立

3.3.2.1 MOCVD 成長

成長には図③-2-1 に示す Horizontal Flow MOCVD 装置を使用し、Ga 原料としてトリメチルガリウム (TMGa) またはトリエチルガリウム (TEGa)、Al 原料としてトリメチルアルミニウム (TMA1)、N 原料としてアンモニア (NH₃) を用いた。また、サーファクタントとしてトリメチルインジウム (TMIn) を使用した。キャリアガスには水素 (H₂) または窒素 (N₂) を用いた。

AlN エピタキシャル層の評価は、表面ラフネスを原子間力顕微鏡 (AFM)、不純物濃度を二次イオン質量分析法 (SIMS) により行った。AlN バルク基板上 HEMT 構造の評価は、表面ラフネスを AFM または走査型白色干渉顕微鏡、シート抵抗を渦電流法、結晶構造解析を X 線回折法 (XRD) による逆格子空間マッピング法 (RSM)、2DEG 評価を水銀プローブによる CV 測定および Van der Pauw 法による hall 測定により行った。

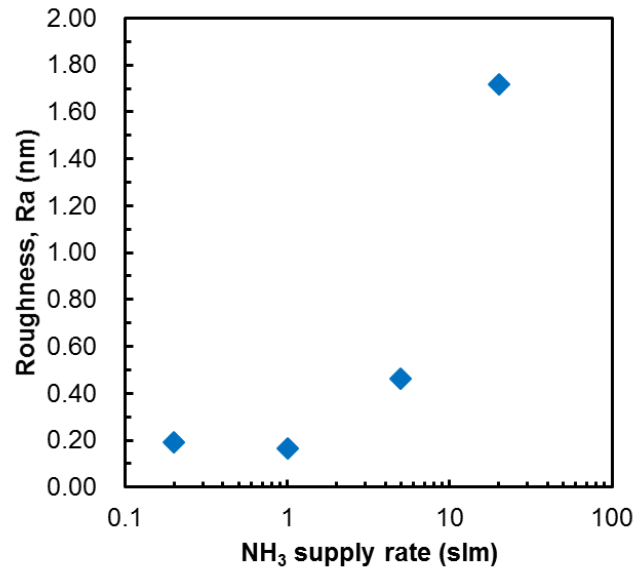


図③-2-1 Horizontal Flow MOCVD 装置

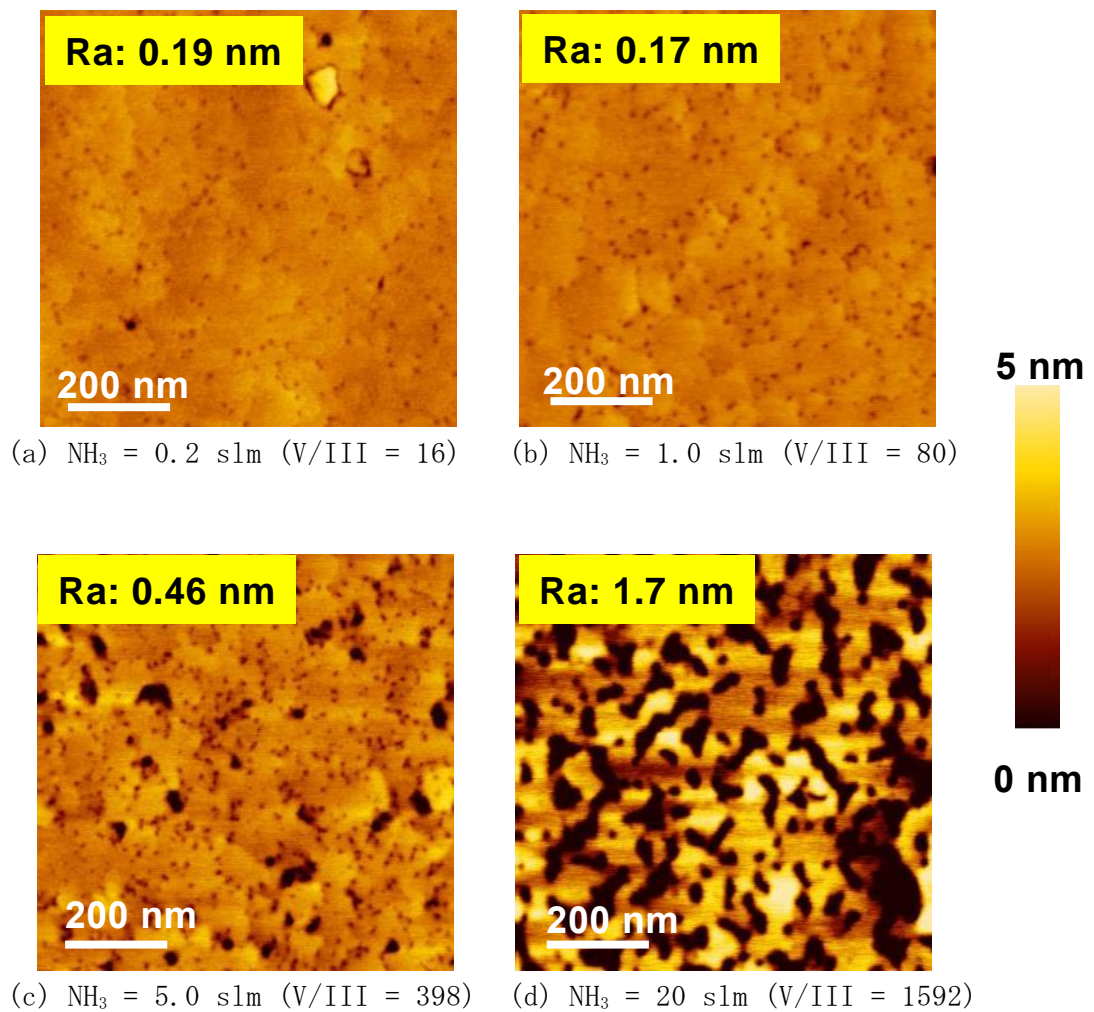
3.3.2.2 AlN ホモエピタキシャル成長初期検討

実験に用いたエピ結晶は、サファイヤ基板を用いた AlN テンプレート (250 nm) 上に MOCVD 法により AlN 層 (50 nm) をホモエピタキシャル成長することにより形成した。はじめに、AlN ホモエピタキシャル層成長時の NH₃ 供給量依存性について調査した。AlN ホモエピタキシャル層成長時の TMA1 供給量を 43 μmol/min で固定し、NH₃ 供給量は 0.2~12 s1m で変化させた。図③-2-2 に AlN ホモエピタキシャル層における表面ラフネス Ra の NH₃ 供給量依存性を、図③-2-3 に各 NH₃ 供給量における AlN ホモエピタキシャル層表面の AFM 像を示す。図③-2-2 から、NH₃ 供給量の減少にともなって表面ラフネス Ra が減少し、NH₃ 供給量が 1 s1m 以下になると、ほぼ一定になることが分かる。これは図③-2-3 に示すように、NH₃ 供給量を減少させるとともに図③-2-3(c) 及び(d) に見られる比較的大きなピットが減少することに起因する。この結果は、NH₃ 供給量の減少によりプリカーサーの表面マイグレーションが促進され、ピットが埋め込まれたためと解釈できる。また、表面ピットはその下に存在する貫通転位と一対一に対応することがこれまでの研究から分かっており [1]、表面ピット数自体は NH₃ 供給量の増減により変化していないことから、NH₃ 供給量を変化させても転位欠陥密度は変化していないと考えられる。

以上のように、AlN ホモエピタキシャル層の成長においては NH₃ 供給量を少なくし、NH₃ 分圧を低下させることにより、表面平坦性の向上が可能であることが分かった。そして NH₃ 供給量を 1 s1m 以下にすることにより、表面ラフネス Ra < 0.20 nm を実現し、目標である Ra < 1.0 nm を達成した。



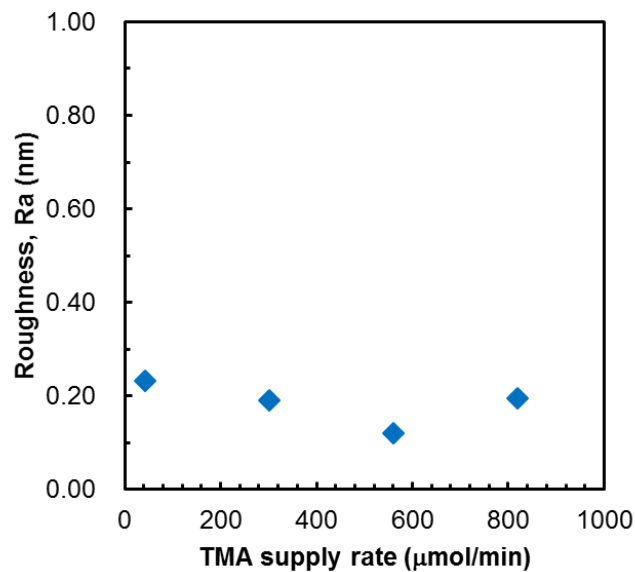
図③-2-2 AlN ホモエピタキシャル層における表面ラフネス Ra の NH₃ 供給量依存性



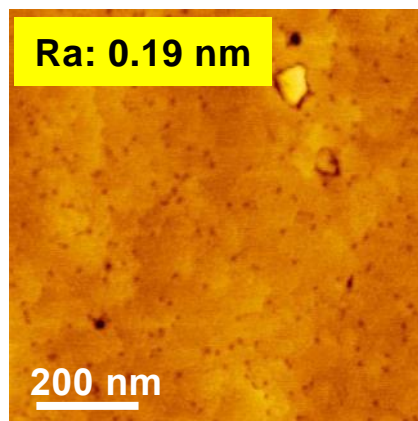
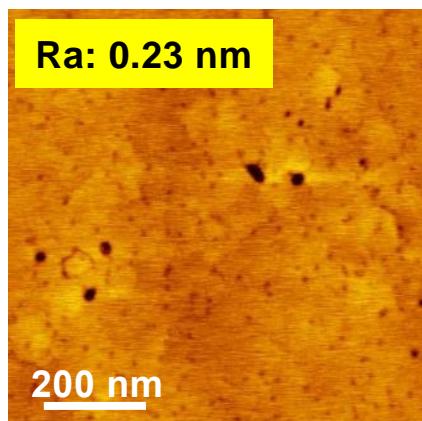
図③-2-3 AlN ホモエピタキシャル層表面の AFM 像 (NH₃ 供給量依存性)

次に、AlN ホモエピタキシャル層成長時の TMA1 供給量依存性について調査した。AlN ホモエピタキシャル層成長時の NH₃ 供給量を 0.2 slm で固定し、TMA1 供給量は 43~820 μmol/min で変化させた。図③-2-4 に AlN ホモエピタキシャル層における表面ラフネス Ra の TMA1 供給量依存性を、図③-2-5 に各 TMA1 供給量における AlN ホモエピタキシャル層表面の AFM 像を示す。図③-2-4 から、表面ラフネス Ra は TMA1 供給量に依存せず、ほぼ一定であることが分かる。一方、図③-2-5 からは TMA1 供給量の減少にともなって、表面ピット数が減少していることが確認できる。これは、TMA1 供給量の減少により成長レートが減少したため、結晶性が向上していると考えられる。

以上のように、AlN ホモエピタキシャル層の成長においては TMA1 供給量を少なくし、成長レートを低下させることにより、結晶性の向上が可能であることが分かった。

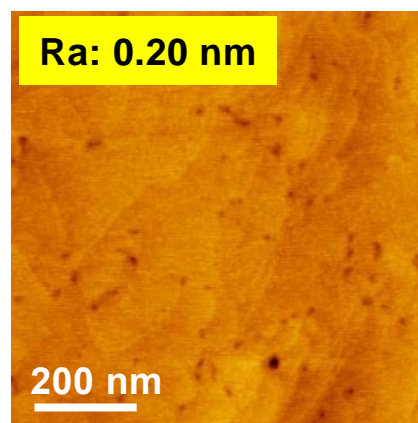
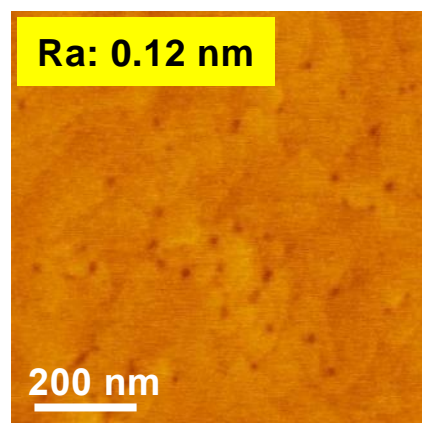


図③-2-4 AlN ホモエピタキシャル層表面ラフネス Ra の TMA1 供給量依存性



(a) TMAI= 820 $\mu\text{mol}/\text{min}$ (V/III= 11)

(b) TMAI= 561 $\mu\text{mol}/\text{min}$ (V/III= 16)



(c) TMAI= 302 $\mu\text{mol}/\text{min}$ (V/III= 30)

(d) TMAI= 43 $\mu\text{mol}/\text{min}$ (V/III= 207)

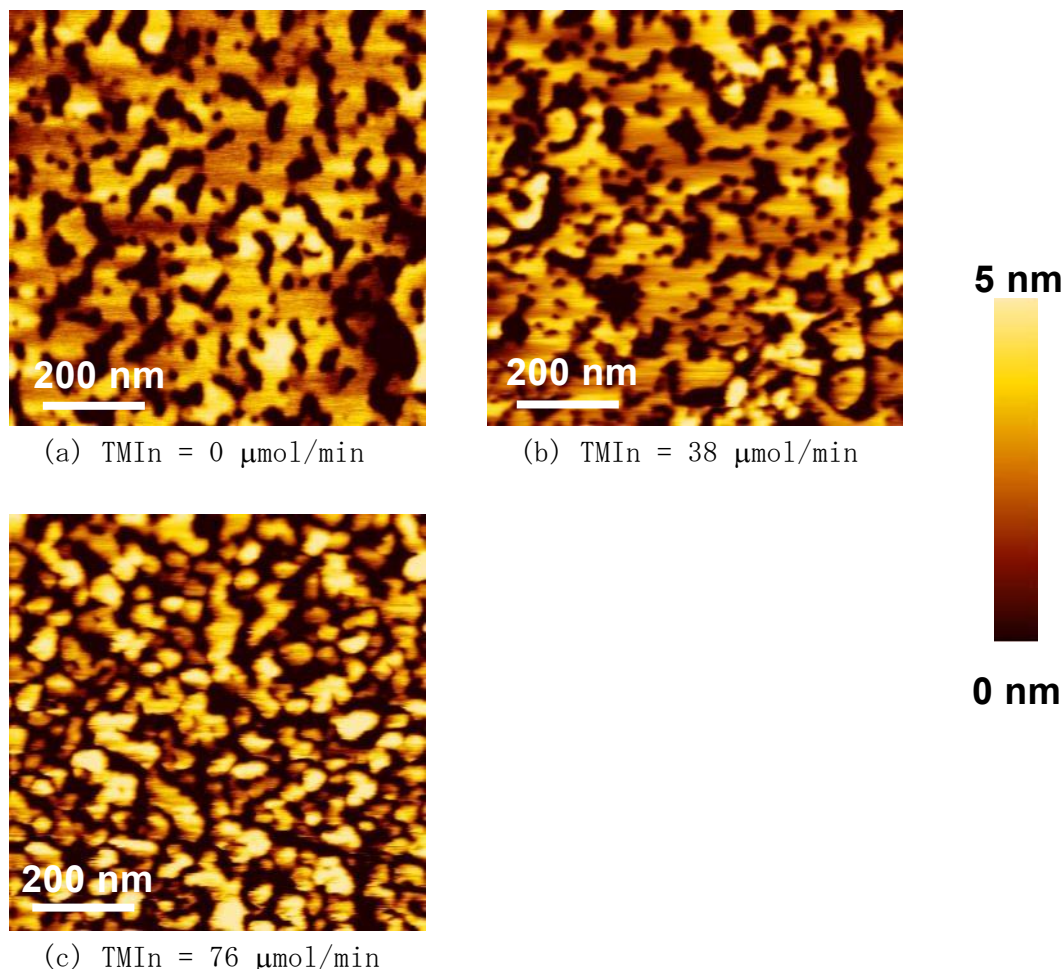


図③-2-5 AlN ホモエピタキシャル層表面の AFM 像 (TMAI 供給量依存性)

3.3.2.3 サーファクタント導入効果の検討

結晶表面の平坦性を向上させる手法の一つとして、サーファクタント（表面活性剤）を利用する方法が知られている。例えば GaN 結晶成長において、In をサーファクタントとして用いることによる表面モフォロジ向上やピット密度の低減が報告されている [2, 3]。これは In-N よりも Ga-N の結合エネルギーが大きいいため、GaN の最適成長条件において供給した In 原子が成長膜中へは取り込まれないものの、In 原料が表面におけるプリカーサーのマイグレーションを促進することを利用したものである。

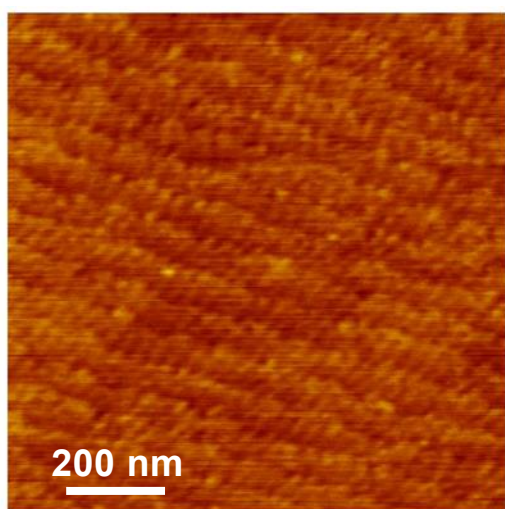
そこで本実験においても In をサーファクタントとして採用し、AlN 表面平坦性の向上について検討を行った。AlN ホモエピタキシャル層成長時の原料供給量を TMAI 43 $\mu\text{mol}/\text{min}$ 、 NH_3 0.2 slm で固定し、そこに TMIIn 0~76 $\mu\text{mol}/\text{min}$ を追加導入した。図③-2-6 に AlN ホモエピタキシャル層表面の In サーファクタント供給量依存性 AFM 像を示す。図③-2-6 から、TMIIn 供給量 38 $\mu\text{mol}/\text{min}$ までは表面状態に変化はないが、TMIIn 供給量 76 $\mu\text{mol}/\text{min}$ では AlN 結晶の粒径が小さくなり表面状態に変化が見られた。この結果から In サーファクタントにより表面状態を変化させることが可能であることが分かった。しかしながら、成長温度が低いたためか、平坦度が向上する傾向は見られなかった。今後、必要であれば高温成長における In サーファクタントの導入効果に関して検討を行う。



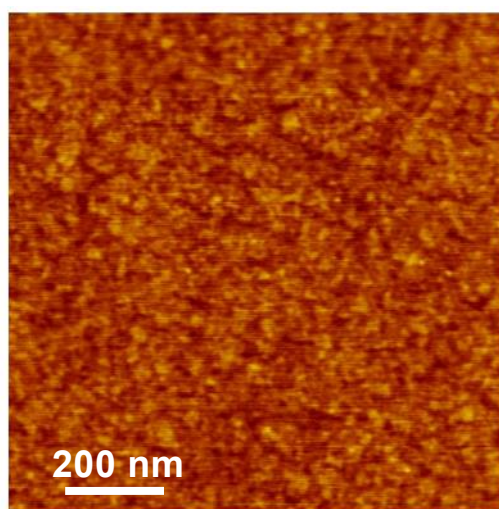
図③-2-6 AlN ホモエピタキシャル層表面の In サーファクタント (TMIIn) 供給量依存性 AFM 像

3.3.2.4 AlN バルク基板の成長前処理条件検討

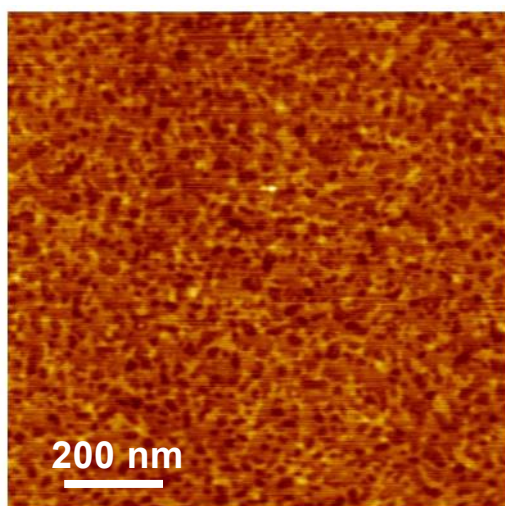
AlN ホモエピタキシャル結晶成長の開発を始めるに当たって、AlN バルク基板の成長前処理条件の検討を行った。図③-2-7 に各種成長前処理を行った AlN バルク基板表面の AFM 像を示す。図③-2-7(a), (b) 及び(c) に、未処理、 H_2 雰囲気中熱処理後 (1055°C , 1 h)、 $H_2+\text{NH}_3$ 雰囲気中熱処理後 (1055°C , 1 h) の AlN バルク基板表面を示す。図③-2-7 から、 H_2 雰囲気、 $H_2+\text{NH}_3$ 雰囲気ともに若干のエッチングを確認できるが、表面状態はほとんど変化していないことが分かる。したがって、 1055°C 程度の温度では成長前処理により表面状態の変更が困難なことが分かった。今後導入する高温 MOCVD 装置において、より高い温度における条件も含めて、成長前処理条件の最適化を行う。



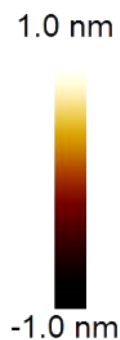
(a) 未処理



(b) H_2 雰囲気熱処理 (1055°C , 1h)



(c) $H_2+\text{NH}_3$ 雰囲気熱処理 (1055°C , 1h)



図③-2-7 熱処理前後の AlN バルク基板表面の AFM 像

3.3.3 超高温 MOCVD 装置を用いた AlN 基板上 HEMT 構造の試作

3.3.3.1 超高温 AlN エピタキシャル成長

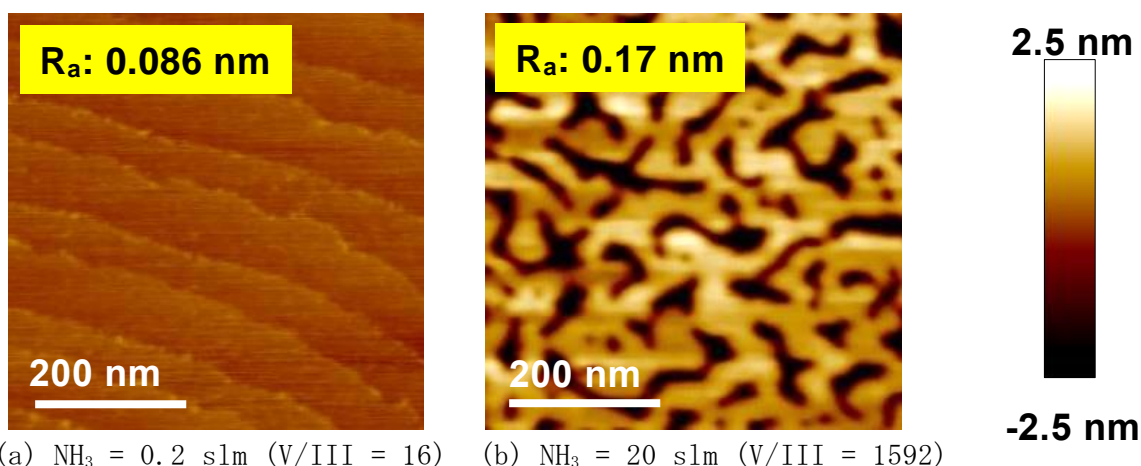
超高温 (1600°C 対応) MOCVD 装置 (図③-3-1) を導入し、稼働を開始した。AlN エピタキシャル成長において、表面ラフネス $R_a < 0.5 \text{ nm}$ 、酸素 (O) 不純物濃度 $< 10^{17} \text{ cm}^{-3}$ を目標に成長温度・原料ガス流量比といった成長条件の最適化を行った。はじめに、AlN ホモエピタキシャル成長における表面ラフネスに関して調査した。AlN バルク基板上に MOVPE 法により 2 種類の AlN 層 (50 nm) を、TMAI 供給量 $561 \mu\text{mol}/\text{min}$ 、 NH_3 供給量 0.2 slm および 20 slm で成長した。AlN 層の成長は、基板表面温度 1055°C 、成長圧力 5 kPa で行い、キャリアガスとして H_2 を用いた。

図③-3-2 に各 NH_3 供給量における AlN ホモエピタキシャル層表面の AFM 像を示す。図③-3-2 から、 NH_3 供給量が少ない方が平坦な表面が実現出来ていることがわかる。平成 29 年度にサファイヤ基板を用いた AlN テンプレート上への AlN エピタキシャル成長において、 NH_3 供給量の減少にともなって表面ラフネス R_a が向上することを報告したが、AlN バルク基板上へのホモエピタキシャル成長においても同様の傾向が得られた。さらに、AlN バルク基板上へのホモエピタキシャル成長では、表面ラフネス R_a が 0.086 nm と非常に平坦な結晶が得られている。これは、エピタキシャル層/基板界面において、格子定数差の違いによる欠陥の発生がないため、ステップフロー成長が起こっているためと考えられる。

以上のように、AlN ホモエピタキシャル層の成長においては NH_3 供給量を少なくすることにより、表面ラフネス $R_a < 0.10 \text{ nm}$ を実現し、目標である $R_a < 0.50 \text{ nm}$ を達成した。



図③-3-1 超高温 MOCVD 装置の概観



図③-3-2 異なるアンモニア流量で成長させた AlN ホモエピタキシャル層表面の AFM 像

次に、AlN エピタキシャル層中不純物濃度の成長温度依存性について調査した。平成 30 年度に新規導入した超高温 MOCVD 装置を用い、SiC 基板上に成長温度（設定温度）1500°C および 1600°C で AlN 層をエピタキシャル成長した。TMAI 供給量 38.6 $\mu\text{mol}/\text{min}$ 、 NH_3 供給量 0.5 slm、成長圧力 5 kPa で成長し、キャリアガスとして H_2 を用いた。また、比較のため、既存 MOCVD 装置により、基板表面温度 1055°C、TMAI 供給量 561 $\mu\text{mol}/\text{min}$ 、 NH_3 供給量 0.2 slm、成長圧力 5 kPa で成長した AlN 層も準備した。

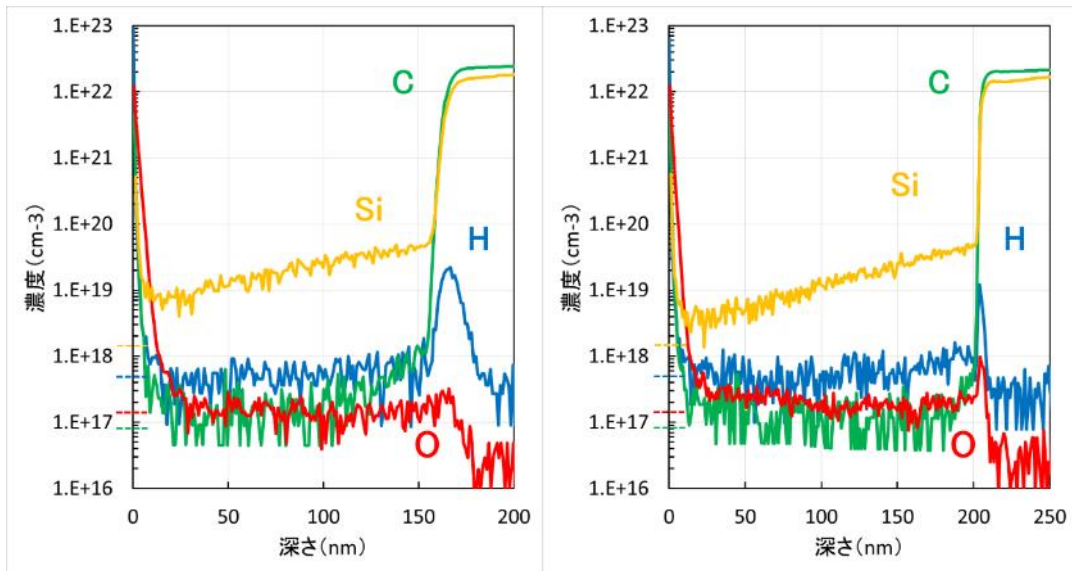
表③-3-1 に各 AlN 層中の不純物濃度を、図③-3-3 に各 AlN 層の SIMS プロファイルを示す。表③-3-1 から成長温度の増加により炭素(C)と O の濃度が大きく減少していることがわかる。C は成長温度 1500°C 以上でバックグラウンドレベル以下となり、O は 1500°C では $2 \times 10^{17} \text{ cm}^{-3}$ まで減少し、1600°C でバックグラウンドレベル以下となっている。これは成長温度が高温になることにより、C や O が還元されやすくなるためと考えられる。また、1500°C および 1600°C 成長において Si 濃度が大きく増加しているが、これは、成長用基板として SiC を用いたため、基板から脱離した Si 原子が取り込まれたものと考えられる。

以上のように、AlN エピタキシャル層の成長において、1600°C の超高温成長を行うことにより、O 不純物濃度 $< 10^{17} \text{ cm}^{-3}$ を実現し、目標を達成した。

表③-3-1 AlN 層中の不純物濃度

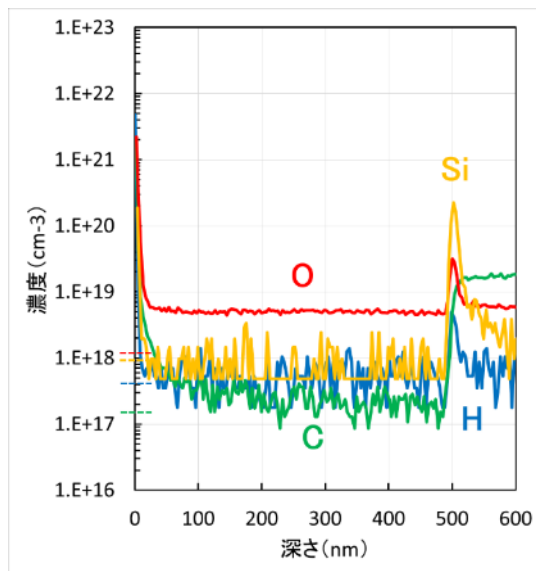
成長温度 (°C)	H (cm^{-3})	C (cm^{-3})	O (cm^{-3})	Si (cm^{-3})
1055*	$< 6 \times 10^{17}$	2×10^{17}	5×10^{18}	$< 8 \times 10^{17}$
1500	$< 6 \times 10^{17}$	$< 8 \times 10^{16}$	2×10^{17}	1×10^{19}
1600	$< 6 \times 10^{17}$	$< 8 \times 10^{16}$	$< 1 \times 10^{17}$	1×10^{19}

* 基板表面温度



(a) 成長温度 1500°C

(b) 成長温度 1600°C



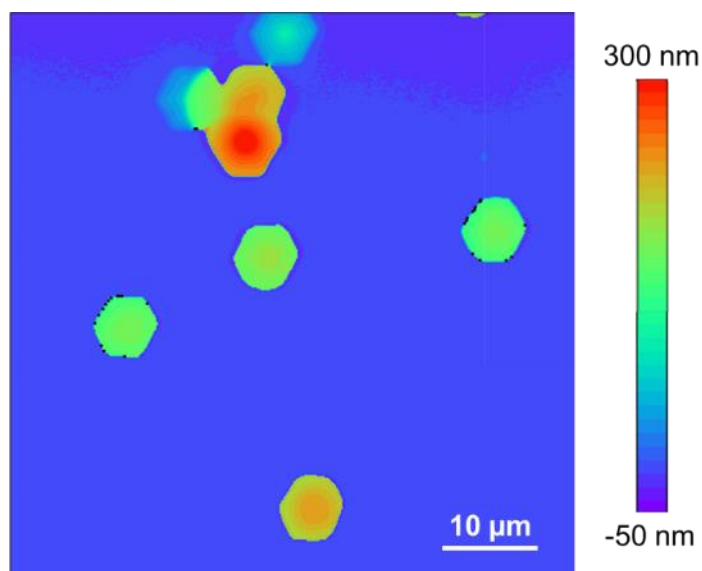
(c) 表面温度 1055°C (既存 MOCVD)

図③-3-3 異なる温度で成長させた AlN 層の SIMS プロファイル
(縦軸上の点線は各元素のバックグラウンドレベルを示す)

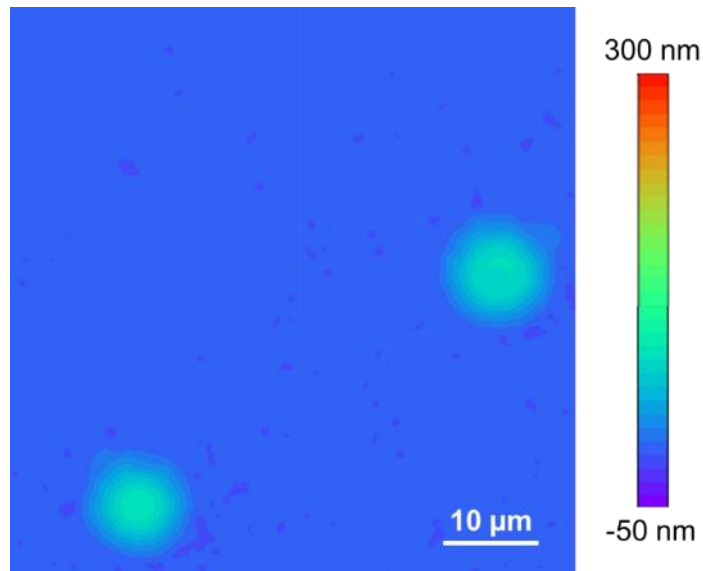
3.3.3.2 AlN 基板上 HEMT 構造の試作

量子閉じ込めチャンネル構造の実現のためには、AlN 基板上に平坦な GaN チャンネル層を形成する必要がある。そこで、AlN 基板上への GaN 層成長についての検討を行った。まず、AlN 基板上に従来条件（SiC 基板上成長に用いる成長条件）で GaN 層を成長した。図③-3-4 に成長したサンプルの走査型白色干渉顕微鏡像を示す。図③-3-4 から従来条件で成長した GaN は、層状に成長せず、一部の領域に柱状に成長していることがわかる。これは、AlN と GaN の格子定数差が非常に大きいため島状成長しやすく、また、AlN 基板表面が非常に平坦なため成長核が出来にくく核密度が小さいためと考えられる。このように AlN 上への GaN の成長は、その大きな格子定数差のために通常の成長条件では平坦な GaN チャンネル層の形成は困難であることがわかった。

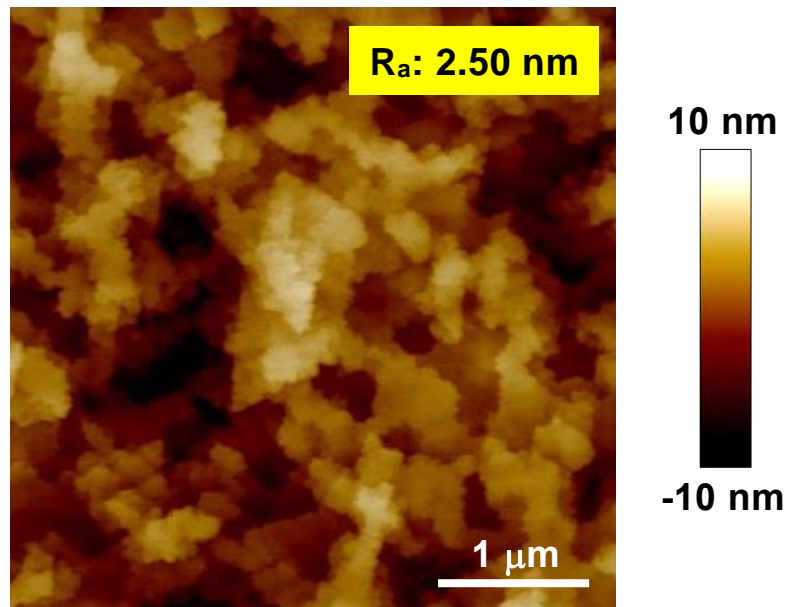
続いて、GaN 層の平坦化のため、AlN ホモエピタキシャル層と同様に成長条件の低 V/III 化を試みた。図③-3-5 に成長したサンプルの走査型白色干渉顕微鏡像を示す。図③-3-5 から低 V/III 化により柱状成長部の高さが従来条件と比べ小さくなっており、AlN 表面全体にも GaN 層が形成されているように見える。平坦部分をより詳細に観察するため、AFM による測定を行った。図③-3-6 に成長したサンプルの AFM 像を示す。図③-3-6 から AlN 表面全体にも GaN が形成されていることがわかった。しかしながら、形成された GaN 層は表面モフォロジ Ra が 2.50 nm と悪く、量子閉じ込めチャンネル実現の為にはさらなる平坦化が必要と考えられる。



図③-3-4 AlN 基板上 GaN 層（従来条件）の走査型白色干渉顕微鏡像



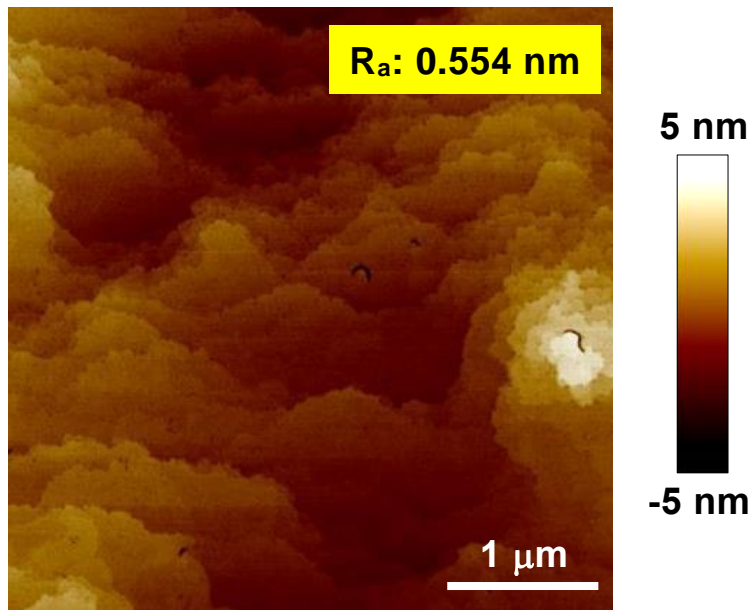
図③-3-5 AlN 基板上 GaN 層（低 V/III 条件）の走査型白色干渉顕微鏡像



図③-3-6 AlN 基板上 GaN 層（低 V/III 条件）の AFM 像

GaN チャンネル層のさらなる平坦化のために、In サーファクタントを用いた GaN 成長および GaN/AlN 界面へ AlGaIn バッファ層を挿入する 2 つの手法について検討を行った。

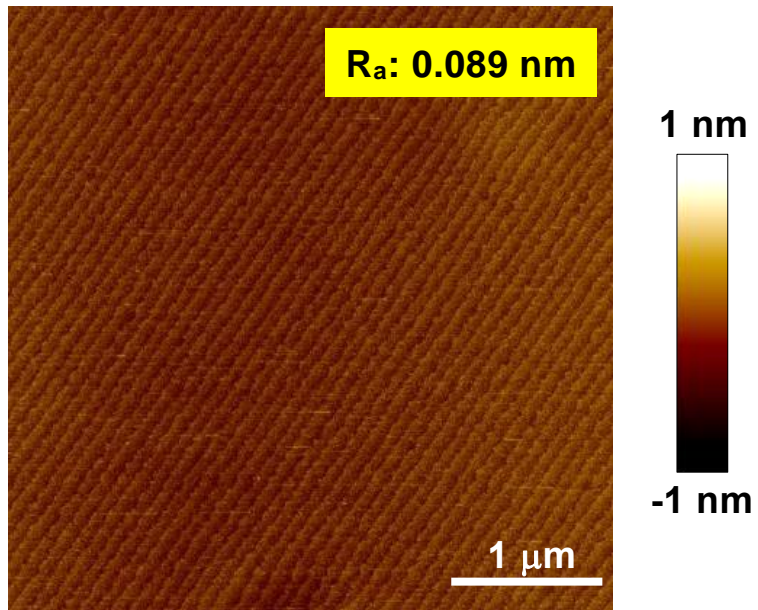
結晶成長において、成長中に供給することにより結晶の表面エネルギーを変化させ、成長モードを変える材料のことをサーファクタントと呼ぶ。GaN においては In がそれに当たり、GaN 成長時に In を同時に供給することにより、横方向成長が促進され、平坦化することが知られている [3, 4]。そこで今回、AlN 基板上へ GaN 層 (50 nm) を成長する時に In サーファクタントを適用した。図③-3-7 に成長したサンプルの AFM 像を示す。図③-3-7 から In サーファクタントにより平坦化が促進されていることがわかる。表面モフォロジ Ra も 0.554 nm と小さく、原子レベルでの平坦化が実現できた。



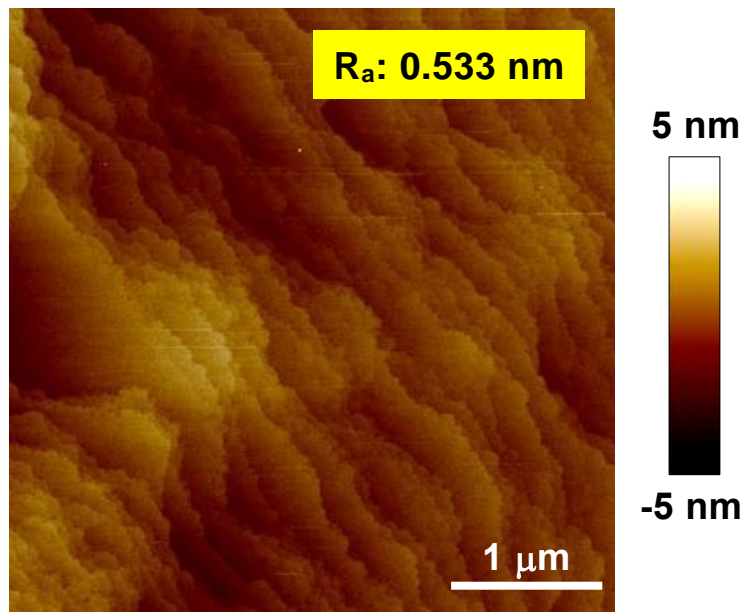
図③-3-7 In サーファクタントを用いた GaN 層の AFM 像

GaN/AlN 界面への AlGaIn バッファ層の挿入では、AlN 基板の上に、 $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ バッファ層 (45 nm)、GaN 層 (50 nm) を順次成長した。図③-3-8 に (a) AlN 基板の上に成長した $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 層表面、および (b) $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ バッファ層上に成長した GaN 表面の AFM 像をそれぞれ示す。図③-3-8 (a) から $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 層は非常に平坦な表面を有していることがわかる。 $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ は AlN との格子定数差が小さいため、AlN 基板の上に成長した場合、ステップフロー成長しやすいと考えられる。さらに、図③-3-8 (b) の様に $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 層上に成長した GaN は平坦な表面を有していることがわかる。これは、AlN 基板への直接成長とは異なり、下地の $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ バッファ層に Ga が含まれるため、核密度が向上し平坦化が促進されたものと考えられる。この時の表面モフォロジ Ra は 0.533 nm であり、原子レベルでの平坦化が実現できた。

以上のように、In サーファクタントを用いた GaN 成長および GaN/AlN 界面への AlGaIn バッファ層の挿入において原子レベルでの平坦化実現できることがわかった。そこで次に、この 2 手法を用いて HEMT 構造の試作を行った。



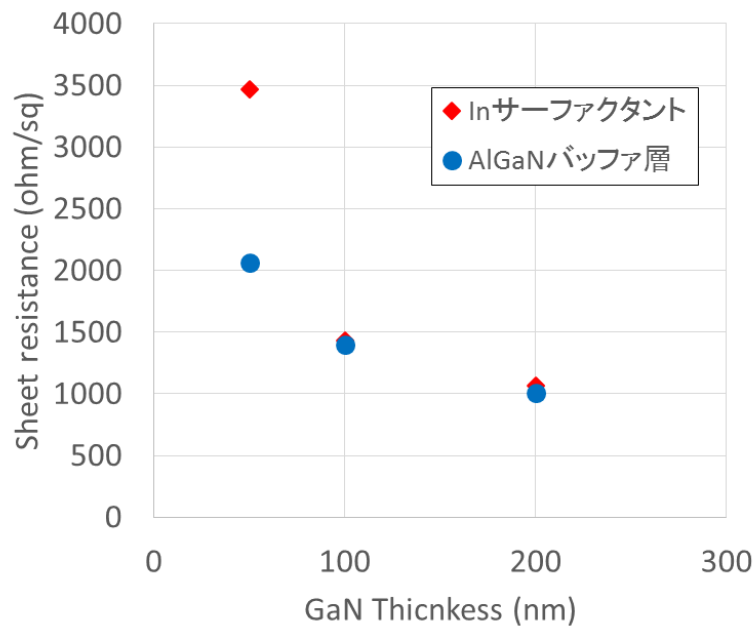
(a) $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 表面



(b) GaN 表面

図③-3-8 GaN/ $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ /AlN 基板構造の AFM 像
 (a) $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 表面および (b) GaN 表面

HEMT 構造は、AlN 基板上に In サーファクタント用いた GaN 成長または GaN/AlN 界面への Al_{0.86}Ga_{0.14}N バッファ層 (45 nm) の挿入により GaN チャネル層を成長し、その後、Al_{0.31}Ga_{0.69}N 供給層 (11 nm)、GaN キャップ層 (3 nm) を順に成長した。この内、GaN チャネル層の膜厚は 50 nm、100 nm、200 nm の 3 種類を製作し、シート抵抗の評価を行った。図③-3-9 にシート抵抗の GaN チャネル層厚依存性を示す。図③-3-9 から In サーファクタント、AlGaN バッファ層ともに GaN チャネル層厚が増加するとシート抵抗が低下する傾向があることがわかる。また、In サーファクタントは AlGaN バッファ層と比較して、GaN チャネル層厚 50 nm におけるシート抵抗が高い。これは、GaN チャネル層の下界面に欠陥が多く存在しており、膜厚が薄くなるとその影響が大きくなるためと考えられる。量子閉じ込めチャネル構造の実現のためには GaN チャネル層厚を薄くする必要があるため、今回は GaN 層厚が薄くてもシート抵抗が比較的良かった AlGaN バッファ層構造を採用した。また、AlGaN バッファ層構造において、GaN チャネル層厚が 200 nm でシート抵抗 $R_{sh} = 1008 \text{ ohm/sq.}$ と令和元年度の目標であるシート抵抗 $R_{sh} < 1000 \text{ ohm/sq.}$ に近い値が得られた。

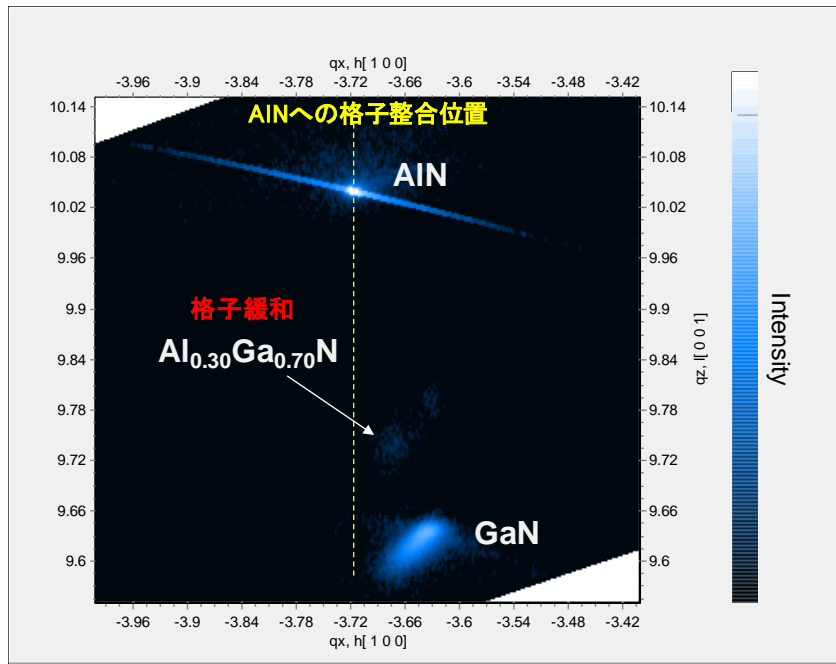


図③-3-9 AlN 基板上 HEMT 構造におけるシート抵抗の GaN チャネル層厚依存性

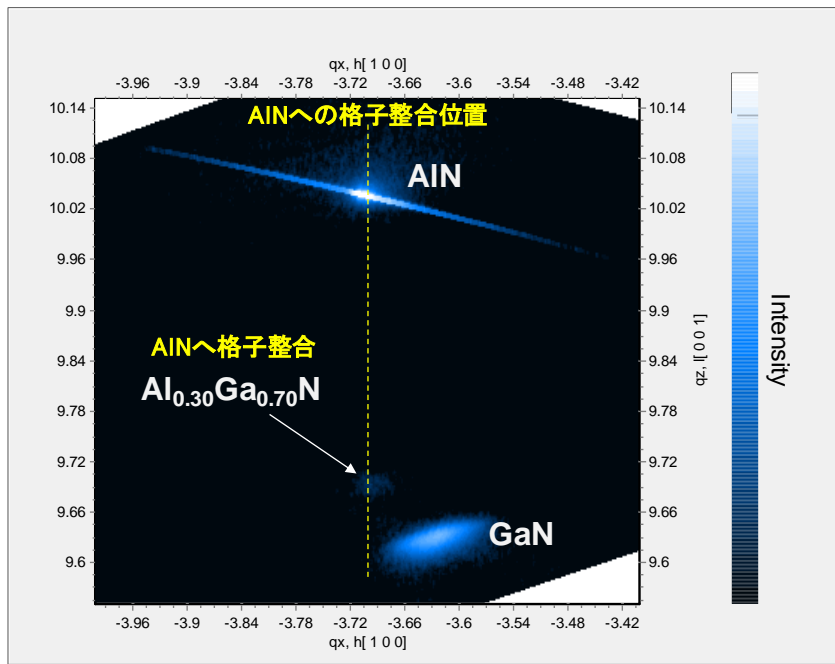
3.3.4 歪み AlGaN バッファ層による量子チャネル構造の低抵抗化

3.3.4.1 AlGaN バッファ構造の導入と結晶評価

はじめに、AlN 上の初期 AlGaN バッファ構造について検討を行った。平成 30 年度に開発した AlGaN バッファ構造 (GaN チャネル層 / Al_{0.86}Ga_{0.14}N バッファ層 (45 nm) / AlN 基板) において、AlGaN バッファ層における Al 組成の変更を試みた。図③-4-1 に Al 組成を 0.30 に低減した AlGaN バッファ構造 (GaN チャネル層 (200 nm) / Al_{0.30}Ga_{0.70}N バッファ層 (50 nm) / AlN 基板) を有する成長時期の異なる 2 サンプルの RSM 像を示す。図③-4-1 から、同一構造であるが、Sample A は Al_{0.30}Ga_{0.70}N バッファ層が AlN に格子整合しているのに対し、Sample B は Al_{0.30}Ga_{0.70}N バッファ層が格子緩和していることがわかる。このように成長する毎に AlGaN バッファ層の特性が変化してしまうことが明らかになった。これは AlN 基板上に Al_{0.30}Ga_{0.70}N バッファ層を成長する場合、格子定数差が大きく、成長初期の膜形成が安定しないためと考えられる。この問題を解決するため、AlGaN バッファ層 / AlN 基板の間に Al_{0.86}Ga_{0.14}N 初期層 (10 nm) を挿入することにより、AlGaN バッファ層は安定して AlN に格子整合するように成長できることがわかった (図③-4-2)。したがって、AlGaN バッファ層の Al 組成 < 0.86 の場合、Al_{0.86}Ga_{0.14}N 初期層を適用することとした。

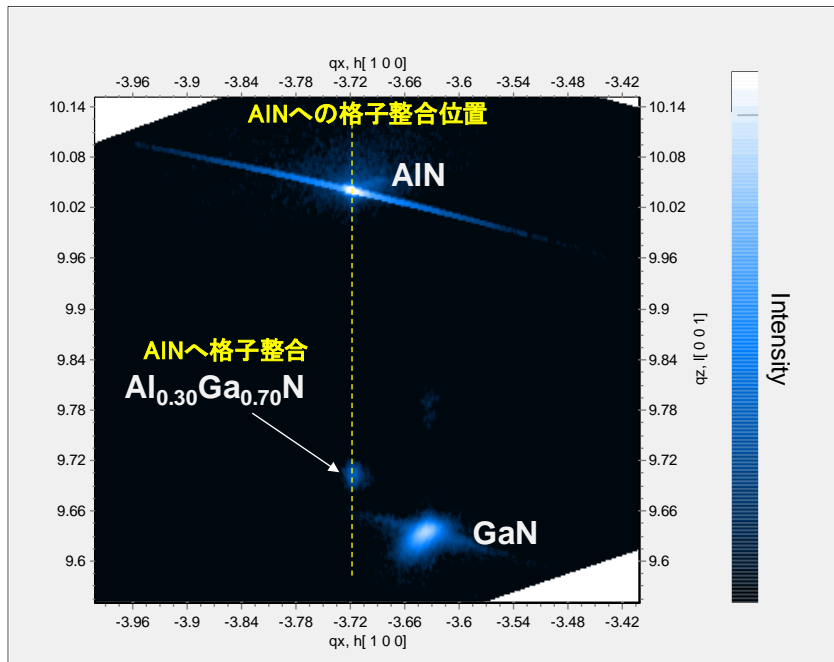


(a) Sample A



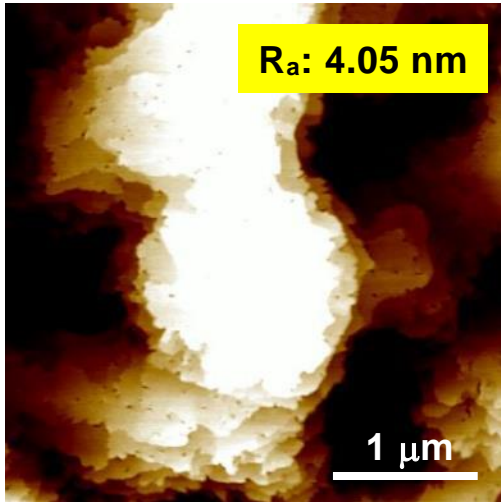
(b) Sample B

図③-4-1 低Al組成AlGaNバッファ構造(GaNチャネル層(200 nm)/ $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層(50 nm)/AlN基板)のRSM像

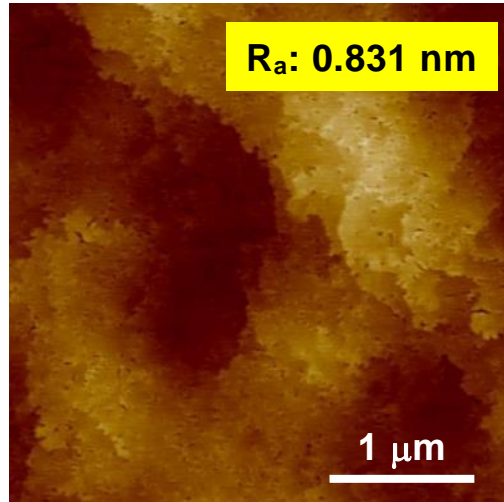


図③-4-2 $Al_{0.86}Ga_{0.14}N$ 初期層を適用した低 Al 組成 AlGaN バッファ構造 (GaN チャネル層 (200 nm) / $Al_{0.30}Ga_{0.70}N$ バッファ層 (50 nm) / $Al_{0.86}Ga_{0.14}N$ 初期層 (10 nm) / AlN 基板) の RSM 像 ($Al_{0.86}Ga_{0.14}N$ 初期層は薄膜のためピーク強度が弱く検出下限以下)

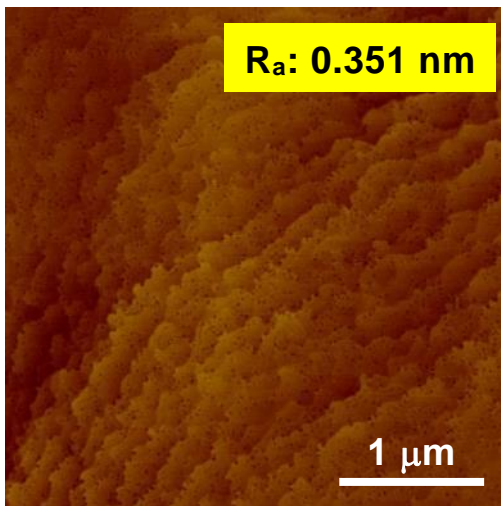
次に、 $Al_{0.86}Ga_{0.14}N$ 初期層上に形成する AlGaN バッファ層の Al 組成依存性について調査した。 AlN 基板の上に、 $Al_{0.86}Ga_{0.14}N$ 初期層 (10 nm)、 $Al_xGa_{1-x}N$ バッファ層 (50 nm)、GaN 層 (200 nm) を順次成長した。AlGaN バッファ層の Al 組成は 0.10 および 0.30 の 2 種類のサンプルを作製し、Al 組成 0.86 の従来構造 (GaN チャネル層 (200 nm) / $Al_{0.86}Ga_{0.14}N$ バッファ層 (45 nm) / AlN 基板) との比較を行った。図③-4-3 に成長したサンプルの AFM 像を示す。図③-4-3 から、バッファ層の Al 組成が低下するほど、表面ラフネスが悪化していることがわかる。また、Al 組成 0.30 未満では、表面ラフネスは急激に悪化し、量子閉じ込めチャネル実現が困難であると考えられる。そのため、AlGaN バッファ層の Al 組成は 0.30 以上が必要であることがわかった。



(a) $\text{Al}_{0.10}\text{Ga}_{0.90}\text{N}$ バッファ層



(b) $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層

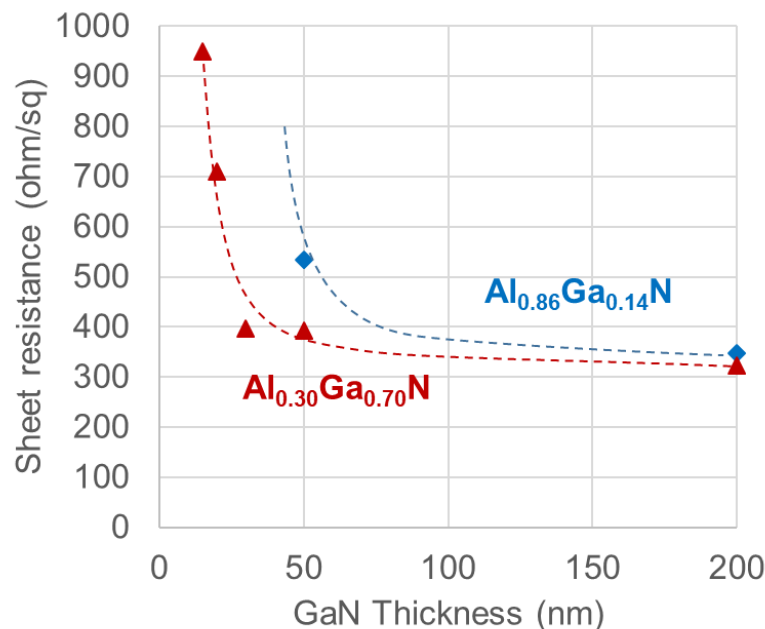


(c) $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ バッファ層

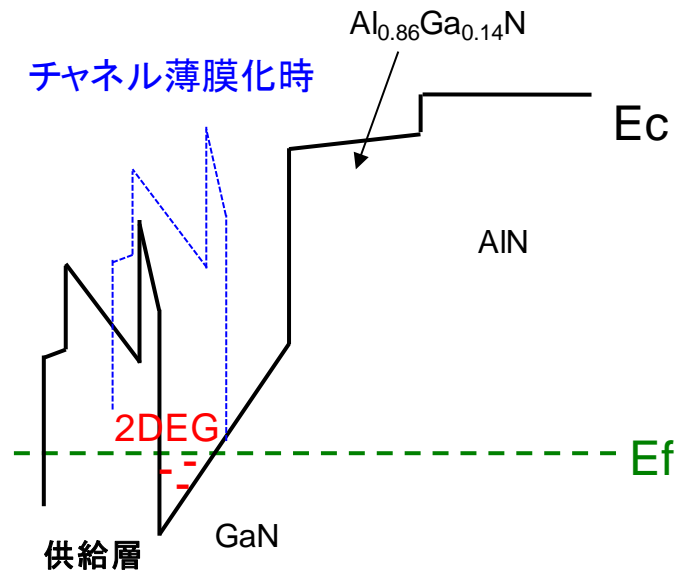
図③-4-3 AlGaN バッファ構造エピ表面の AFM 像
(a) Al 組成 10%、(b) Al 組成 30% (c) Al 組成 86%

3.3.4.2 AlGaN バッファ構造を導入した HEMT 構造の電気特性評価

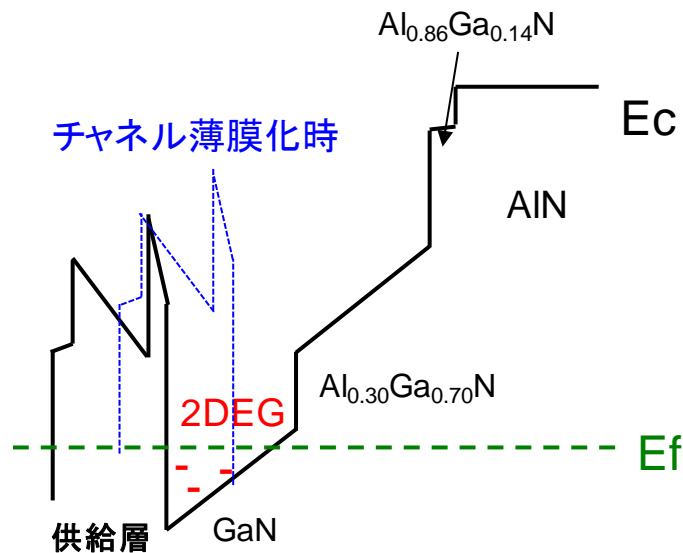
続いて、Al 組成を低減したバッファ構造を用いて、HEMT 構造を製作し、電気特性の評価を行った。AlN 基板の上に、 $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層 (10 nm)、 $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層 (50 nm)、GaN チャネル層を順次成長し、その後、AlN スペース層 (2 nm)、 $\text{Al}_{0.31}\text{Ga}_{0.69}\text{N}$ 供給層 (16 nm)、GaN キャップ層 (3 nm) を順に成長した。この内、GaN チャネル層の膜厚は 200 nm、50 nm、30 nm、20 nm、15 nm の 5 種類を製作し、シート抵抗測定を行った。また、比較のため Al 組成 0.86 の従来バッファ構造 (GaN キャップ層 (3 nm) / $\text{Al}_{0.31}\text{Ga}_{0.69}\text{N}$ 供給層 (16 nm) / AlN スペース層 (2 nm) / GaN チャネル層 (200 nm、50 nm) / $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ バッファ層 (45 nm) / AlN 基板) も製作し、同様に評価した。図③-4-4 にシート抵抗の GaN チャネル層厚依存性を示す。GaN チャネル層厚が薄くなるほど、シート抵抗は増加傾向になるが、 $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ バッファ層では、GaN チャネル層厚が 50 nm になるとシート抵抗が 500 ohm/sq. 以上に増加するのに対し、 $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層では、30 nm まで 400 ohm/sq. 以下を維持している。これは、 $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ バッファ層では、図③-4-5(a) に示すように、GaN チャネル層中の内部電界が大きいため、薄膜化した場合に 2DEG が大きく減少するためと考えられる。一方、Al 組成を 0.30 に低下させたバッファ構造においては、Al 組成が低下したことにより自発分極が減少する。さらに、AlN との格子定数差が増加することにより圧縮ひずみが増大し、自発分極と反対向きのピエゾ分極が増加し、自発分極を打ち消す方向に働く。これら 2 つの効果により、 $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層の分極電荷量は大きく減少する。このため、GaN チャネル層 / $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層界面に発生する負の分極電荷量が減少し、図③-4-5(b) に示すように GaN チャネル層 / $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層界面のバンド位置が低下する。これにより、GaN チャネル中の内部電界が減少すると考えられる。その結果、薄膜化した場合の 2DEG の減少が抑制されたと考えられる。本実験により、 $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層 (50 nm) / $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層 (10 nm) 構造を用いて、GaN チャネル厚 30 nm においてチャネルシート抵抗 $R_{sh}=397.5$ ohm/sq. を実現した。また、以上の結果から、量子閉じ込めチャネル構造において、高出力化を実現するためには、GaN チャネル層の内部電界を減少させることが重要であるとわかった。



図③-4-4 シート抵抗の GaN チャネル膜厚依存性



(a) 従来バッファ構造 ($\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$)



(b) 低 Al 組成 AlGaIn バッファ構造 ($\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$)

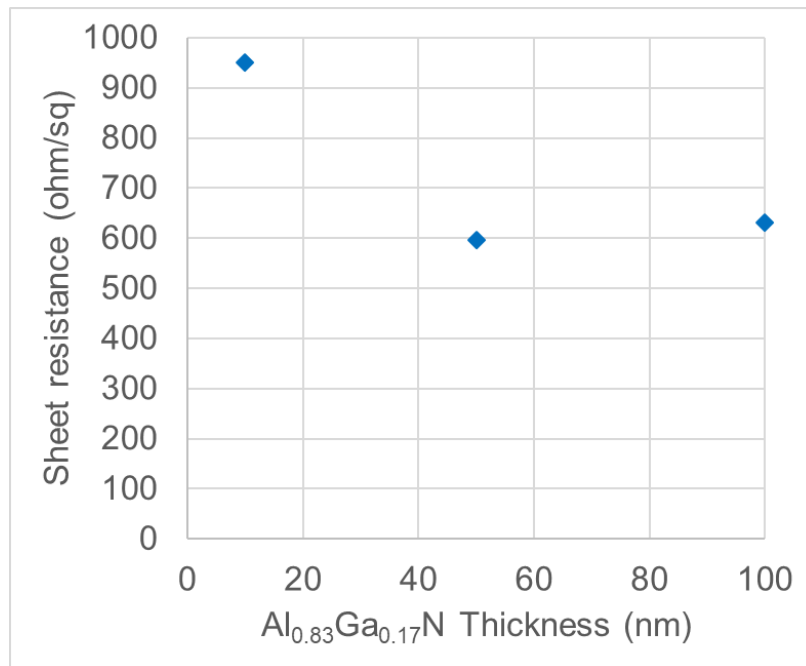
図③-4-5 AlGaIn バッファ構造におけるバンド構造の模式図

3.3.4.3 チャンネル抵抗の AlGaIn 初期層膜厚依存性

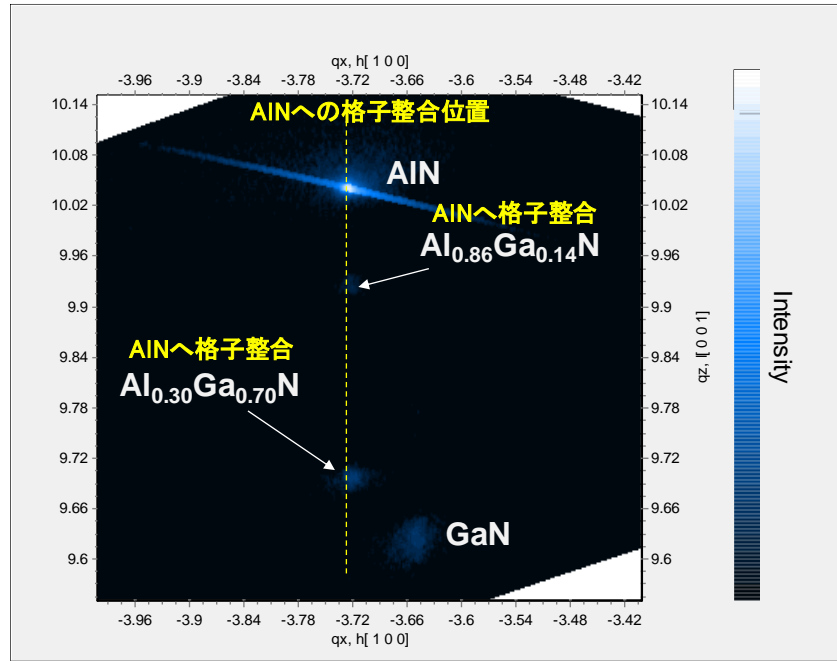
次に、 $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層の膜厚依存性について調査した。 AlN 基板の上に、 $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層、 $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層 (50 nm)、 GaN チャンネル層 (15 nm) を順次成長し、その後、 AlN スペーサ層 (2 nm)、 $\text{Al}_{0.31}\text{Ga}_{0.69}\text{N}$ 供給層 (16 nm)、 GaN キャップ層 (3 nm) を順に成長した。この内、 $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層の膜厚は 10 nm、50 nm、100 nm の 3 種類を製作し、シート抵抗測定を行った。図③-4-6 にシート抵抗の $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層膜厚依存性を示す。 $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層が厚くなるとシート抵抗が低下するが、50 nm を超えると増加傾向になる。また、図③-4-7(a) から $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層は 50 nm までは AlN に格子整合しているため、圧縮ひずみによる自発分極と反対向きのピエゾ分極が発生していると考えられる。このため $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層/ $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層界面のバンド位置を低下させる効果があると推測されるが、膜厚が薄い場合には、バンド位置が十分に下がらず、その効果が小さいと考えられる。 $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層の厚膜化により、バンド位置が十分に

低下し、その結果 GaN チャンネル内の内部電界を低減していると考えられる(図③-4-8)。一方、 $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層が 100 nm になると格子緩和してしまうため(図③-4-7(b))、 $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層内にピエゾ分極が発生しない。さらに、 $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層は AlN ではなく $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層に格子整合するため、AlN に格子整合した場合に比べ、圧縮ひずみが減りピエゾ分極も減少する。そのため、シート抵抗が増加すると考えられる。したがって、 $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層 50 nm が薄膜 GaN チャンネルにおける低シート抵抗化に有用であることがわかった。

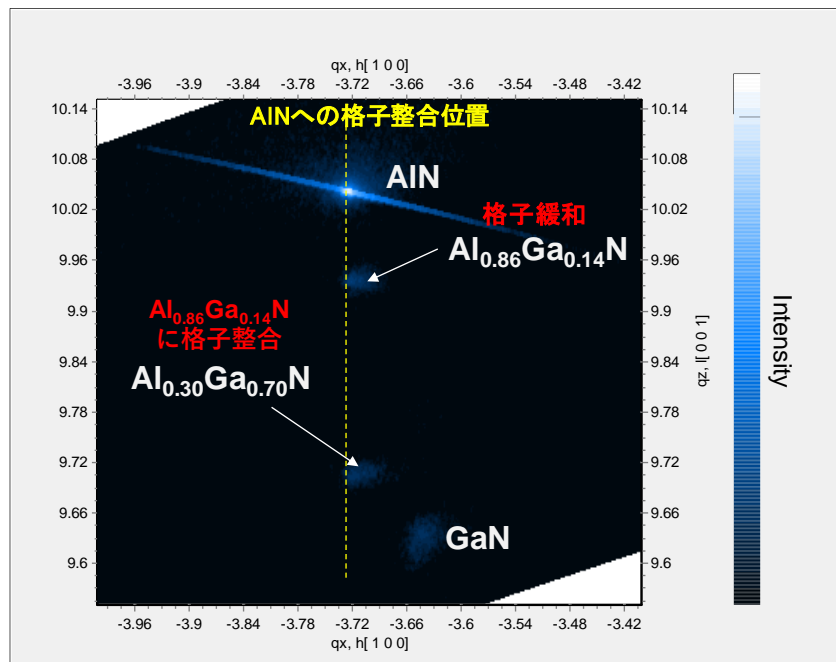
本実験により、 $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層(50 nm) / $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層(50 nm) 構造を用いて、GaN チャンネル厚 15 nm においてチャンネルシート抵抗 $R_{\text{sh}}=596.2 \text{ ohm/sq.}$ を実現した。



図③-4-6 シート抵抗の $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層膜厚依存性

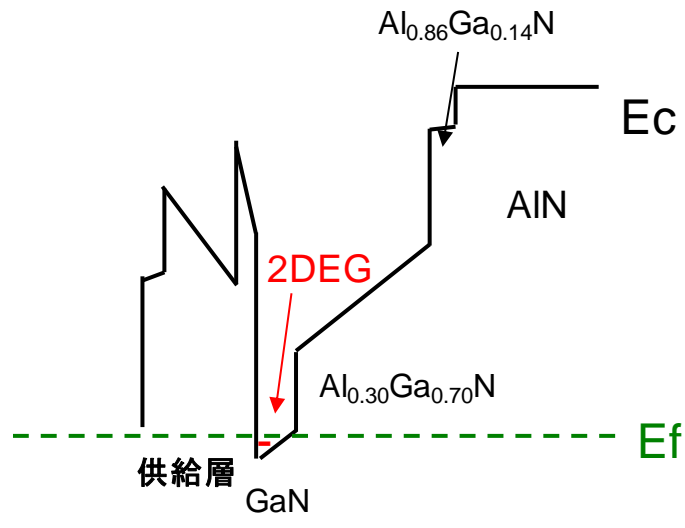


(a) $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層 50 nm

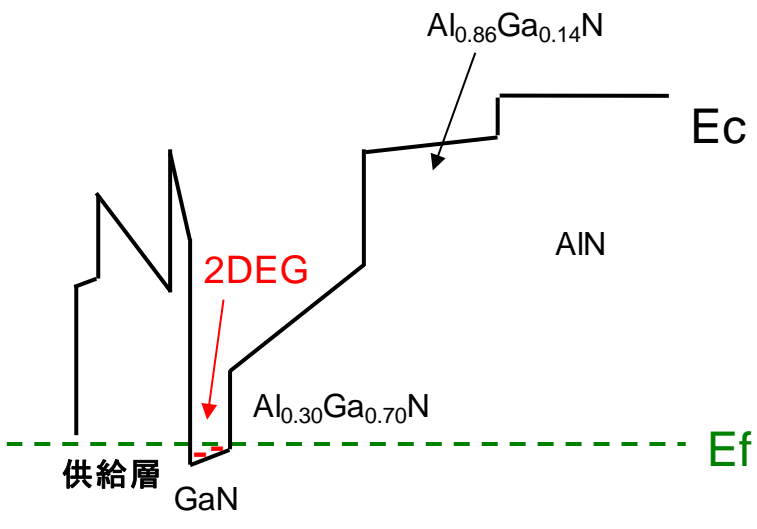


(b) $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層 100 nm

図③-4-7 $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層を適用した低 Al 組成 AlGa_N バッファ構造 (Ga_N チャンネル層 (50 nm) / $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層 (50 nm) / $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層 / Al_N 基板) の RSM 像



(a) $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層 10 nm



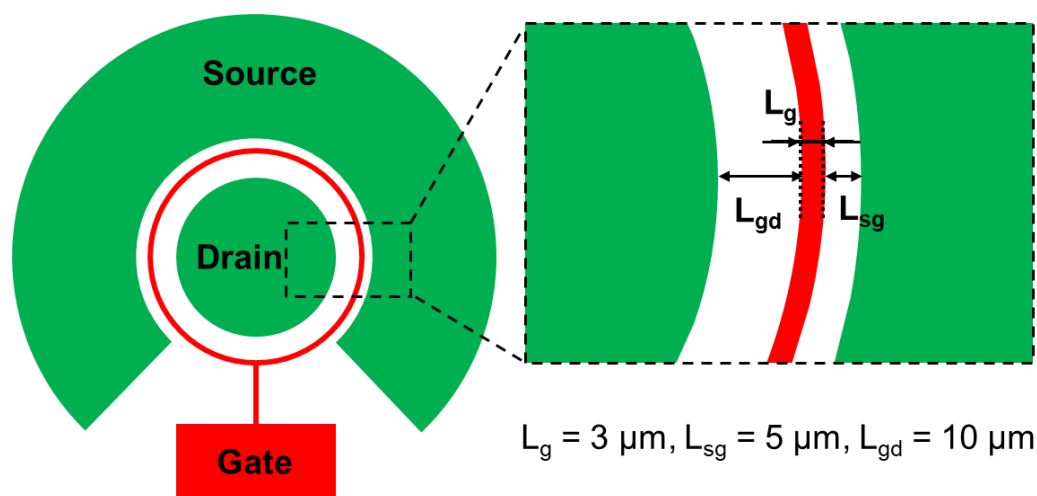
(b) $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層 50 nm

図③-4-8 AlGaN バッファ構造におけるバンド構造の模式図

3.3.5 量子チャネル構造の低シート抵抗化と極性制御エピの初期検討

3.3.5.1 量子チャネル構造の低シート抵抗化と簡易デバイスによるトランジスタ特性評価

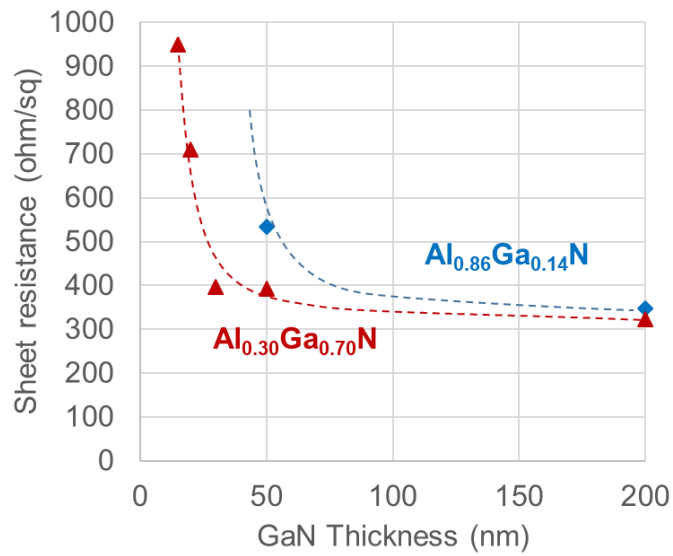
AlN 基板上 HEMT 構造の評価は、表面ラフネスを原子間力顕微鏡 (AFM) または走査型白色干渉顕微鏡、シート抵抗を渦電流法により評価した。デバイス特性は図③-5-1 に示す簡易デバイス構造を作製し、電気特性を測定することにより評価した。



図③-5-1 電気特性を測定するための簡易デバイス構造

はじめに、平成 31 年度に開発した歪み $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層と従来型の $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ バッファ層のデバイス特性を比較した。図③-5-2 に平成 31 年度に報告した各バッファ層におけるシート抵抗の GaN チャネル層厚依存性を示す。図③-5-2 で用いたサンプル構造の中から、バッファ層の特性を調査するために表③-5-1 に示すサンプル A と B、GaN チャネル厚の影響を調査するためにサンプル B と C の比較を行った。図③-5-3 に各サンプルの電流-電圧特性を示す。まず、バッファ構造の比較を行った。図③-5-3 (a)、(b) から $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ バッファ層に比べ、歪み $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層のドレイン電流 (I_d) が大きくなっており、シート抵抗の傾向と一致する。これは、平成 31 年度に報告したように、歪み $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層の方が $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ バッファ層よりも GaN チャネル層の内部電界を小さくすることが可能であるためと考えられる。したがって、デバイス出力を向上するためには、歪み $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層が適していることがわかる。次にチャネル厚の比較を行った。図③-5-3 (b)、(c) から GaN チャネル厚が薄くなるとシート抵抗と同様に I_d が小さくなる傾向にあるが、ほぼ同等の I_d を維持している。つまり、歪み $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層を用いることにより、GaN チャネル厚が 30 nm 程度まではデバイス出力を高く維持することが可能であることがわかった。

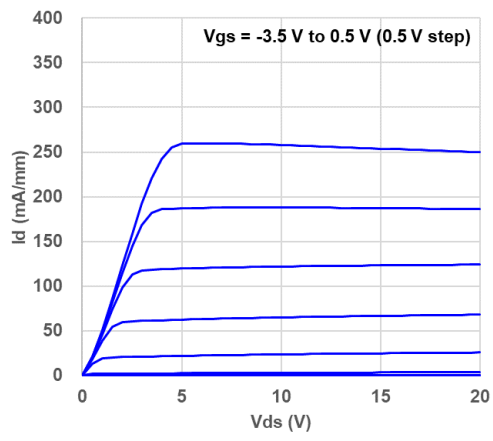
以上の結果から、歪み $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層がデバイス特性の観点から高出力化に適していることが確認できた。



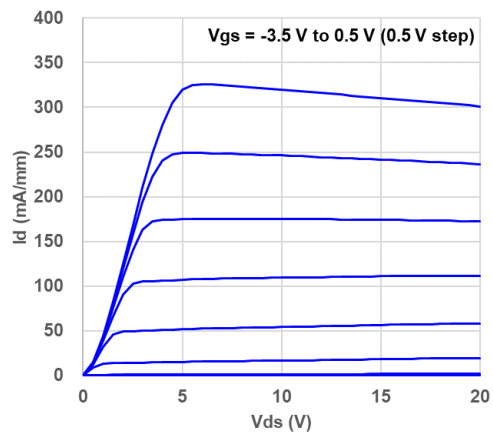
図③-5-2 シート抵抗の GaN チャンネル膜厚依存性 (図③-4-4 再掲)

表③-5-1 各サンプルのエピタキシャル結晶層構造

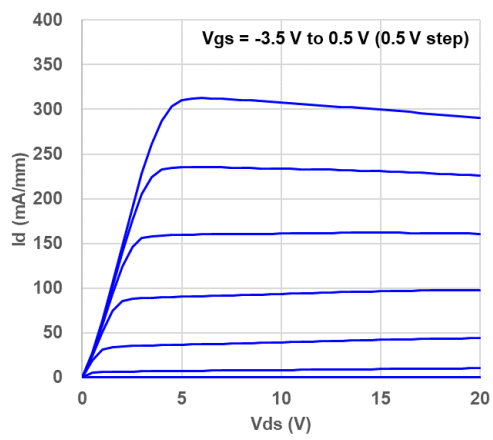
	サンプル A	サンプル B	サンプル C
供給層	GaN 3 nm / Al _{0.31} Ga _{0.69} N 16 nm / AlN 2 nm		
GaN チャンネル層	50 nm		30 nm
バッファ層	Al _{0.86} Ga _{0.14} N 50 nm	Al _{0.30} Ga _{0.70} N 50 nm / Al _{0.86} Ga _{0.14} N 10 nm	



(a) サンプル A



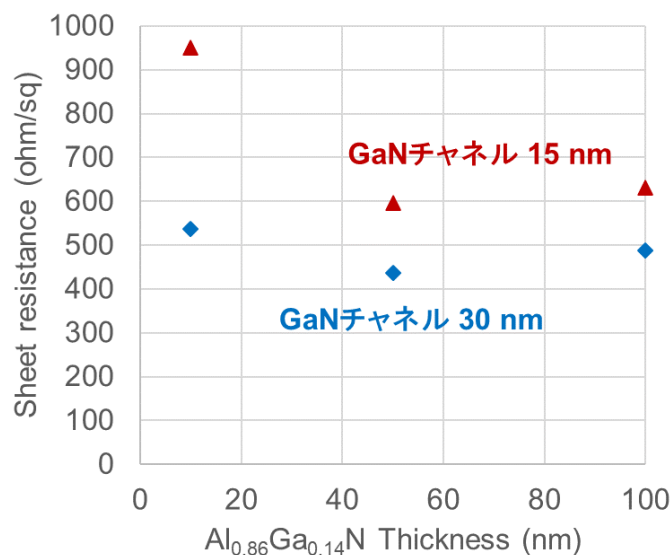
(b) サンプル B



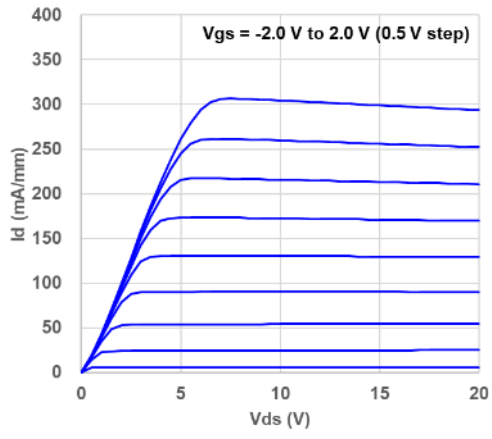
(c) サンプル C

図③-5-3 積層した結晶層が異なるサンプルの電流-電圧特性

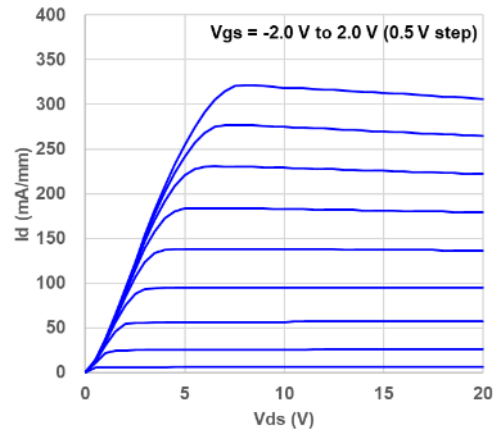
次に、歪み $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ構造における $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層のデバイス特性への影響について調査した。図③-5-4 にシート抵抗の $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層膜厚依存性を示す。平成 31 年度に報告した様に $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層が厚くなるとシート抵抗が低下するが、50 nm を超えると増加傾向になる。今回、GaN チャネル 30 nm のサンプルを用いてデバイスを試作した。図③-5-5 に各サンプルの電流-電圧特性を示す。なお、供給層構造は、 $\text{GaN}(3\text{ nm})/\text{Al}_{0.31}\text{Ga}_{0.69}\text{N}(16\text{ nm})/\text{AlN}(2\text{ nm})$ を用いている。図③-5-5 から、 I_d はシート抵抗の傾向と異なり、ほぼ同じ値となっている。このことから、 $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層が 50 nm 以上のサンプルに関しては、 I_d を減少させる要因があると推測される。この要因を調べるため、各結晶構造の表面状態を調査した。図③-5-6 にデバイス試作したサンプルの走査型白色干渉顕微鏡像を示す。図③-5-6 から $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層膜厚が 50 nm 以上のサンプルに関してはスリット状の凹みが存在することがわかる。これは、 $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ の膜厚が増加したことにより、内部歪みが増大し部分的に緩和が発生したため、結晶成長しないか成長レートが遅い領域が生じたと考えられる。このスリット状の凹みの領域は GaN チャネル層などが薄いと考えられるため、高抵抗になっていると推測される。シート抵抗評価においては、この領域が平均化されて測定されるため影響が小さく、デバイスにおいてはこの凹みの部分で電流が律速されるため、影響が大きくなっていると考えられる。したがって、 $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層膜厚が 50 nm 以上のサンプルに関しては I_d がシート抵抗から予想される値よりも小さくなっているのはスリット状の凹みが原因と推測される。つまり、高出力化を実現するためには、スリット状の凹みの発生を抑制することが重要であるため、 $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層膜厚は 50 nm 未満にする必要があることがわかった。



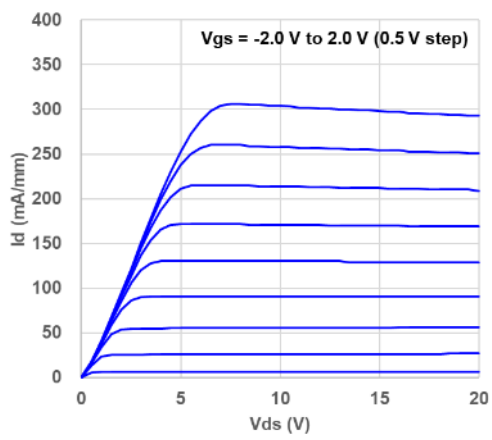
図③-5-4 シート抵抗の $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層膜厚依存性



(a) $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層 10 nm

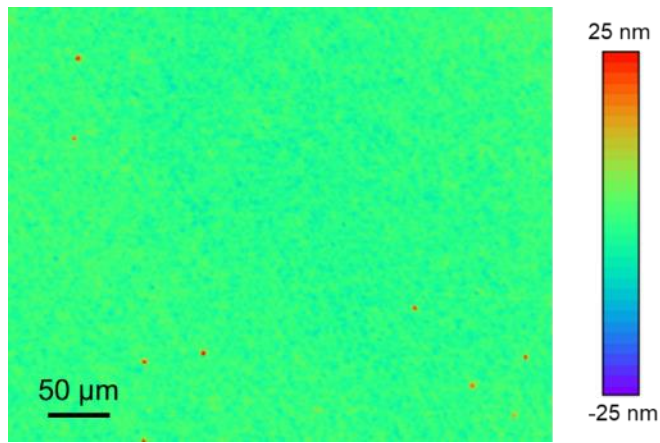


(b) $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層 50 nm

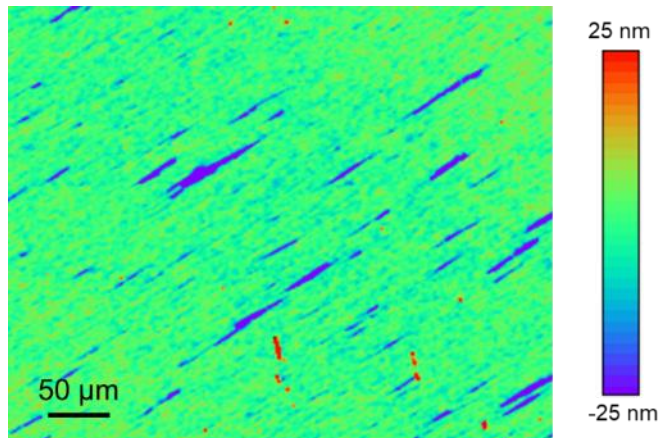


(c) $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層 100 nm

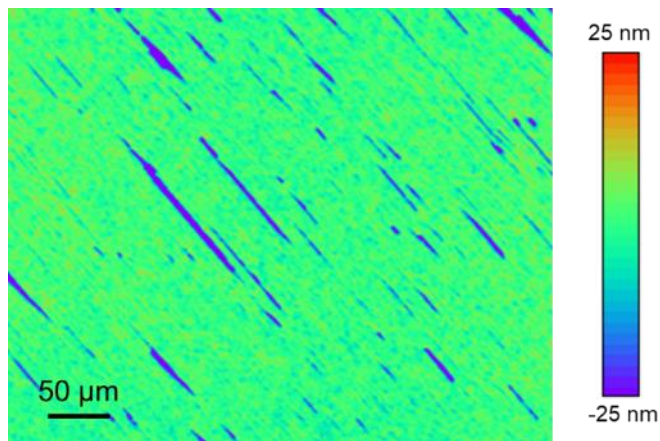
図③-5-5 $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層膜厚が異なるサンプルの電流-電圧特性



(a) $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層 10 nm



(b) $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層 50 nm

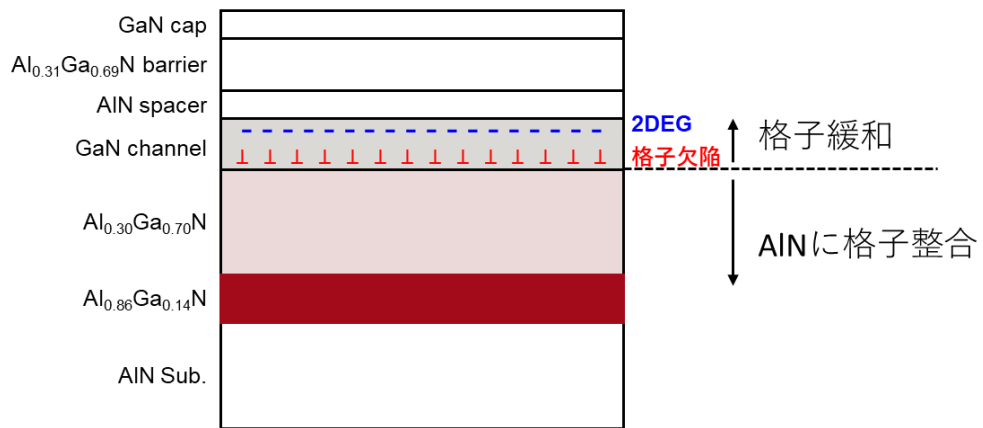


(c) $\text{Al}_{0.86}\text{Ga}_{0.14}\text{N}$ 初期層 100 nm

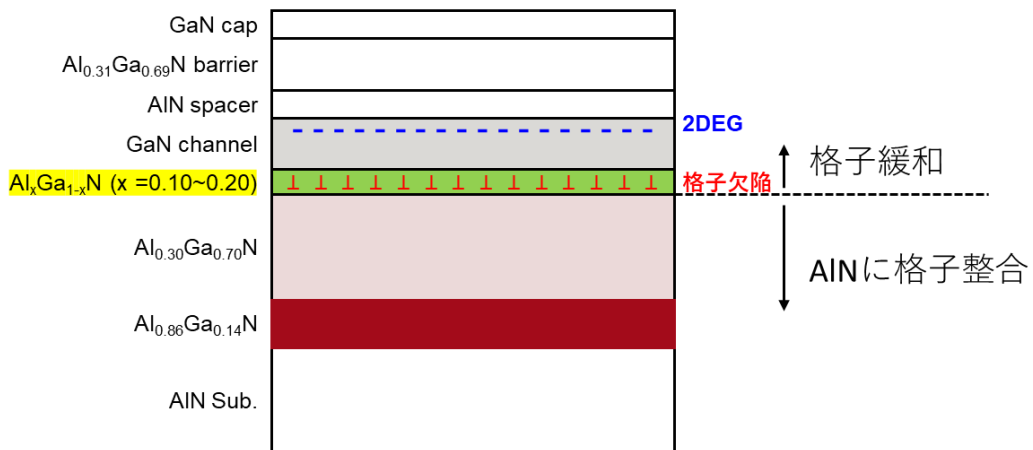
図③-5-6 走査型白色干渉顕微鏡像

平成31年度までに開発した歪み $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層構造を用いた場合でも、GaN チャネル層が 30 nm 未満になった場合、シート抵抗は 600 ohm/sq. 以上と高い。そのため、新しいバッファ構造を検討し、低シート抵抗化を試みた。まず、平成31年度までに開発した歪み $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層構造について検証する。図③-5-7 に歪み $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層構造の模式図を示す。歪み $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層構造は $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ 層までは AlN 基板に格子整合しており、圧縮ひずみを有している。一方、GaN チャネル層は格子緩和しているため、GaN チャネルの初期層で格子欠陥が発生していると考えられる。格子欠陥が発生すると結晶内の分極に乱れが生じ、電子が散乱を受けると考えられる。そのため、チャンネルが薄くなってくると 2DEG が分極の乱れによる散乱を

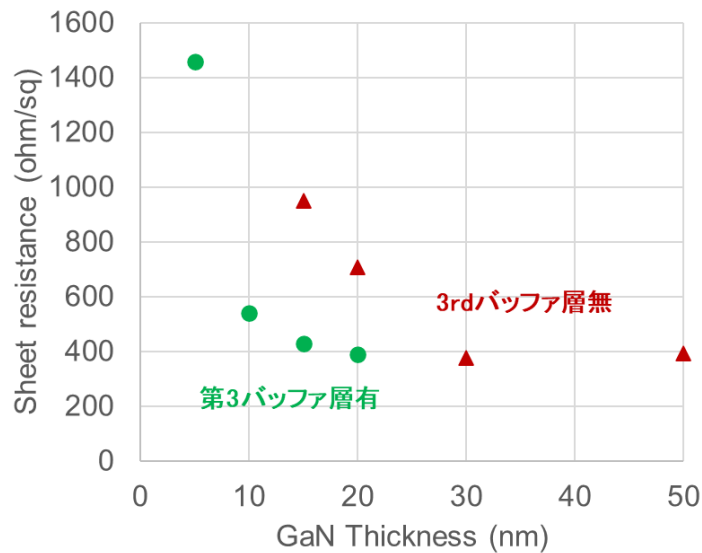
強く受け、移動度が低下すると考えられる。そこで、格子欠陥による散乱の影響を低減するため、図③-5-8 ように 3rd AlGaN バッファ層を導入することとした。3rd AlGaN バッファ層の Al 組成を 0.10~0.20 とすることにより、格子緩和を発生させつつ、格子欠陥による散乱の影響を抑制する。この 3rd AlGaN バッファ層を適用した時のシート抵抗の GaN チャネル層膜厚依存性を図③-5-9 に示す。3rd AlGaN バッファ層の Al 組成は 0.15、膜厚は 10 nm である。図③-5-9 から 3rd AlGaN バッファ層を適用することにより GaN チャネル層膜厚が薄い場合において、シート抵抗が大きく低減できていることがわかる。したがって、3rd AlGaN バッファ層により格子欠陥による散乱の影響が低減できたものと考えられる。3rd AlGaN バッファ層の適用により GaN チャネル厚 10 nm において 539.7 ohm/sq. という低いシート抵抗を実現した。



図③-5-7 歪み $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層構造の概念図

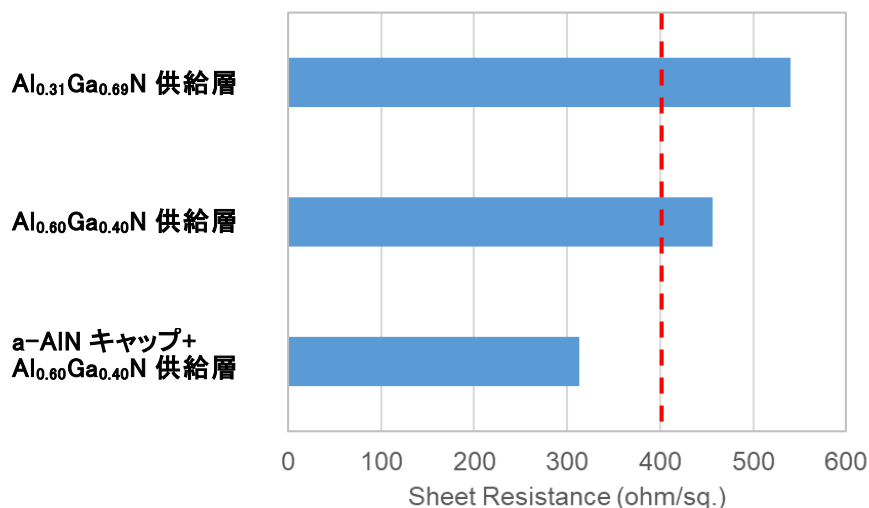


図③-5-8 3rd AlGaN バッファ層 + 歪み $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層構造の概念図



図③-5-9 3rd AlGaN バッファ層+歪み $\text{Al}_{0.30}\text{Ga}_{0.70}\text{N}$ バッファ層構造におけるシート抵抗と GaN チャネル膜厚の相関

さらに、目標である 400 ohm/sq. 未満を実現するため、供給層の高 Al 組成化を検討した。供給層を高 Al 組成化すると歪みにより移動度が低下することが報告されている [6]。しかしながら、窒素キャリア成長により Al 組成 0.60 までは、移動度の低下を抑制し、低シート抵抗化が可能なことから、 $\text{Al}_{0.60}\text{Ga}_{0.40}\text{N}$ 供給層を適用した。これにより、シート抵抗は 456.3 ohm/sq. まで低減できた (図③-5-10)。また、高 Al 組成 AlGaN 供給層では応力が大きいため、クラックの発生を抑制するには膜厚を薄くする必要がある。これにより表面と 2DEG の距離が近くなるため、表面散乱の影響を受けやすく移動度が低下する [7]。そこで、表面散乱の影響を低減するため、表面保護膜としてアモルファス AlN (a-AlN) を適用した。 $\text{Al}_{0.60}\text{Ga}_{0.40}\text{N}$ 供給層の上部に a-AlN キャップを配置し表面を保護することにより表面散乱が抑制され、シート抵抗は 313.3 ohm/sq. となり (図③-5-10)、目標となる 400 ohm/sq. 未満を達成した。

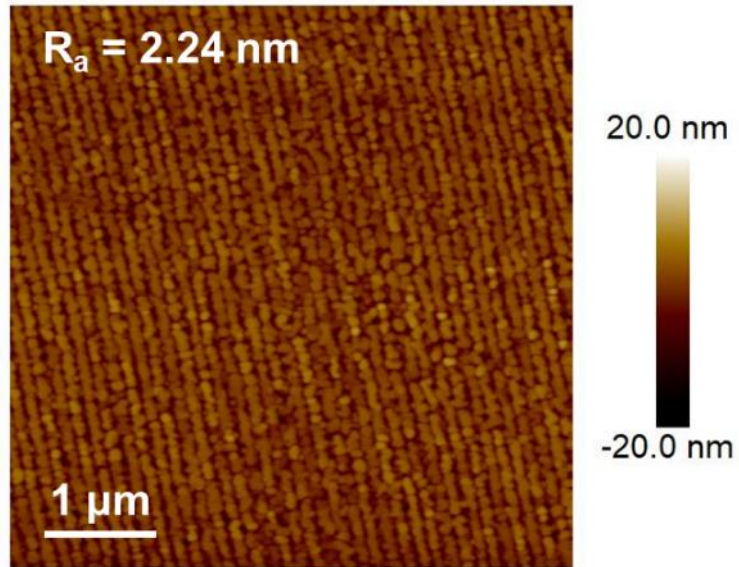


図③-5-10 シート抵抗の供給層構造依存性

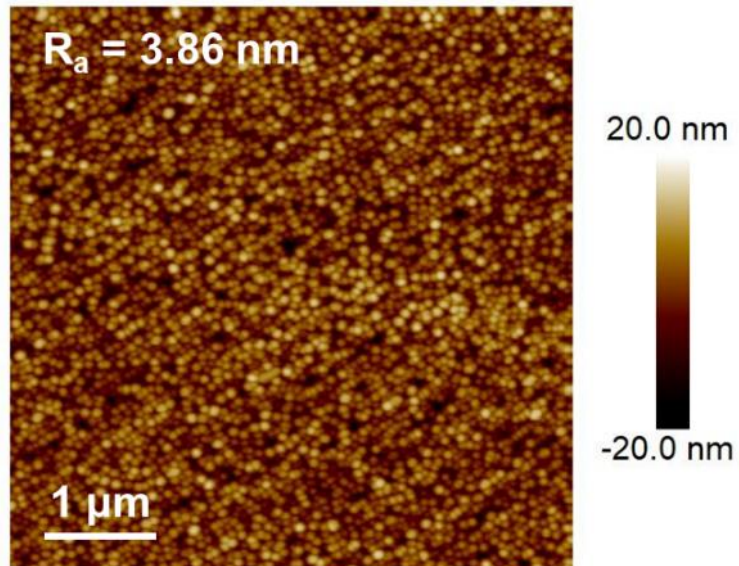
3.3.5.2 極性制御エピ初期検討

極性制御による量子チャネルデバイスの高出力化の可能性を探るため、N 極性の結晶成長実験に着手した。まず、C 面 SiC 基板を用い N 極性 AlN を成長した。図③-5-11 に AlN 核形成層 40 nm を形成した時の AFM 像を示す。AlN の成長温度はサセプタ裏面熱電対温度で $T_c = 1350^\circ\text{C}$ 、成長圧力は 5 kPa である。図③-5-11 ら、V/III が高い場合、表面ラフネスが悪化している。したがって、N 極性 AlN は V/III が低い方が平坦化できることがわかった。次に、AlN 核形成層上に厚膜 AlN を成長した。図③-5-12 に AlN 500 nm を形成した時の AFM 像を示す。AlN の成長温度は $T_c = 1500\sim 1600^\circ\text{C}$ 、成長圧力は 5 kPa である。 $T_c = 1500^\circ\text{C}$ の場合、AlN がヒロック状に成長し、表面ラフネスが悪化している。一方、 $T_c = 1600^\circ\text{C}$ の場合は平坦な膜が形成出来ていることがわかる。これは、成長温度の高温化により Al 原子の表面マイグレーションが促進されたためと考えられる。これより、平坦な AlN 膜形成には 1600°C 程度の高温が必要なことがわかる。

次に、N 極性の GaN の成長を検討した。N 極性 GaN の成長には Sapphire 基板を用いた。図③-5-13 に GaN 500 nm を形成した時の走査型白色干渉顕微鏡像を示す。GaN の成長温度は $T_c = 1200^\circ\text{C}$ 、成長圧力は 5 kPa である。基板オフ角は 0.2° および 4° を用いた。図③-5-13(a) からオフ角が小さい基板を用いた場合、GaN はヒロック状に成長し、表面ラフネスが大きく悪化する。一方、 4° オフ基板を用いた場合、GaN の平坦度は大きく改善することがわかった。低オフ角においても成長温度を増加させることにより、表面ラフネスの改善が期待できるが、GaN の場合、成長温度を増加させると脱離が大きくなり、GaN 自体が成長出来なくなる。したがって、N 極性 GaN の成長には、 4° 程度のオフ角を有する基板が適していることがわかった。

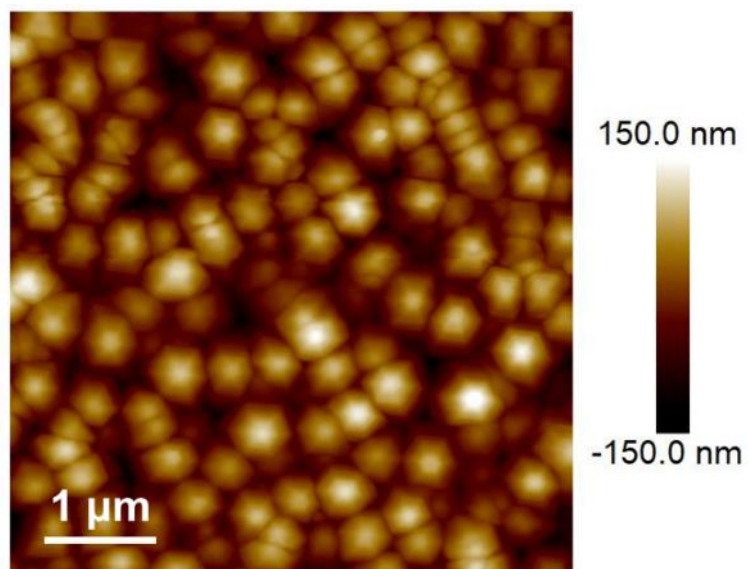


(a) $V/\text{III} = 1300$

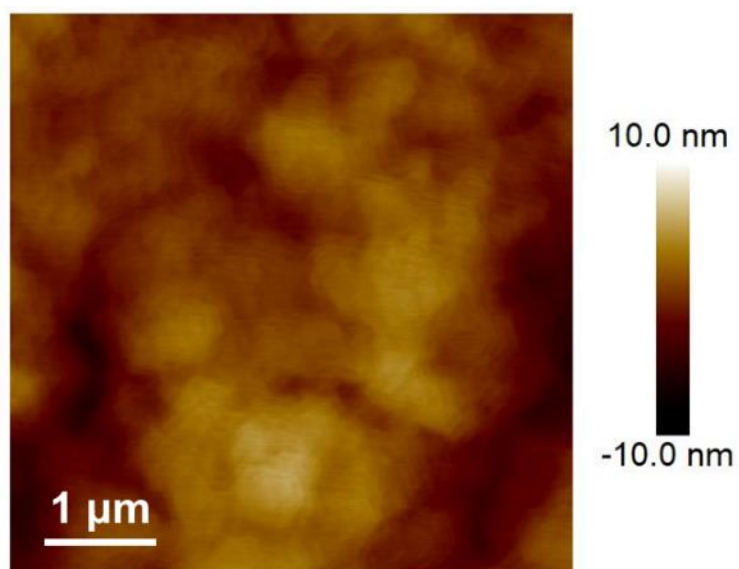


(b) $V/\text{III} = 13000$

図③-5-11 N極性 AlN 初期層の AFM 像

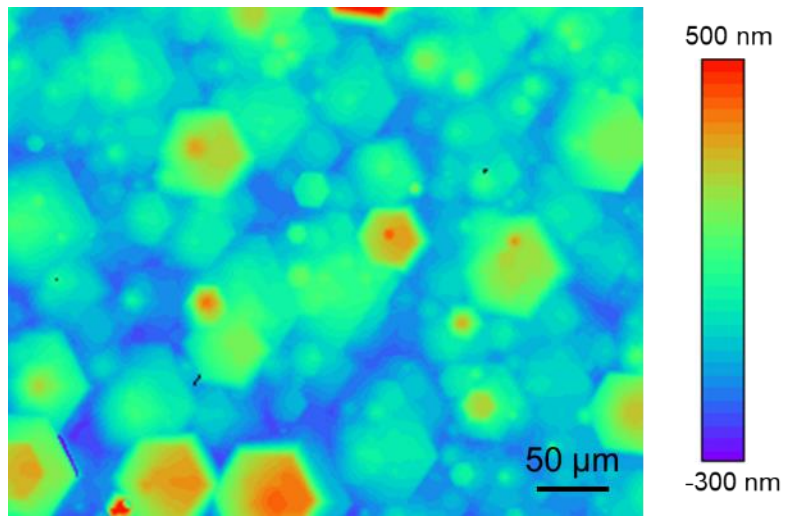


(a) $T_c = 1500^\circ\text{C}$

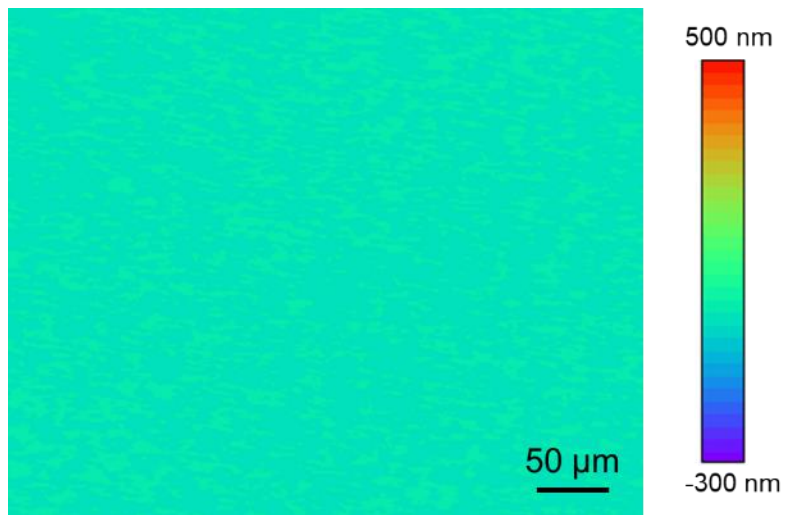


(b) $T_c = 1600^\circ\text{C}$

図③-5-12 N極性 AlN 層の AFM 像



(a) 0.2° オフ基板



(b) 4° オフ基板

図③-5-13 N極性 GaN 層の走査型白色干渉顕微鏡像

3.3.6 超高純度 AlN 層の成長と m 面および N 極性 AlN 基板上 HEMT 構造の試作

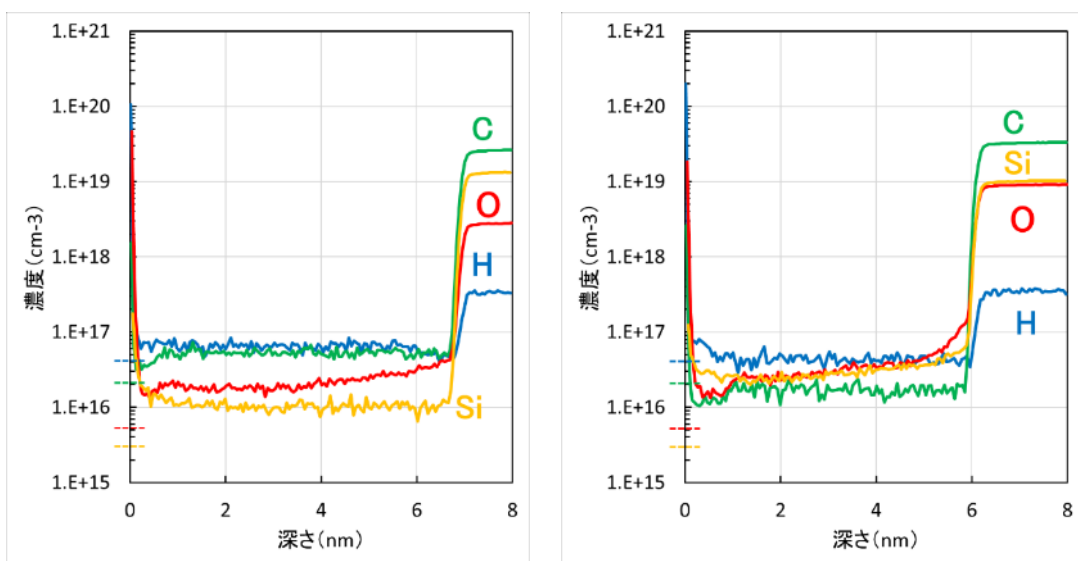
3.3.6.1 AlN エピタキシャル層の不純物濃度低減

AlN ホモエピタキシャル層中の不純物濃度の成長温度依存性について調査した。平成 30 年度に導入した超高温 MOCVD 装置を用い、片面研磨 (single side polished, SSP) AlN 基板上に成長温度 (設定温度) 1500°C および 1600°C で AlN 層をホモエピタキシャル成長した。TMAI 供給量 38.6 $\mu\text{mol}/\text{min}$ 、 NH_3 供給量 0.5 slm、成長圧力 5 kPa で成長し、キャリアガスとして H_2 を用いた。なお、不純物を低濃度域まで分析するためホモエピタキシャル層は 5 μm 以上形成した。

表③-6-1 に各 AlN エピタキシャル層中の不純物濃度を、図③-6-1 に各 AlN エピタキシャル層の SIMS プロファイルを示す。表③-6-1 には比較のため、同成長条件で SiC 基板上に成長した AlN エピタキシャル層の結果も載せている。AlN 基板上の AlN ホモエピタキシャル層は SiC 基板上の AlN ヘテロエピタキシャル層に比べて不純物濃度が大きく低減できている。AlN ホモエピタキシャル成長層は転位欠陥が少ないため、転位周辺に取りこまれやすい不純物が低減したと考えられる。また、AlN 基板を用いることにより SiC 基板起因と考えられる Si 不純物濃度は大きく低減できた。AlN ホモエピタキシャル層の O 不純物は成長温度の低減とともに減少する傾向が確認できる。1600°C 成長において、O 不純物濃度 $1.8 \times 10^{16} \text{ cm}^{-3}$ を実現した。しかしながら、目標とする O 不純物濃度 $1 \times 10^{16} \text{ cm}^{-3}$ 以下を達成しておらず、目標の実現にはさらに高い成長温度が必要と考えられる。

表③-6-1 AlN エピタキシャル層中の不純物濃度

基板	成長温度 (°C)	H (cm^{-3})	C (cm^{-3})	O (cm^{-3})	Si (cm^{-3})
AlN(SSP)	1500	4.3×10^{16}	1.8×10^{16}	2.5×10^{16}	2.4×10^{16}
AlN(SSP)	1600	6.4×10^{16}	5.4×10^{16}	1.8×10^{16}	1.1×10^{16}
SiC	1500	$< 6 \times 10^{17}$	$< 8 \times 10^{16}$	2×10^{17}	1×10^{19}
SiC	1600	$< 6 \times 10^{17}$	$< 8 \times 10^{16}$	$< 1 \times 10^{17}$	1×10^{19}



(a) 1600°C

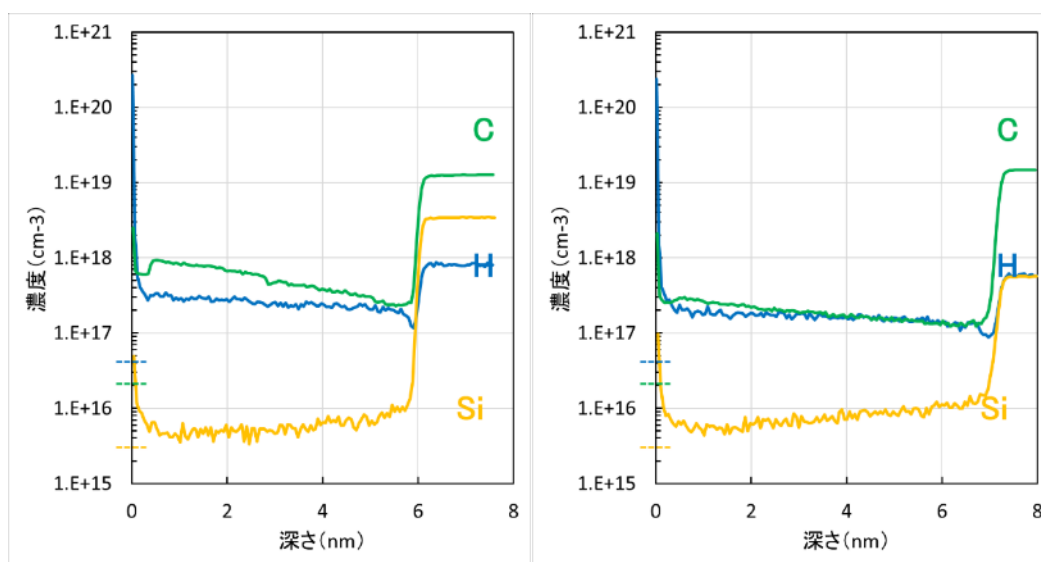
(b) 1500°C

図③-6-1 各 AlN エピタキシャル層の SIMS プロファイル (点線は各元素のバックグラウンドレベルを示す)

超高温 MOCVD 装置自体ではこれ以上の設定温度の増加は困難であるため、AlN 基板表面温度の増加を検討した。上記の成長では、SSP 基板を用いていたが、SSP 基板では MOCVD 装置の Susceptor との密着性が低く熱伝導が悪いため、Susceptor よりも表面温度が低いと考えられる。そのため、両面研磨 (double side polished, DSP) 基板を用いることにより、Susceptor との密着性を向上し、Susceptor との温度差を低減することを試みた。表③-6-2 に各 DSP-AlN 基板上 AlN ホモエピタキシャル層中の不純物濃度を、図③-6-2、③-6-3 に各 DSP-AlN 基板上 AlN ホモエピタキシャル層の SIMS プロファイルを示す。DSP-AlN 基板を用いた場合、1600℃での成長では AlN が成長しなかった。これは、AlN 基板表面の温度が高いため成長レートよりも、脱離レートが大きくなったためと推測される。つまり、DSP-AlN 基板も用いることにより、基板表面温度の高くなっていることがわかる。1550℃成長での 0 不純物濃度は 1600℃成長した SSP-AlN 基板上 AlN エピタキシャル層よりも低減しており、DSP-AlN 基板の表面温度は SSP-AlN 基板の表面温度よりも 50℃以上高いことが示唆される。また、1565℃成長での 0 不純物濃度のバックグラウンドレベルである $1 \times 10^{16} \text{ cm}^{-3}$ 以下となっており、令和 3 年度の目標を達成した。

表③-6-2 DSP-AlN 基板上 AlN ホモエピタキシャル層中の不純物濃度

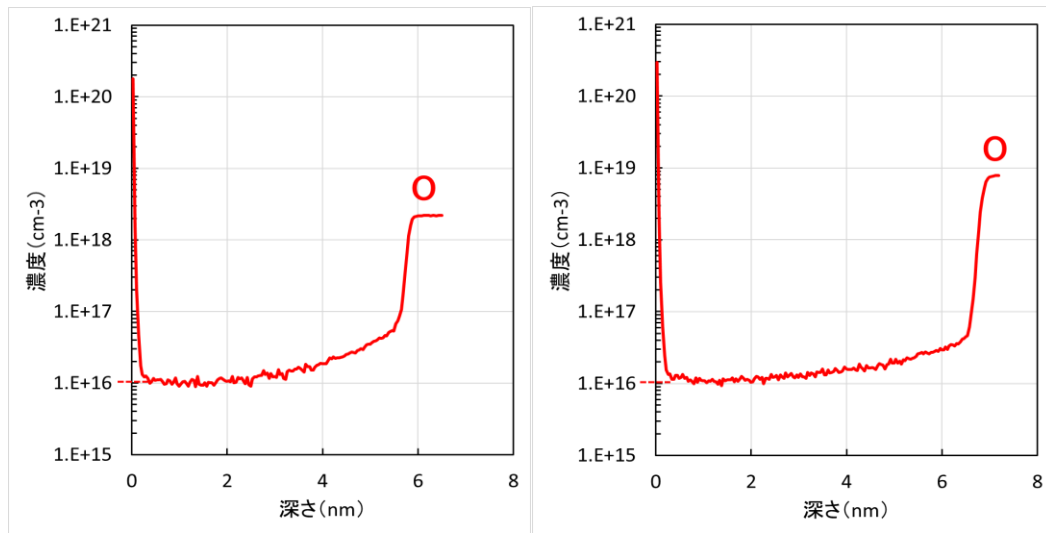
基板	成長温度 (°C)	H (cm ⁻³)	C (cm ⁻³)	O (cm ⁻³)	Si (cm ⁻³)
AlN (DSP)	1550	1.8×10^{17}	2.4×10^{17}	1.1×10^{16}	5.6×10^{15}
AlN (DSP)	1565	2.8×10^{17}	7.7×10^{17}	$< 1.0 \times 10^{16}$	4.9×10^{15}
AlN (DSP)	1600	成長せず			



(a) 1565℃

(b) 1550℃

図③-6-2 DSP-AlN 基板上 AlN ホモエピタキシャル層中 C、H、Si の SIMS プロファイル (点線は各元素のバックグラウンドレベルを示す)



(a) 1565°C

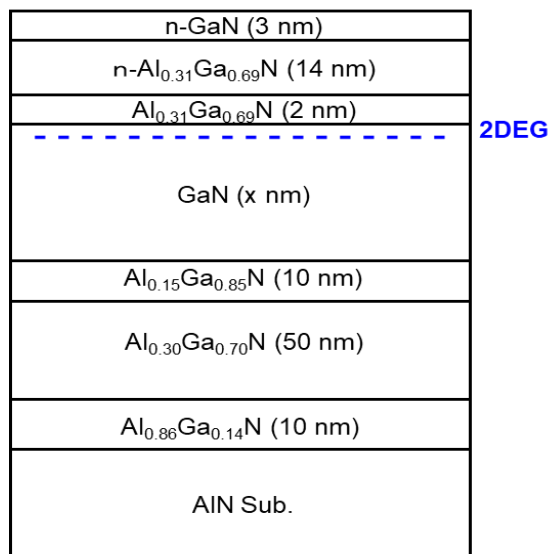
(b) 1550°C

図③-6-3 DSP-AlN 基板上 AlN ホモエピタキシャル層中 0 の SIMS プロファイル (点線は各元素のバックグラウンドレベルを示す)

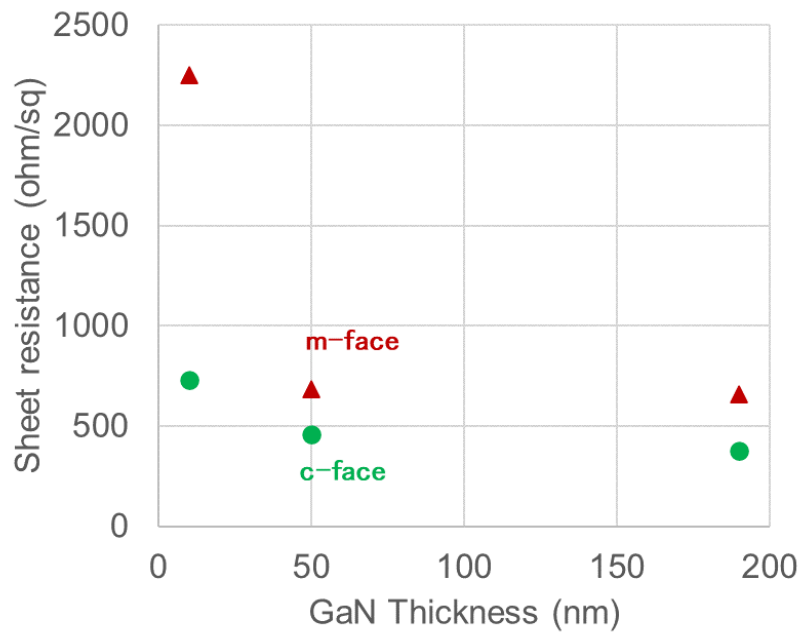
3.3.6.2 m面 AlN 基板上 HEMT 構造試作

薄膜チャンネルにおけるシート抵抗の増加は実施項目⑥において、高い内部電界によるものとわかった。そこで、さらなるシート抵抗低減のため基板に垂直な方向の分極を持たない m 面 AlN 基板上デバイスの試作を行った。図③-6-4 に試作したデバイス構造の模式図、図③-6-5 に m 面 AlN 基板上 HEMT 構造におけるシート抵抗の GaN チャンネル層厚依存性を示す。m 面は基板に垂直な方向の分極を持たないため、分極による 2DEG が発生しない。そのため、バリア層に n 型不純物である Ge をドーピングすることにより 2DEG を発生させた。図③-6-5 (a) から m 面 AlN 基板上 HEMT 構造において、c 面 AlN 基板上 HEMT 構造と同程度のシート抵抗が実現できていることがわかる。また、図③-6-5 (b) から m 面 AlN 基板上 HEMT 構造はチャンネル厚が 50 nm まではチャンネル厚に依存せずシート抵抗は一定である。このことから、チャンネル内に内部電界がないため、シート抵抗の増加が抑制されていることが示唆される。

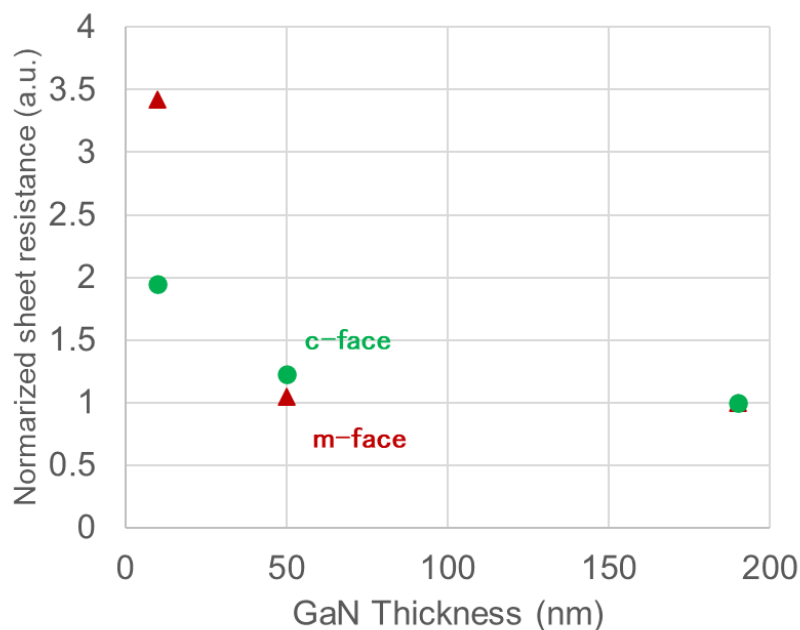
以上の結果から、チャンネル内に内部電界がない m 面を用いることにより量子閉じ込め構造のさらなる低抵抗化の可能性を確認した。



図③-6-4 m 面 AlN 基板上 HEMT 構造の模式図



(a) シート抵抗



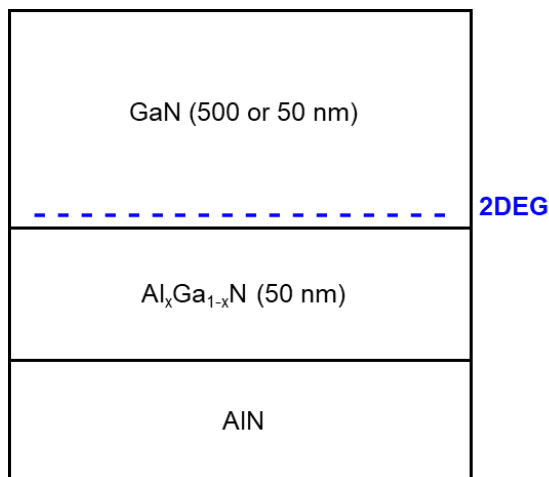
(b) 規格化シート抵抗 (チャンネル厚 190 nm を 1 として規格化)

図③-6-5 m 面 AlN 基板上 HEMT 構造におけるシート抵抗の GaN チャンネル層厚依存性

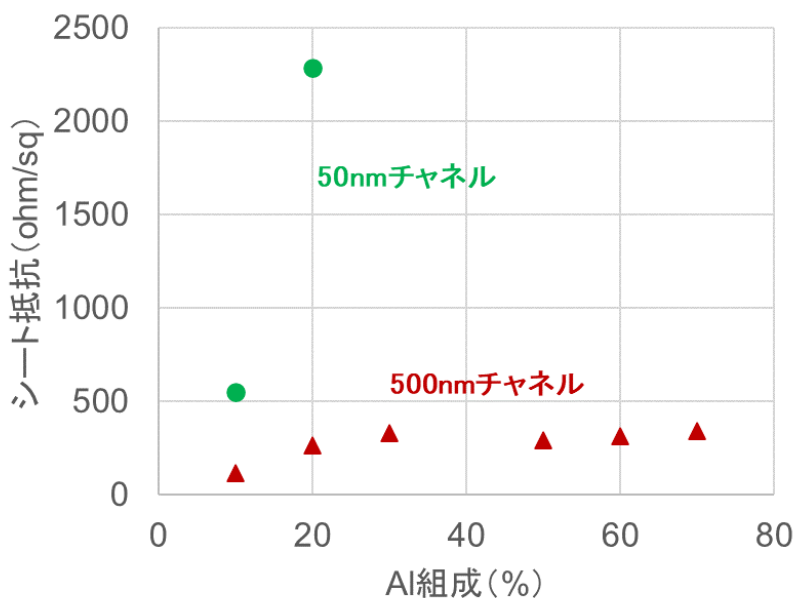
3.3.6.3 N 極性 AlN 結晶上 HEMT 構造試作

令和 2 年度に開発した N 極性エピ結晶技術を用い、N 極性 AlN 結晶上の HEMT 構造の性能実証を行った。図③-6-6 に試作したデバイス構造の模式図を示す。AlN 結晶上に直接 GaN を成長した場合、格子不整合により GaN 初期層に転位欠陥が発生し高抵抗化する。これを抑制するため、バッファ層を兼ねた AlGaIn バリア層を配置した。図③-6-7 に N 極性面 HEMT 構造におけるシート抵抗の AlGaIn バリア層 Al 組成依存性を示す。チャンネル厚 500 nm においては、AlGaIn バリア層の Al 組

成が 30% 以上の場合はシート抵抗がほぼ一定である。これは N 極性 GaN が成長時に O 不純物を多く取りこみ n 型化するため、それによるシート抵抗値であると考えられる。このことから、GaN チャンネル層には 2DEG は発生していないと考えられる。また、チャンネル厚 50 nm は Al 組成が 30% 以上の場合は装置の測定範囲を超えるほど高いため、同様に 2DEG が生じていないと考えられる。一方、Al 組成が 20% 以下では、チャンネル厚 500 nm と 50 nm とともに、シート抵抗が大きく低下している。これは、O 不純物による n 型化以外の要因により生じていると考えられ、2DEG の発生が示唆される。



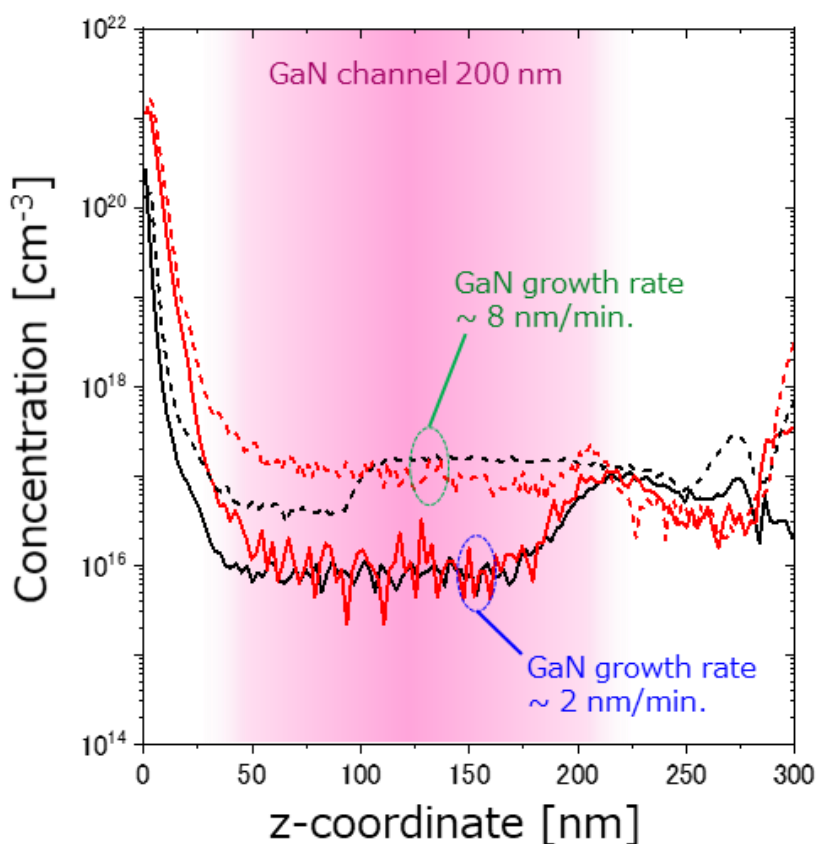
図③-6-6 N 極性面 HEMT 構造の模式図



図③-6-7 N 極性面 HEMT 構造におけるシート抵抗の AlGa_xN バリア層 Al 組成依存性

3.3.6.4 高出力化に向けた GaN チャンネル中炭素濃度の抑制

実施項目⑩において後述するように、高い出力密度を得るためにはコラプス率低下の抑制をすることが最も重要な要素であることが分かった。また、GaN 中の不純物トラップはコラプスを悪化させる大きな要因の一つである。そこで、GaN チャンネル中の成長条件を見直すことで GaN チャンネル中の O 濃度および C 濃度の低減を試みた。C 濃度を低減するためには、高い V/III 比が有用であるため、昨年まで利用してきた V/III 比よりも 6 倍高い比率で成長した後の GaN チャンネル中の SIMS 結果を図③-6-8 に示す。V/III 比を高くしたことで成長レートもおおよそ 1/6 となっており、元々 8 nm/min 程度の成長レートだったものが 2 nm/min 以下となっている。その結果、GaN チャンネル中の O 及び C 不純物の濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 以下の SIMS 検出下限となっており、GaN チャンネル中の不純物濃度を従来よりも 1 桁以上低減することを確認できた。



図③-6-8 GaN チャンネル中の SIMS プロファイル
(赤線および黒線はそれぞれ O・C の濃度を示す)

3.3.7 まとめ

量子閉じ込めチャネル構造実現に向けた結晶成長技術の確率を目的とし開発を行った。

平成29年度はMOCVDによるAlNホモエピタキシャル成長技術の確立を目的とし、AlNホモエピタキシャル結晶成長の初期検討を行った。NH₃供給量において、NH₃供給量を少なくし、NH₃分圧を低下させることにより、表面平坦性の向上が可能であることが分かった。そして、NH₃供給量を1slm以下にすることにより、表面ラフネスRa < 0.10 nmを実現し、目標であるRa < 1.0 nmを達成した。

平成30年度は、平成29年度の成果を用い、導入した超高温MOCVD装置を用いることにより、AlNホモエピタキシャル層の成長において表面ラフネスRa < 0.10 nmを実現し、目標であるRa < 0.50 nmを達成した。また、AlNエピタキシャル層の成長において、1600°Cの超高温成長により、0不純物濃度 < 10¹⁷ cm⁻³を実現し、中間目標の1つを達成した。

平成31年度は、AlN基板上HEMT構造におけるAlGaNバッファ層構造を開発した。Al_{0.86}Ga_{0.14}N初期層および歪みAl_{0.30}Ga_{0.70}Nバッファ層を用いることにより、バッファ層中にピエゾ電界を生じさせ、GaNチャネル中の内部電界を低減することに成功した。そして、Al_{0.30}Ga_{0.70}N 50nm/Al_{0.86}Ga_{0.14}N 10 nmバッファ構造を用いることによりGaNチャネル厚30 nmにおいてチャネルシート抵抗R_{sh} = 397.5 ohm/sq.を実現し、中間目標であるチャネルシート抵抗<1000 ohm/sq.を達成した。

令和2年度はAlN基板上HEMT構造におけるAlGaNバッファ層構造のさらなる改良を行った。歪みAlGaNバッファ層/GaNチャネル層界面に、結晶欠陥発生領域と電子走行領域を分離する3rd AlGaNバッファ層を新たに挿入し、GaNチャネル層を薄層化したときに顕著となる電子の散乱を抑制した。これにより、30 nm以下の薄チャネル構造において、400 ohm/sq.以下の低いシート抵抗の実現に成功した。また、供給層の高Al組成化および表面散乱抑制用a-AlNを適用し、チャネル厚10 nmにおいてシート抵抗313.3 ohm/sq.を実現し、最終目標である超高純度量子閉じ込めチャネルにおけるチャネルシート抵抗 < 800 ohm/sq.を実現した。また、N極性結晶の成長実験に着手し、N極性AlNの成長条件は高温、低V/IIIが適しており、GaNでは4°オフ基板が適していることを確認した。これにより令和2年度の目標である極性制御AlN成長の検討を完了した。

令和3年度はAlNホモエピタキシャル層の成長においてはDSP-AlN基板を用いることにより、SusceptorとAlN基板の密着性を向上し、これにより実質的な表面温度を高くすることが可能となり、設定温度1565°Cでの成長により、0不純物濃度 < 1×10¹⁶ cm⁻³を実現し最終目標を達成した。また、極性制御AlN成長の一環としてm面AlN基板上HEMT構造およびN極性面上HEMT構造の検討を行った。m面AlN基板上HEMT構造では、チャネル厚が50 nmまではチャネル厚に依存せずシート抵抗は一定であることから、チャネル内の内部電界の影響がないことを確認した。これにより、量子閉じ込め構造のさらなる低抵抗化の可能性を示した。また、N極性面上HEMT構造においては、AlGaNバリア層を用いることにより、2DEGの発生を確認した。

参考文献

- [1] J. Kotani et al., Phys. Status Solidi(c) 10, 808 (2013).
- [2] T. Aisaka et al., Jpn. J. Appl. Phys., 53, 085501 (2014)
- [3] G. Pozina et al., Mat. Sci. Eng. B, 82, 137 (2001)
- [4] H. Yuan et al., J. Vec. Sci, Technol. A, 21, 1814 (2003).
- [5] F. Widmann et al., Appl. Phys. Lett., 73, 2642 (1998)
- [6] A. Yamada, *et al.*, J. Crystal Growth, 15, 126046 (2021).
- [7] J. Yaita, *et al.*, Appl. Phys. Express, 14, 031005 (2021).

3.4 ④高耐圧絶縁ゲート形成技術

3.4.1 はじめに

本研究は従来にない極めて強い量子閉じ込め効果を電子輸送チャネル適用することで従来技術の延長から脱却した次世代デバイスの創出を目指す。トランジスタ出力の向上は、電流量または動作電圧の向上によって実現されるが、トランジスタ内部での損失を考慮すれば、動作電圧を向上させることが望ましい。しかし、高電圧動作時におけるゲート電極近傍の電界集中はより厳しくなるため、高い耐圧を有し、ゲートリーク電流を低減可能な MIS (Metal-Insulator-Semiconductor: MIS) 構造の実現が求められる。このため、バンドギャップの広い AlO 膜 ($E_g = 7.0 \text{ eV}$ [1]) をゲート電極下に挿入する MIS 構造が GaN-HEMT では用いられてきた[2, 3]。一方、AlO 膜は多くの結晶構造を有することに起因し、熱的安定性が低い。したがって高温の熱履歴を経ることで AlO 膜はアモルファス状態から粒界を多く含む結晶状態へ遷移し、粒界を介したリーク電流が流れるためにその絶縁性が大きく損なわれることが分かっている。

本研究においては高い放熱性能を実現するため、表面に CVD ダイヤモンド膜を成膜する(3.7 参照)。ダイヤモンド成膜の一般的な温度は 700°C 以上と極めて高く[4]、成長レートも数百 nm/h 程度と低いため、MIS 構造に AlO 膜を採用した場合には、前述した AlO 膜の結晶化と絶縁性の低下が懸念される。そこで本実施項目においては、高温のダイヤモンド成膜プロセスを経ても安定した絶縁性を有する絶縁膜材料の探索を行う。

平成 29 年度は AlO 膜のほか、AlON 膜の絶縁膜形成を行い、MIM (Metal-Insulator-Metal: MIM) 構造を用いてそれぞれの成膜条件における耐圧を検証した。

平成 30 年度は、原子堆積 (Atomic Layer Deposition: ALD) 法、プラズマ化学気相成長 (Plasma Enhanced Chemical Vapor Deposition: PECVD) 法で GaN HEMT 上に絶縁膜を成膜し、その特性を耐圧 (Breakdown Voltage: BV) 評価、容量 (Capacitance Voltage: CV) 評価により検証した。

平成 31 年度は、平成 30 年度に検討した絶縁膜を有するトランジスタにダイヤモンド成膜を行い、ダイヤモンド成膜前後でのトランジスタ特性を評価することで、高耐圧ゲート絶縁膜としての適性を評価した。

令和 2 年度は、統合デバイス構造のベースとなる SiN/AlON ハイブリッド MIS 構造を AlN 基板上 HEMT に適用し、ゲート直下 R_{sh} 低減によるドレイン電流の向上に加え、 V_{BD} の向上を実証した。

令和 3 年度は、電流コラプス現象が高出力動作の成否を左右することから、SiN/AlON の閾値変動調査を行った。さらに、これまでの検討結果を踏まえ、高出力動作を目的として AlON 単層 MIS 構造を中心としたトランジスタ試作を行った。さらに、高い耐熱性を持つ SiN 絶縁膜の高品質化を行い、SiN/AlON-MIS 構造のコラプス抑制と表面ダイヤモンド適用可否について検討した。

3.4.2 スパッタ法による絶縁膜形成と元素分析および耐圧評価

3.4.2.1 絶縁膜の成膜条件と破壊電界検証用 MIM 構造

平成 29 年度は従来 GaN-HEMT において広く用いられている AlO 膜を中心として検討することとし、AlO 膜に窒素原子を導入した AlON 膜についても MIM 構造を形成して絶縁性を評価した。AlO 膜中に窒素原子を有する三元系の AlON 膜においては、AlO 膜で見られる結晶化と絶縁性の劣化が抑制されることが期待できる。

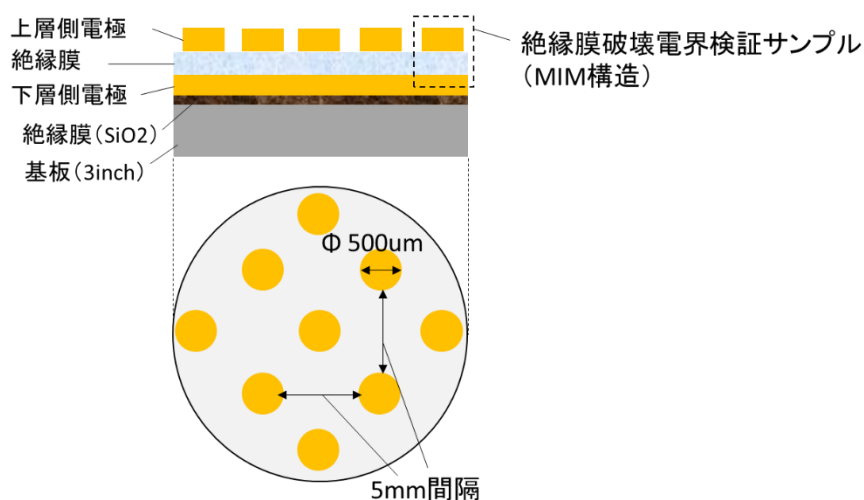
表④-2-1 に検討した絶縁膜の一覧を示す。ここでは、絶縁膜形成手法として、成膜時の真空度によって成膜レート調整が比較的容易であるほか、ターゲットの変更により膜種・組成の調整がしやすいという理由から、スパッタ法を選択した。AlO 成膜はターゲットに AlO を用い、成膜時

パワー：0.5 kW、ガス：Ar、成膜時真空度：0.67 Pa の条件にて行った。AlON 膜の成膜は、チャンバーに N₂ を導入することで行った。成膜時真空度は 0.20 Pa から 0.80 Pa の範囲の 3 水準で実験を行った。

表④-2-1 検証絶縁膜一覧

Sample	成膜	絶縁膜	ターゲット	ガス	power (kW)	真空度 (Pa)
No. 1	スパッタ	AlON	AlO	Ar 及び N ₂	0.50	0.20
No. 2		AlON	AlO	Ar 及び N ₂	0.50	0.67
No. 3		AlON	AlO	Ar 及び N ₂	0.50	0.80
No. 4		AlO	AlO	Ar	0.50	0.67

絶縁膜破壊電界検証に用いた MIM 構造を図④-2-1 に示す。3inch Si 基板上に SiO₂/下部電極 (Ti) /絶縁膜/上部電極 (Ti/Au) を形成した MIM 構造とし、各絶縁膜は表④-2-1 の条件で成膜した。また、SiO₂ は Si 基板と下部電極を絶縁させるために形成し、上部-下部電極間に電圧印加して絶縁膜の破壊電界評価を行った。また、絶縁膜の元素含有状態を検証するために上部電極未形成部を利用して、X 線光電子分光法 (X-ray Photoelectron Spectroscopy: XPS) 及び、ラザフォード後方散乱分光 (Rutherford Backscattering Spectrometry: RBS) による評価を行った。



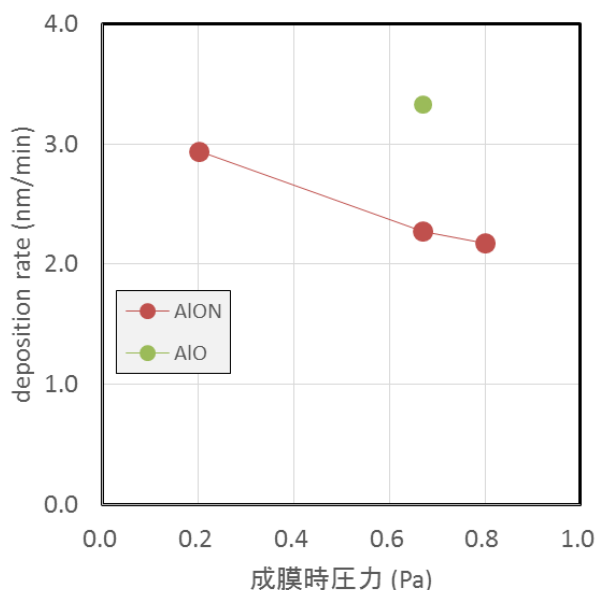
図④-2-1 MIM 耐圧検証サンプル構造

3.4.2.2 絶縁膜の元素分析結果

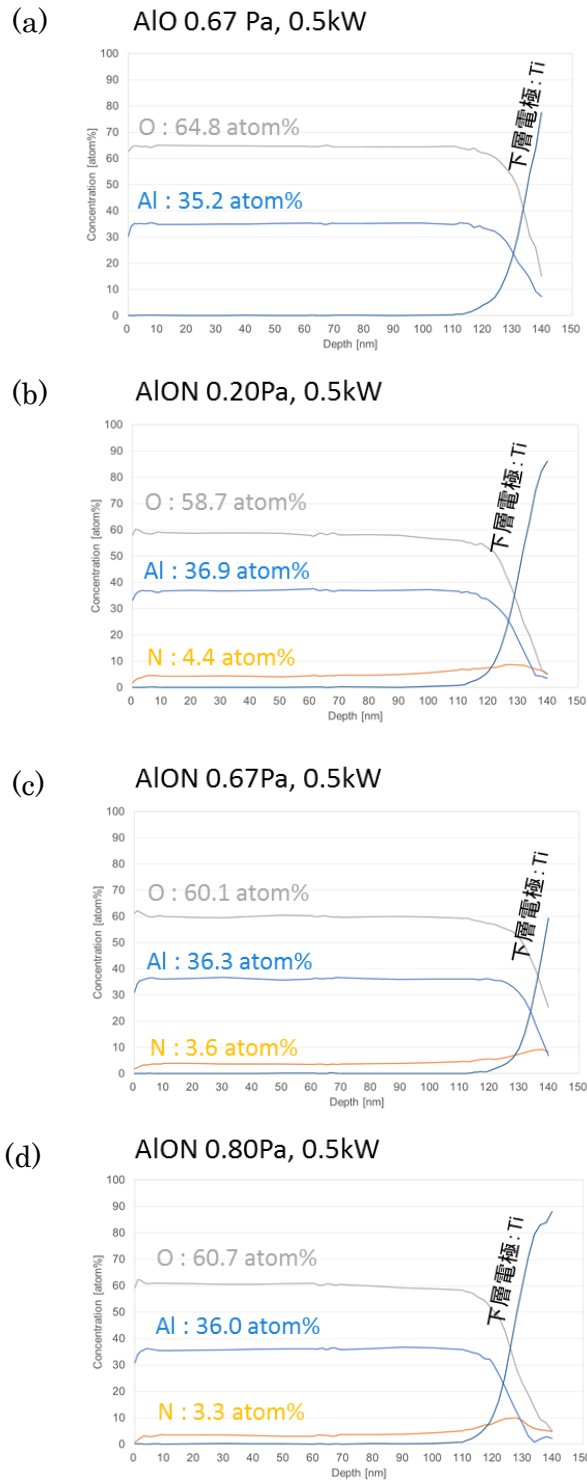
A10 膜及び、A10N 膜のスパッタ成膜レートの成膜時圧力依存性を図④-2-2 に示す。A10 膜は、検証した絶縁膜の中で最も早い成長レート 3.3 nm/min を示した。A10N 膜は成膜時圧力が高くなるのに伴い、スパッタ成膜レート 2.9 nm/min から 2.2 nm/min に低下していく傾向があるのが分かった。これはスパッタ時の圧力が高くなるにつれて、プラズマ化した Ar と飛散したターゲット材料が衝突する確率が増加し、サンプルに到達する飛散粒子の数が低減したため、成長レートが低下したと考えられる。より具体的には、Thornton model [5]での粒界サイズが大きい領域 (Zone 2) から小さい領域 (Zone T) に入り、膜密度が上昇したと推測される。

成膜した絶縁膜の深さ方向の各元素含有率は、XPS を用いて評価した。また、XPS で検知不可能な Ar 含有率については、RBS により評価した。各元素含有率の深さ方向の XPS 分析結果を図④-2-3、得られた元素含有率一覧を表④-2-2 に示す。図④-2-3 に示すように、A10 膜、A10N 膜の各々で絶縁膜表面側から底面側まで各元素はほぼ均一に分布していることが確認できた。A10 膜の元素含有率は Al: 34.9 atom%、O: 64.7 atom%であったのに対して、A10N 膜では、0.20 Pa 成膜時 Al: 36.9 atom%、O: 58.7 atom%、N: 4.4 atom%、0.67 Pa 成膜時 Al: 36.2 atom%、O: 60.1 atom%、N: 3.6 atom%、0.80 Pa 成膜時 Al: 36.0 atom%、O: 60.7 atom%、N: 3.3 atom%といずれの A10N 膜でも A10 膜と比較して、酸素含有率が低下する傾向を示した。したがって、A10 膜内の酸素原子配置箇所の一部が窒素に置換された元素配置を取っているものと推測される。

RBS による絶縁膜全体の元素分析結果では、A10、A10N 共に膜中の Ar は 0.3 atom%程度と微小であることから、Ar が各絶縁膜に与える影響は極めて小さいと考えられる。



図④-2-2 A10N スパッタ成膜レートの成膜時圧力依存性



図④-2-3 XPSによる絶縁膜深さ方向の元素分析結果 (a) AlO膜 (成膜時圧力: 0.67 Pa)、(b) AlON膜 (成膜時圧力: 0.20 Pa)、(c) AlON膜 (成膜時圧力: 0.67 Pa)、(d) AlON膜 (成膜時圧力: 0.80 Pa)

表④-2-2 絶縁膜元素分析結果一覧

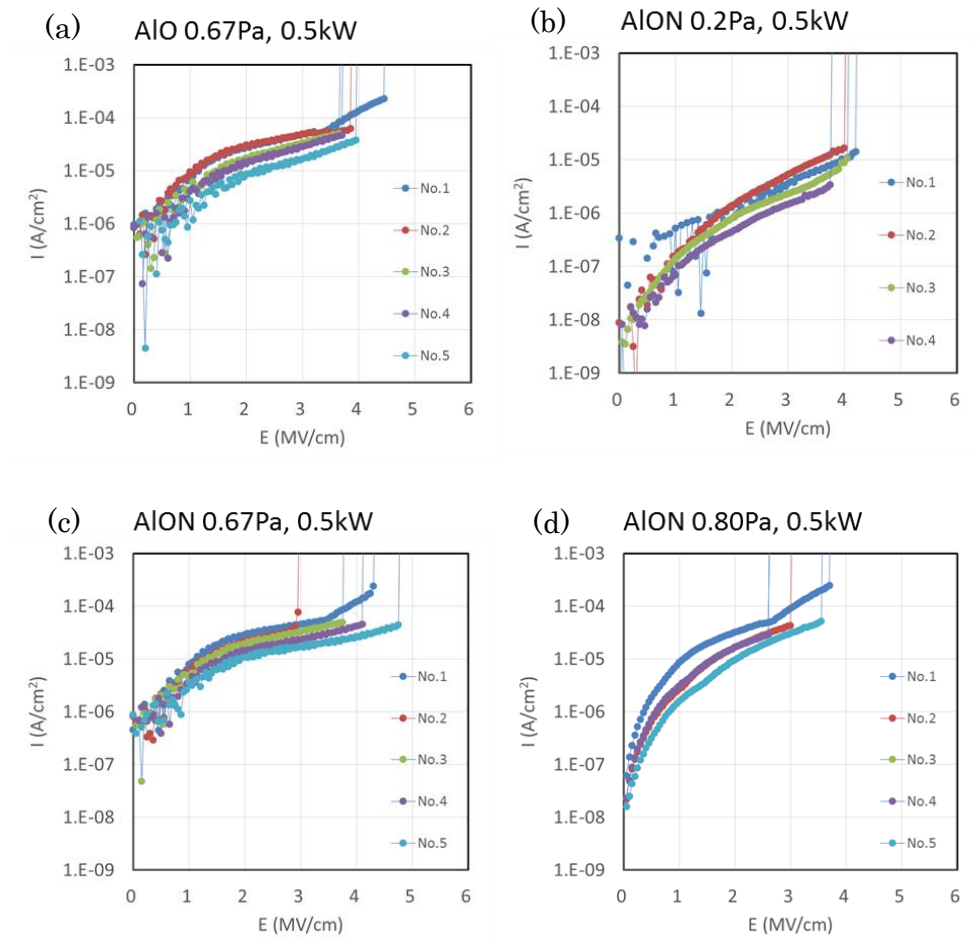
分析方法	Sample	絶縁膜	成膜時圧力(Pa)	Al	O	N	Ar
XPS	No. 1	AlO	0.67	35.2	64.8	0	--
	No. 2	AlON	0.20	36.9	58.7	4.4	--
	No. 3	AlON	0.67	36.2	60.1	3.6	--
	No. 4	AlON	0.80	36.0	60.7	3.3	--
RBS	No. 1	AlO	0.67	38.8	60.8	0	0.3
	No. 3	AlON	0.67	38.5	55.6	5.6	0.3

(各元素の単位は atom%)

3.4.2.3 絶縁膜破壊電界強度の評価結果

本絶縁膜耐圧検証向けのサンプルとして、MIM構造で下部電極-上部電極間に電圧を印加することで絶縁膜の破壊電界強度（以下、 E_b ）を調査した。本評価では、印加した電圧を絶縁膜の膜厚で割ることで電界を算出し、絶縁膜が破壊された電界を破壊電界強度と定義し、本破壊電界強度までの絶縁膜リーク値が $5 \times 10^{-1} \text{ A/cm}^2$ 以下となることを平成29年度目標値とした。本評価では測定精度を上げるため、同一ウェハ内から5点を評価することで、絶縁膜の破壊電界強度の再現性についても検証した。破壊電界強度検証結果を図④-2-4に示す。AlO膜については $E_b = 3.65 - 4.45 \text{ MV/cm}$ 、AlON膜については成膜時圧力 0.20 Pa で $E_b = 3.75 - 4.20 \text{ MV/cm}$ 、0.67 Pa で $E_b = 3.75 - 4.45 \text{ MV/cm}$ 、0.80 Pa で $E_b = 2.6 - 3.7 \text{ MV/cm}$ の結果となっており、各絶縁膜の破壊電界強度までの絶縁膜リーク値は $5 \times 10^{-1} \text{ A/cm}^2$ 以下となっており、平成29年度目標値を達成することができた。

本評価の結果より、成膜時圧力 0.80 Pa の AlON 膜では他の成膜条件より最大で 70%以上 E_b が低い結果となっていた。そのため、AlON 膜の場合、成膜レート 2.3 nm/min 以上にすることで、より高い破壊電界強度を有する絶縁膜の作製が可能であることが分かった。



図④-2-4 絶縁膜破壊電界強度評価結果 (a) AlO 膜 (成膜時圧力 : 0.67 Pa) 、
 (b) AlON 膜 (成膜時圧力 : 0.20 Pa) 、(c) AlON 膜 (成膜時圧力 : 0.67 Pa) 、
 (d) AlON 膜 (成膜時圧力 : 0.80 Pa)

3.4.3 AlO、AlON、SiN および SiN/AlON 絶縁ゲート構造の評価

3.4.3.1 原子堆積法およびプラズマ CVD 法による絶縁膜成膜

検討した絶縁膜は AlO、AlON、SiN の 3 種類であり、AlO、AlON は原子堆積法 (Atomic Layer Deposition:ALD)、SiN はプラズマ化学気相成長法 (Plasma Enhanced Chemical Vapor Deposition:PECVD) にて成膜した。MIS 構造を採用する場合、ゲート絶縁膜の耐圧はトランジスタの信頼性に直結するため、絶縁膜を構成する材料の組成制御性、膜厚制御性の高い成膜方法が求められる。そこで本研究では、化学反応を利用することで上記必要事項が実現可能な ALD 法、PECVD 法の 2 種類で絶縁膜を成膜した。ALD 法の成膜プロセスは真空を利用しており、①第 1 のプリカーサ供給、②パージ、③第 2 のプリカーサ供給、④パージを繰り返すことで、原子層を 1 層ずつ堆積していく方法のため、本研究における上記必要条件を満たすことができる。更に、上記①、③以外に第 3 のプリカーサを含めて成膜することで、3 元系の絶縁膜を成膜することも可能となり、幅広く絶縁膜検証を実施することが出来る。PECVD 法の成膜プロセスは上記の通り化学反応で成膜されるため、物理気相成長 (Physical Vapor Deposition : PVD) 法と比較しても欠陥の少ない絶縁膜成膜が可能である。

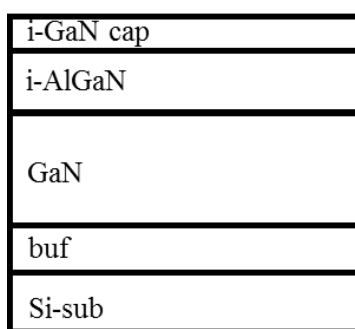
ゲート絶縁膜には、AlGaN/GaN HEMT 構造上に形成した際の界面準位密度が低く、高い絶縁性が求められる。そこで、AlN より E_g が広く、且つ、伝導帯側のバンド不連続量が 0.5 eV[6]となる AlO ($E_g = 7.0$ eV) について検証した。更に、高温の熱履歴を経ることで結晶化しやすい AlO[7]に N を添加し、AlON とすることによる耐熱性の向上についても検討した。AlON の成膜は、AlO および AlN 成膜サイクルを規則的に切り替えて実施した。ここでは、AlO および AlN の成膜サイクル比を調整することで AlO 内部に含まれる N 含有量を調整し、N 含有量: 1.9×10^{19} atoms/cm³ の AlON 膜について検討を行った。一方、PECVD 法では GaN 系 HEMT のパッシベーション膜として実績のある SiN 膜の評価を行った。各絶縁膜の成膜条件を表④-3-1 に示す。AlO は、テトラメチルアルミニウム (Trimethylaluminium : TMA1) を原材料とし、酸化剤には酸素を用いた。また、プラズマパワーは 3000 W、時間は 30 sec. として成膜した。AlON を成膜する際には、AlO および AlN の成膜サイクルを交互に切り替え、AlN の成膜サイクルには、TMA1 およびアンモニア (NH₃) を用いた。また、PECVD 法による SiN の成膜条件は、原料ガスとしてモノシラン (SiH₄) を用い、N₂ をキャリアガスとして使用した。半導体最表面層へのダメージ低減のため RF パワーは 100 W 未満とした。

表④-3-1 (a) AlO の成膜条件、
(b) AlON の成膜条件、 (c) SiN の成膜条件

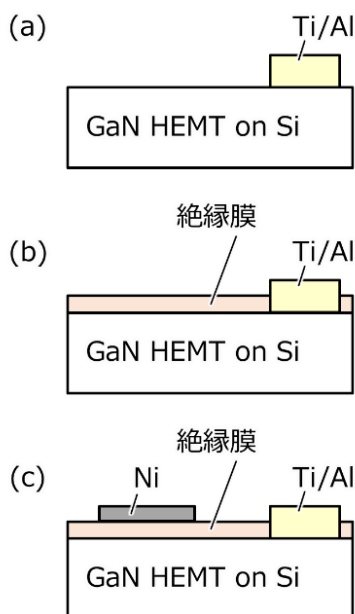
(a)	O2	プラズマ時間	30sec
		RFパワー	3000W
(b)	O2	プラズマ時間	30sec
		RFパワー	3000W
	NH3	プラズマ時間	20sec
		RFパワー	2000W
(c)	プラズマ条件	RFパワー	< 100W
		SiH4	2.2sccm
		N2	150sccm
		キャリアガス	150sccm

3.4.3.2 絶縁膜評価サンプル構造

本研究ではトランジスタのゲートリーク低減によりトランジスタの信頼性向上を目的としたMIS型トランジスタ検証のため、図④-3-1に示すようなSi基板上GaN HEMTを使用した。使用したHEMT構造のシート抵抗 (Sheet Resistance: R_{sh})、電子移動度 (Electron mobility: μ)、シートキャリア濃度 (Sheet carrier density: N_s) はそれぞれ $R_{sh} = 803 \text{ } \Omega/\text{sq.}$ 、 $\mu = 1520 \text{ cm}^2/\text{Vs}$ 、 $N_s = 5.1 \times 10^{12} \text{ cm}^{-2}$ であった。図④-3-2に示すように、上記GaN HEMTに真空蒸着法でオーミック電極Ti/Alを形成した後、600°C、1 min.の熱処理を加えてオーミック特性を得た。次に、ALD法、及び、PECVD法により絶縁膜を成膜し、ダイヤモンド成膜温度を想定して700°Cの熱処理を1分間窒素雰囲気中で実施した。その後、真空蒸着法でNi電極を形成して絶縁膜評価向けサンプルを作製した。作製した試料は、図④-3-3に示すようにNi電極と2DEG間の絶縁膜の耐圧 (Breakdown Voltage: BV) 評価のほか、C-V特性の評価を行い、MIS構造の界面準位密度についても検証した。

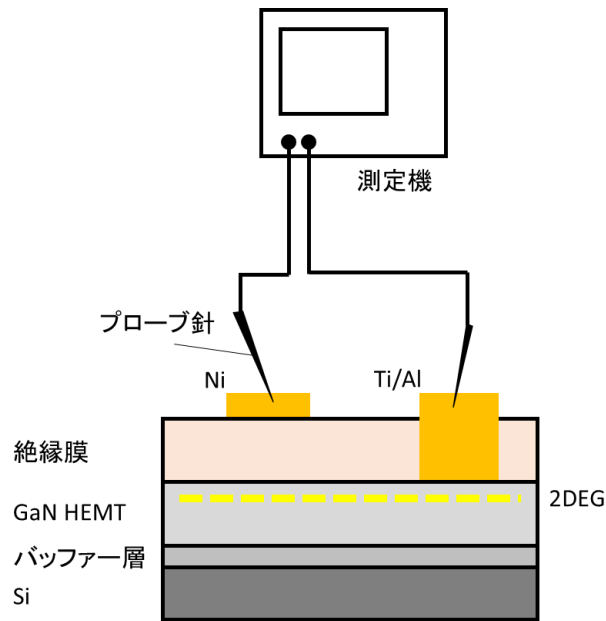


図④-3-1 評価サンプル断面構造



図④-3-2 絶縁膜評価サンプル作製工程

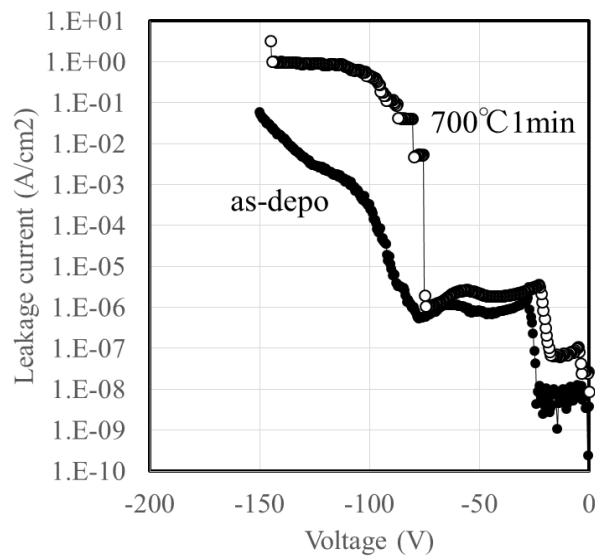
(a) Ti/Al 電極成膜後、(b) 絶縁膜成膜後、(c) Ni 電極成膜後



図④-3-3 絶縁膜評価方法

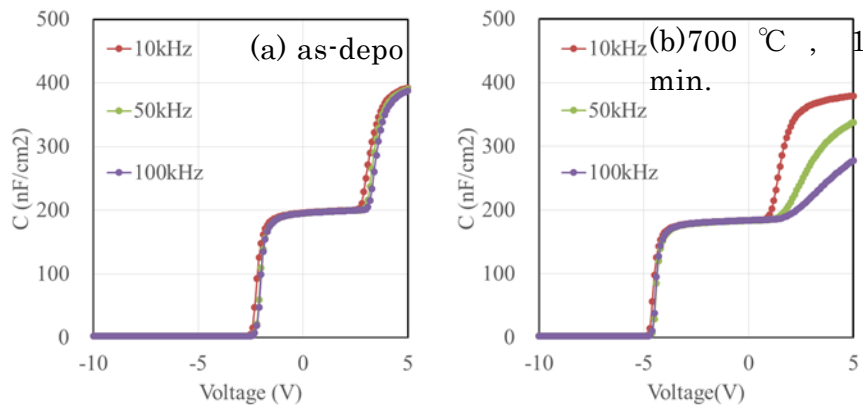
3.4.3.3 A10膜の評価

最初に、絶縁膜の耐压検証を行った。図④-3-2、図④-3-3記載のサンプル構造に対してオーミック電極の電位を0 Vに維持しつつ、絶縁膜が破壊するまでNi電極に印加する電圧を上昇させた。その結果、図④-3-4に示すようにA10成膜後(as-depo)の破壊電圧は-150 Vとなった。これに対して、700°C, 1 min.の熱処理後では-74 Vとなった。絶縁破壊電圧の低下は、MIS構造トランジスタの破壊電圧の低下に直結する。したがって、高温熱処理を伴うCVDダイヤモンド膜をトランジスタ上に成膜することを考慮すると、熱履歴によって耐压が低下するA10膜をゲート絶縁膜として適用することは難しいと考えられる。



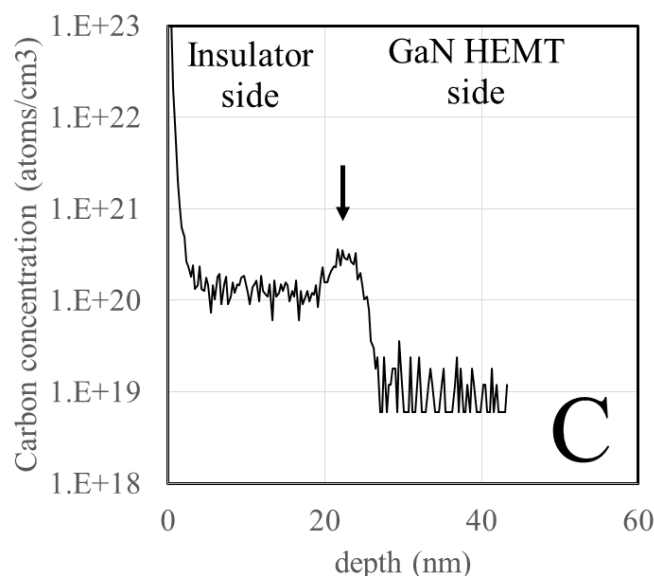
図④-3-4 A10膜の as-depo と 700°C, 1 min. 熱処理前後のリーク電流特性

C-V 評価は、実際のトランジスタ動作時のゲート電圧領域を含む範囲を勘案して、 V_g : -10 V から +5 V までとし、10~100 kHz の測定周波数にて評価した。測定結果を図④-3-5 に示す。また、絶縁膜容量値から誘電率を算出するために、分光エリプソメトリーにて絶縁膜厚を評価した。A10 の絶縁膜容量値から、A10 成膜後の誘電率は 9.64、700°C、1 分の熱処理後では 9.57 が得られ、文献値 [6, 7] とほぼ同等の結果が得られた。また、A10 成膜後の C-V 特性を見ると、測定電圧 3 V 付近に周波数分散が見られ、周波数が高くなるのに伴い、容量の立ち上がりがプラス方向に容量がシフトしていく傾向が見られた。



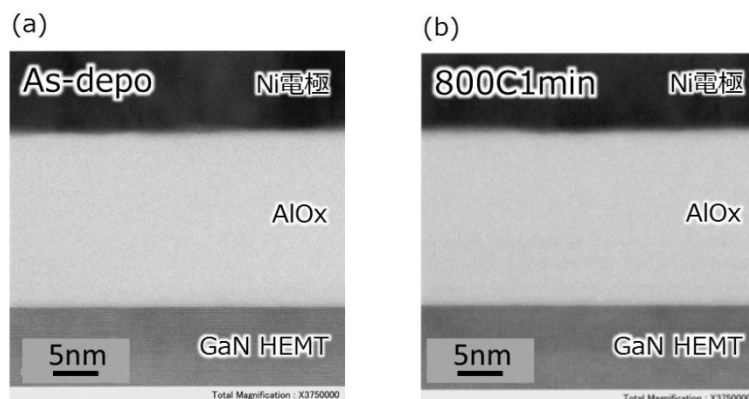
図④-3-5 CV 評価結果 (a)A10 成膜後 as-depo、(b)A10 700°C、1 min. 熱処理後

これは、周波数が高くなるのに伴い、絶縁膜/半導体界面における界面準位に起因した電子の充放電が追従しなくなるためと考えられる。これに対して、700°C、1 min. の熱処理後の A10 では、更に顕著な絶縁膜容量値の周波数分散が確認された。ここで得られた C-V 特性の周波数依存性から、界面準位密度 (Interface State Density : D_{it}) を導出すると、A10 の as-depo 段階では、 $E - E_c = 0.26$ eV のエネルギー位置に 2.8×10^{13} $eV^{-1}cm^{-2}$ が存在していることがわかった。これは図④-3-6 中の矢印部に示すように、絶縁膜/半導体界面に存在する炭素 (C) に起因している可能性があり、A10 成膜前に環境中の C 化合物 (CO_x , CH_x 等) がエピ表面に付着した影響と推察される。また、700°C、1 min. の熱処理後では、 $E - E_c = 0.26$ eV のエネルギー位置に 5.7×10^{13} $eV^{-1}cm^{-2}$ であり、as-depo 段階より D_{it} が上昇している結果が得られた。これは、熱処理を施すことで上述した C 化合物から、例えば水素 (H) や酸素 (O) 等が脱離することで未結合手 (ダングリングボンド) が生成し、絶縁膜/半導体界面における界面準位が増加した影響と考えられる。



図④-3-6 A10 と GaN HEMT 中の C の SIMS 分析結果

I-V, C-V 特性において 700°C, 1 min. の熱処理による劣化が観察されたため、断面 TEM 観察にて、熱処理前後の結晶構造を観察した。冒頭 (3. 4. 1 項) で述べたように、AlO 膜が熱処理により結晶化した際には、結晶粒界がリークパスとなることが懸念される。しかしながら、図④-3-7 に示すように本観察においては、熱処理前後で明瞭な結晶化は観察されなかった。一方、文献 [7] では、オーミック特性の確保のため、窒素雰囲気中 800°C, 1min. の熱処理を施しているが、この熱処理により AlO が結晶化することが報告されており、本サンプルにおいてもリーク電流の大幅な上昇が確認されていることから、観察視野外において結晶化が進んでいる可能性もある。また、AlO 成膜後に含まれていた H が電子をトラップしていたことで、AlO 成膜後のリーク電流が本来のリーク電流よりも低くなっていたことも考えられる。この場合、700°C, 1 min. の熱処理によって絶縁膜に含まれる H が低減し、上記のようなリーク電流の上昇、耐圧の低下が引き起こされた可能性がある。

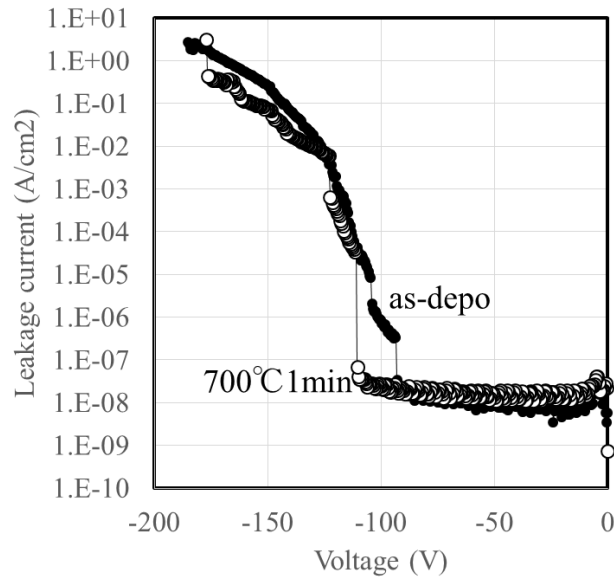


図④-3-7 AlO 膜の TEM 断面観察結果 (a) 絶縁膜成膜後、
(b) 800°C, 1 min. の熱処理後

3. 4. 3. 4 AlON 膜の評価

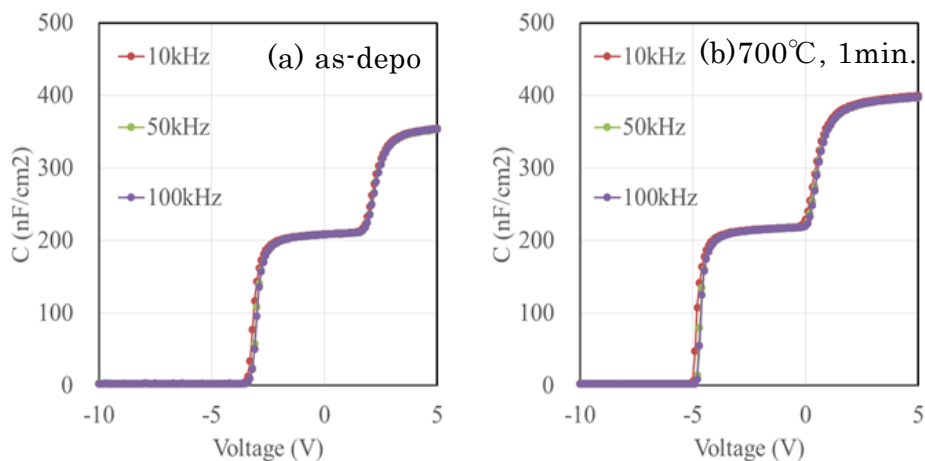
AlO 膜は 3. 4. 3. 3 項で述べたとおり、C-V 特性の容量値に周波数依存性が顕著であるため、高周波動作中の P_{out} (Output Power : P_{out})、PAE (Power Added Efficiency : PAE) の低下が懸念される。また、ダイヤモンド成膜時温度を想定した熱処理前後で、AlO 膜の絶縁膜の破壊電圧の低下が確認されている。そこで、AlO 膜中に N を含有させることによる耐熱性向上について検討した。AlON 膜の成膜は、AlO および AlN の成膜サイクルを交互に実施することで行った。なお、成膜した AlON 膜の窒素含有量は、SIMS 分析から 1.9×10^{19} atoms/cm³ と同定された。

はじめに AlON 膜の耐圧検証を行った。評価方法としては 3. 4. 3. 3 項記載内容と同様に、図④-3-2、図④-3-3 記載のサンプル構造でオーミック電極の電位を 0 V に維持しつつ、絶縁膜が破壊するまで Ni 電極に印加する電圧を上昇させた。その結果、図④-3-8 に示すように、AlON 成膜後の絶縁膜破壊電圧は -93 V であり、700°C, 1 分の熱処理後では -110 V となった。また、AlO 膜と比較して、0 V から -100 V 付近までのリーク電流が小さい。以上のように、AlON 膜では AlO 膜に対して絶縁膜破壊電圧の上昇が確認されたものの、-100 V 付近に不連続にリーク電流が上昇すること、その後は非常に大きなリーク電流が観察されることからゲート絶縁膜へ適用した場合にはトランジスタ耐圧の低下が懸念される。

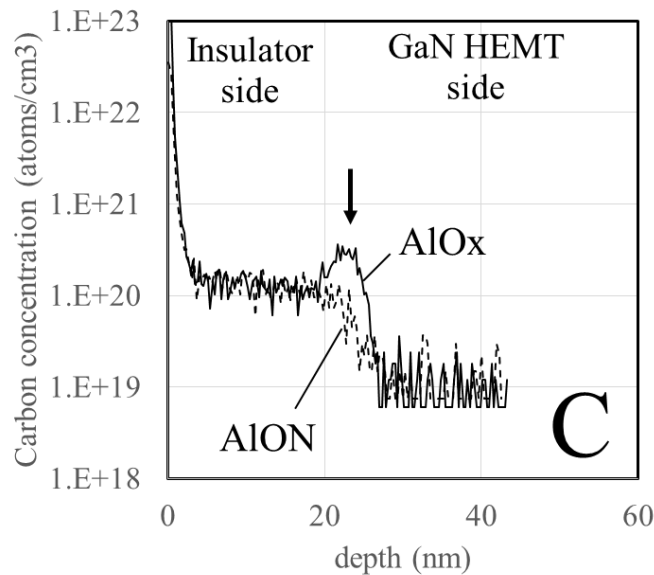


図④-3-8 AlONの700°C, 1 min. 熱処理前後のリーク特性

C-V 評価時の電圧印加は、3.4.3.3項に記載したように、実際のトランジスタ動作時のゲート電圧領域を含む範囲を考慮して、 V_g : -10 Vから+5 Vまでとし、周波数は10~100 kHzで評価した。その結果、AlON成膜後では図④-3-8に示すように、AlOの10 kHzにおける誘電率は9.16、700°C, 1 min.の熱処理後では10.5が得られ、文献値[6, 7]ともほぼ同等の結果が得られている。ここで得られたC-V特性の周波数依存性から、 D_{it} を導出すると、AlONのas-depo段階では、 $E - E_c = 0.26$ eVのエネルギー位置に $1.2 \times 10^{13} \text{ eV}^{-1} \text{ cm}^{-2}$ が存在していることがわかった。また、700°C, 1 min.の熱処理後では、 $E - E_c = 0.26$ eVのエネルギー位置に $1.4 \times 10^{13} \text{ eV}^{-1} \text{ cm}^{-2}$ であり、いずれの場合でも3.4.3.3項記載のAlOの D_{it} より低減している結果が得られた。これは、AlONの成膜に使用する NH_3 がプラズマ化した際のHラジカルが、GaN HEMTの最表面に付着していたC化合物を除去した効果と考えられ[8]、図④-3-9の矢印部に示すように、AlONとGaN HEMT界面のC低減に繋がったと推察される。



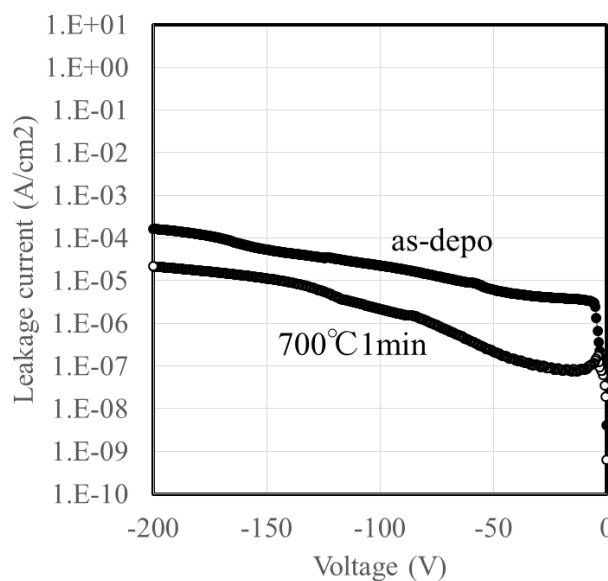
図④-3-9 CV 評価結果 (a)AlON 成膜後、(b)AlON 700°C, 1 min. 熱処理後



図④-3-10 AlO 及び AlON 膜中の C の SIMS 分析結果

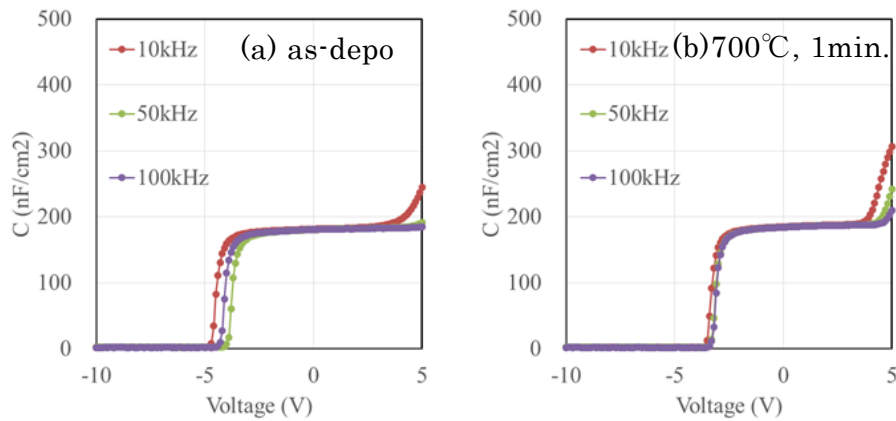
3.4.3.5 SiN 膜の評価

3.4.3.3 項～3.4.3.4 項の結果から、AlO 膜、AlON 膜は、双方、ダイヤモンド成膜プロセスとの適合には耐熱性の観点から懸念が残されている。そこで、3.4.3.1 項記載の ALD 法とは成膜プロセスが異なる PECVD 法での絶縁膜成膜についても検討を行った。ここでは、GaN HEMT の絶縁膜として代表的であり、トランジスタアクセス領域のパッシベーション膜としての実績も多い SiN 膜を選択した。SiN 膜はこれまでに、MIS 構造でトランジスタの高耐圧化が検討されており [9]、本研究における絶縁膜材料の候補になり得ると判断した。図④-3-10 に示すように、SiN 成膜後だけでなく、700°C、1 分の熱処理後においても -200 V まで破壊は観察されなかった。また、-200 V での各リーク値は、as-depo で 1.6×10^{-4} A/cm²、700°C、1 分の熱処理後で 2.2×10^{-5} A/cm² であることから、熱処理前後におけるリーク電流の上昇を一桁以内に抑制することができた。



図④-3-11 SiN の as-depo と 700°C、1min. 熱処理前後のリーク特性

しかし、図④-3-12 に示すように、AlON 膜において明瞭に観察されていた絶縁膜容量が測定範囲内では確認できなかった。これは AlON/GaN HEMT 界面に対して、SiN/GaN HEMT 界面の界面準位密度が高く、SiN/GaN HEMT 界面においてフェルミ準位ピンニングが起こっている可能性を示唆している。したがって、SiN 膜はリーク電流特性の観点で優れた耐熱性を示したが、SiN/GaN HEMT 界面準位の観点で、ゲート絶縁膜への適用には課題も見られた。

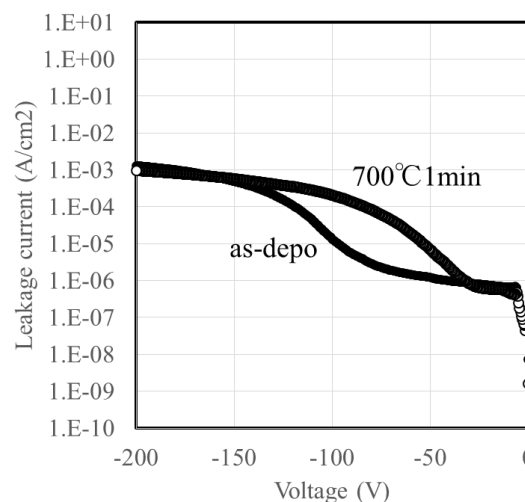


図④-3-12 CV 評価結果 (a)SiN 成膜後、(b)SiN 700°C, 1 min. 熱処理後

3.4.3.6 SiN/AlON 膜の評価

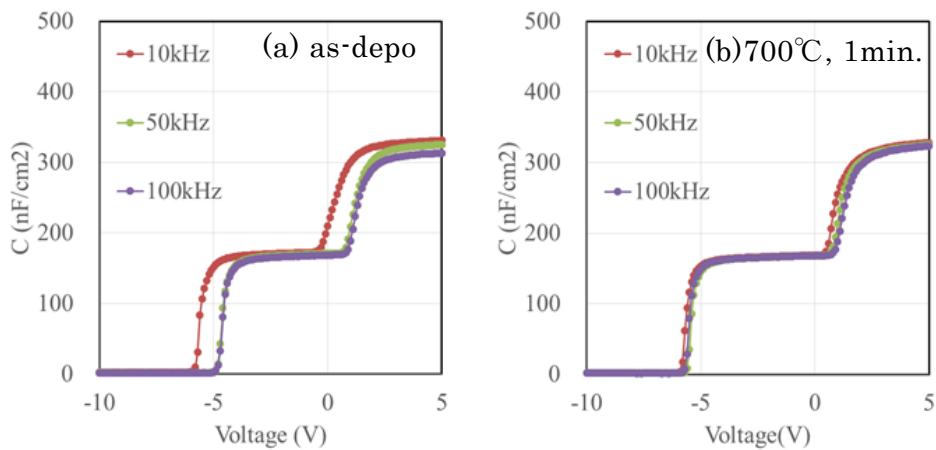
前項で SiN 膜の特性について記載したが、本研究の目指す高出力化を実現するためには界面準位の観点で課題があることが分かった。そこで、絶縁膜の構成として界面準位を抑制可能な AlON 膜、熱処理前後でリーク値変動の抑制可能な SiN 膜の積層構造とし、耐圧性、C-V 評価、熱処理前後の結晶性を評価した。SiN/GaN HEMT 界面の D_{it} 低減を目的として、本研究での AlON 膜厚は 2 nm とし、SiN 膜は 16 nm とした。

はじめに耐圧性検証を行った。図④-3-12 に示すように、SiN/AlON 膜は成膜後だけでなく、700°C, 1 分の熱処理後においても -200 V まで破壊は観察されなかった。また、-200 V での各リーク値は、SiN/AlON 成膜後で 1.3×10^{-3} A/cm²、700°C, 1 分の熱処理後で 9.8×10^{-4} A/cm² であることから、熱処理前後でリーク上昇を一桁以内に抑制されることを確認できた。



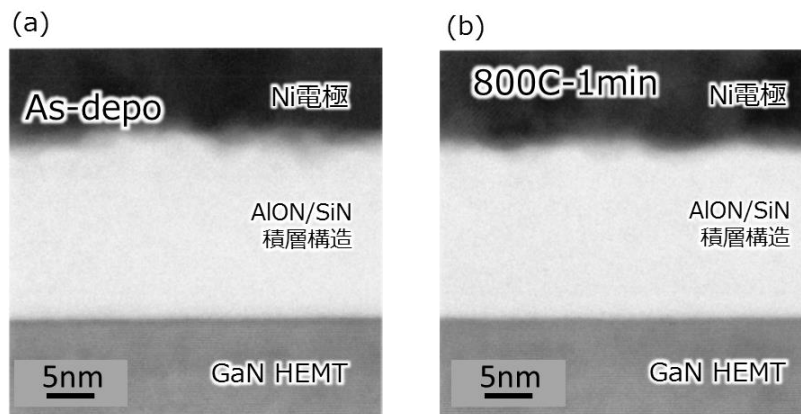
図④-3-13 SiN/AlON の as-depo と 700°C, 1min. 熱処理前後のリーク特

C-V 評価時の電圧印加は、3.4.3.3 項に記載したように、実際のトランジスタ動作時のゲート電圧領域を含む範囲を考慮して、 V_g : -10 V から +5 V までとし、周波数は 10~100 kHz で評価した。その結果を図④-3-13 に示す。C-V 評価の周波数依存性から、 D_{it} を導出すると、SiN/A1ON の as-depo 段階では、 $E-E_c = 0.26$ eV の準位に 1.4×10^{14} eV⁻¹cm⁻² が存在していることがわかった。また、700°C、1 分の熱処理後では、 $E-E_c = 0.26$ eV の準位に 2.3×10^{13} eV⁻¹cm⁻² であり、上記熱処理により D_{it} の低減が確認された。絶縁膜成膜後の段階で D_{it} が高くなった原因は、A1ON 2 nm 成膜後に A1ON 最表面層に付着した C が SiN/A1ON 界面に残留することで、C-V 評価からの D_{it} は、A1ON-GaN HEMT 界面、及び、SiN/A1ON 界面の双方を検出したためと考えられる。また、700°C、1 分の熱処理後により D_{it} が低減している点については、前項 (3.4.3.5) で述べたように、SiN 膜中、及び SiN/GaN 界面における残留水素 (Si-H) が熱処理によって脱離し、バルクトラップ、及び界面準位が低減した効果と考えられる。



図④-3-14 CV 評価結果 (a)SiN/A1ON 成膜後、(b)SiN/A1ON 700°C, 1min. 熱処理後

SiN/A1ON 膜においても、高温での熱処理前後の結晶状態を断面 TEM 分析で検証した。その結果、図④-3-14 に示すように、窒素雰囲気中 800°C、1 分の熱処理後において SiN/A1ON 膜の結晶化は確認されなかった。したがって、SiN/A1ON 構造であれば、窒素雰囲気中 700°C、1 分の後でも、絶縁膜/GaN HEMT の界面準位の抑制、絶縁膜耐圧の確保、絶縁膜リーク値上昇の一桁以内を実現することができ、更に、窒素雰囲気中 800°C、1 分の後でも結晶化しないことが明らかとなった。今後、実施項目⑦記載のダイヤモンドの成膜とのプロセス統合に向けて検討を継続していく。



図④-3-15 SiN/A1ON/GaN HEMT 構造の断面 TEM 観察結果 (a)絶縁膜成膜後、(b) 800°C, 1min. 熱処理後

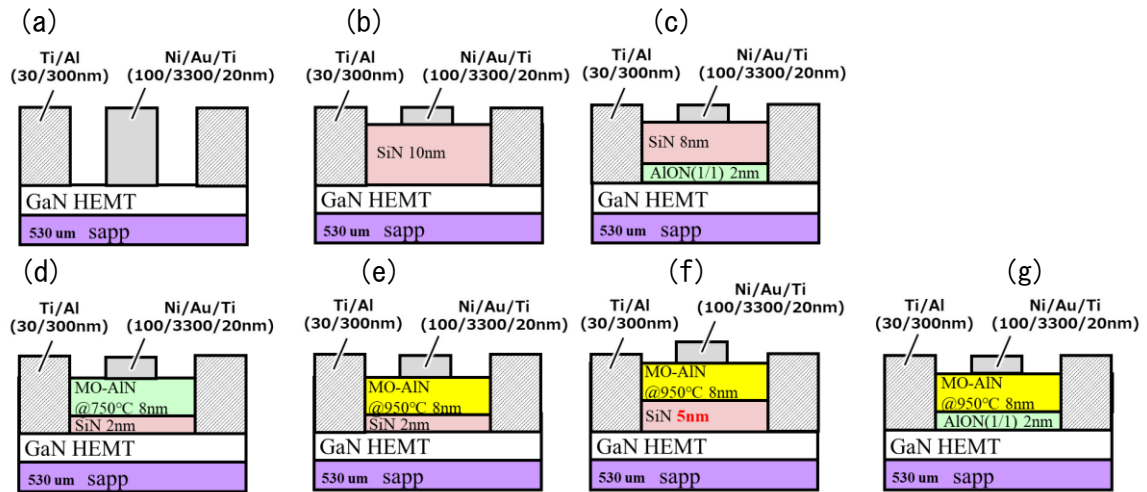
3.4.4 ダイヤモンド成膜前後の評価

3.4.4.1 検討した絶縁ゲート構造

本研究では図④-4-1に示すように、HEMT構造はサファイア基板上に有機金属気相成長法(MOCVD法)によりバッファ層を形成し、GaN層を1200 nm成膜した。供給層としてi-AlGaN層を18 nm、Al組成比17%で成膜した後、i-GaN capを2 nm成膜した。この時の移動度、及び N_s は $1480 \text{ cm}^2/\text{Vs}$ 、 $3.5 \times 10^{12} \text{ cm}^{-2}$ が得られた。オーミック電極には、Ti/Al(30/3000 nm)を蒸着法にて成膜した後、窒素雰囲気中で 600°C 、1 min.の熱処理を施してオーミック特性を確保した。また、絶縁膜上にはゲート電極としてNi/Au/Ti(100/330/20 nm)を蒸着法で形成した。絶縁膜特性検証のために図④-4-2に示す7種類の構造を検証した。ここでのGaN HEMT部は図④-4-1に示す構造を用いた。図④-4-2(a)はショットキー構造を用いた。図④-4-2(b)はPECVD法によりSiN層を10 nm成膜したMIS構造、図④-4-2(c)はALD法でAlON層を2 nm成膜した後、PECVD法でSiN層を8 nm成膜したMIS構造とした。この時のAlONの成膜方法は、最初にAlOを酸素、テトラメチルアルミニウム(TMA)を用いて成膜した後、AlNxを NH_3 、TMAを用いて成膜し、AlOとAlNxを交互に成膜(成膜サイクル比1:1)することで窒素が約 $1.3 \times 10^{19} \text{ atoms/cm}^3$ 含まれたAlONを形成した。図④-4-2(d)はPECVD法でSiN層を2 nm成膜した後、有機金属気相成長(MOCVD)法でAlN層を8 nm成膜した。この時のAlN成膜設定温度は 750°C とし、膜厚は成長レートから設定膜厚(8 nm)になるよう成膜時間を設定した。図④-4-2(e)及び図④-4-2(f)は、PECVD法でSiN層をそれぞれ2 nm及び5 nm成膜した後、MOCVD法にてAlNを成膜設定温度、及び、設定膜厚を 950°C 、8 nmとして成膜した。図④-4-2(g)はALD法でAlON膜を成膜した後、MOCVD法でAlN膜を成膜設定温度、及び、設定膜厚を 950°C 、8 nmとし、この時のAlON膜の成膜方法は、図④-4-2(c)と同様とした。ここでのAlN膜は、成長レートから上記設定膜厚になるよう成長時間を調整した。

2nm	i-GaN cap
18nm	i-AlGaN X=17%
1200 nm GaN	
buffer	
530 um	sapp

図④-4-1 サファイア(sapp)基板上のHEMT断面構造



図④-4-2 各サンプル構造の簡易断面図 (a) ショットキー構造、(b) MIS-SiN 10 nm 構造、(c) MIS-SiN/AlON 構造、(d) MIS-AlN(750°C)/SiN(2 nm) 構造、(e) MIS-AlN(950°C)/SiN(2 nm) 構造、(f) MIS-AlN(950°C)/SiN(5 nm) 構造、(g) MIS-AlN(950°C)/SiN(2 nm) 構造

3.4.4.2 ダイヤモンド成膜前の絶縁膜評価結果

各材料の誘電率を評価するため、CV 評価を実施した。評価時の周波数は 10、50、100 kHz とし、各周波数での電圧はゲート電極に -10 V → +5 V の順方向にスイープして評価した。CV 評価には、図④-4-2 に示す構造に SiN 膜を 100 nm 追加成膜した構造を用いた。

CV 評価時には、直径 150 μm のゲート電極を用いて、電極未形成領域を 4.5 μm 挟んだ外周部にオーミック電極が形成された構造を用いた。

図④-4-3 にショットキー構造、MIS-SiN 構造、MIS-SiN/AlON 構造の各 CV 評価結果を示す。ショットキー構造では、AlGaIn 供給層、及び、GaN cap の総容量がゲート電圧約 -1.4 V から観察されはじめ、0 V 時には 425 nF/cm² となった。AlGaIn 供給層、及び、GaN cap の比誘電率(ε)は、以下のように求められ

$$C = \frac{\epsilon \epsilon_0 S}{d} \quad \text{式④-4-1}$$

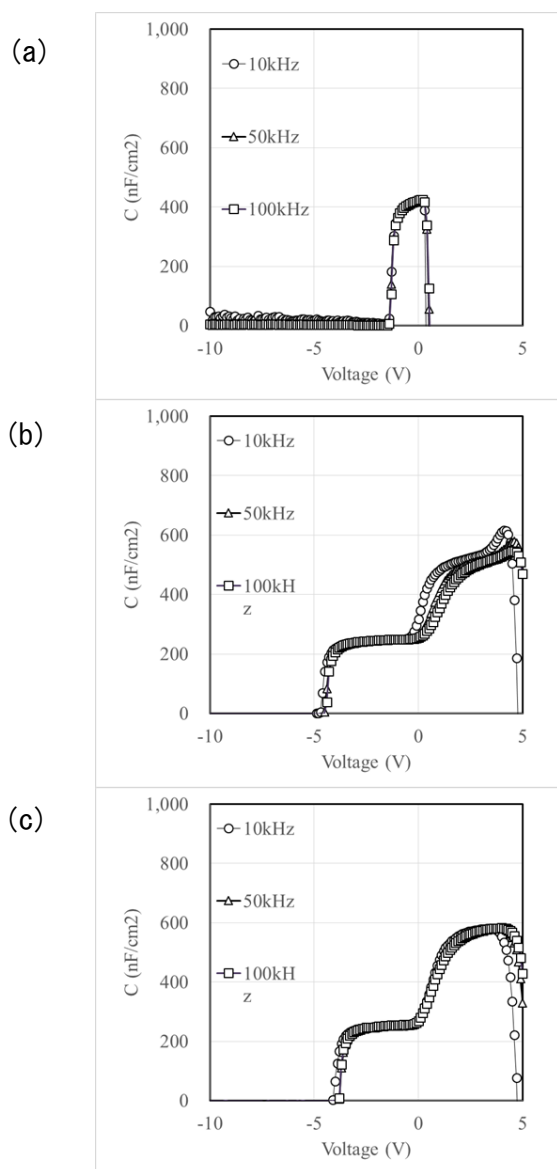
ここで、C は容量値、ε₀ は真空の誘電率、S は電極面積、d は厚さである。式④-4-1 より、ε = 9.6 が導かれ、文献値[10]と同値を示した。これにより、図④-4-1 に示す HEMT 構造は設計膜厚通り成膜されていることが分かった。

次に、図④-4-3(b) の MIS-SiN 構造の CV 評価から、AlGaIn 供給層、及び、GaN cap、SiN 膜の総容量がゲート電圧約 -4.5 V から観察されはじめ、ゲート電圧が -1 V では 242 nF/cm² となった。この値を用いて(4-1)式をもとに算出した SiN の誘電率として 5.8 が得られたが、この値は文献値[10]よりも低い。これは SiN 膜の最下層及び最表面層の SiO₂、SiON 等の酸化膜が誘電率を低下させていることが原因と推測される。

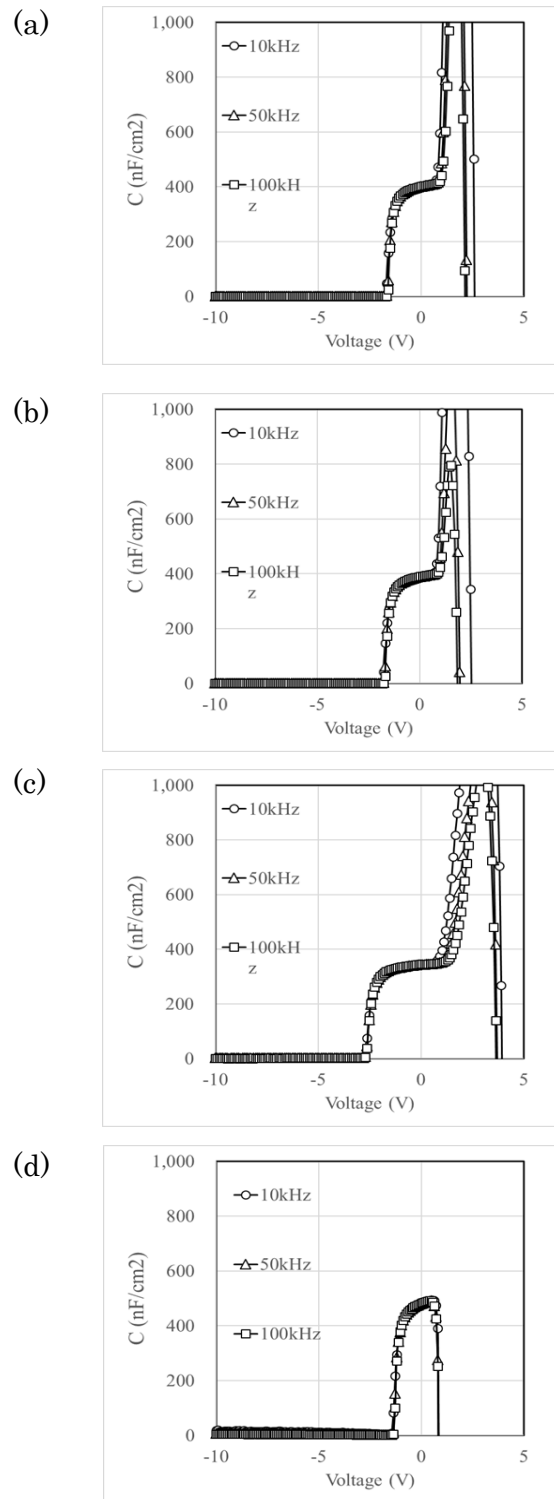
この結果に対して、図④-4-3(c) から算出される CV 評価結果から、SiN 膜、及び、AlON 膜の総誘電率は 6.5 が得られた。AlON 膜単体の誘電率が 9.5 と算出されるため、図④-4-2(c) に示す SiN 膜と AlON 膜の設定膜厚の比率から導かれる誘電率の値(6.5)と一致し、絶縁膜の膜厚は設計通りに成膜されていることがわかる。

次に、MOCVD で成膜した AlN 膜を含めた絶縁膜構造を検討した。図④-4-4(a) 及び図④-4-4(b) に示すように、MIS-AlN(750°C)/SiN(2 nm) 構造、MIS-AlN(950°C)/SiN(2 nm) 構造ではゲート電圧が約 -1.6 V から容量の増加がみられ 0 V 付近では 400 nF/cm² となった。この結果より、図④-4-2(d) 記載の各絶縁膜設計膜厚から MOCVD で成長した AlN の誘電率は 80 と算出されたが、SiN、AlN か

ら構成される絶縁膜の誘電率としては妥当ではない。そこで、AlN 膜と SiN 膜を一体化した絶縁膜とし、絶縁膜総膜厚を 1 nm と仮定すると誘電率は 7.7 として算出された。SiN 膜及び AlN 膜の誘電率を考慮しても仮定した上記絶縁膜の総膜厚 1 nm は妥当な値と推測される。図④-4-2(f)の MIS-AlN(950°C)/SiN(5 nm) 構造についても同様に考えると、SiN 膜及び AlN 膜の総膜厚は 4 nm と算出された。これらの評価結果より、PECVD で成膜された SiN 膜上の MOCVD で成膜した AlN(設定膜厚 8 nm)は、CV 評価結果より 1 nm 以下が成膜されたと考えられる。MIS-AlN(950°C)/AlON(2 nm) 構造でも図④-4-4(d)に示すように同様の結果だった。

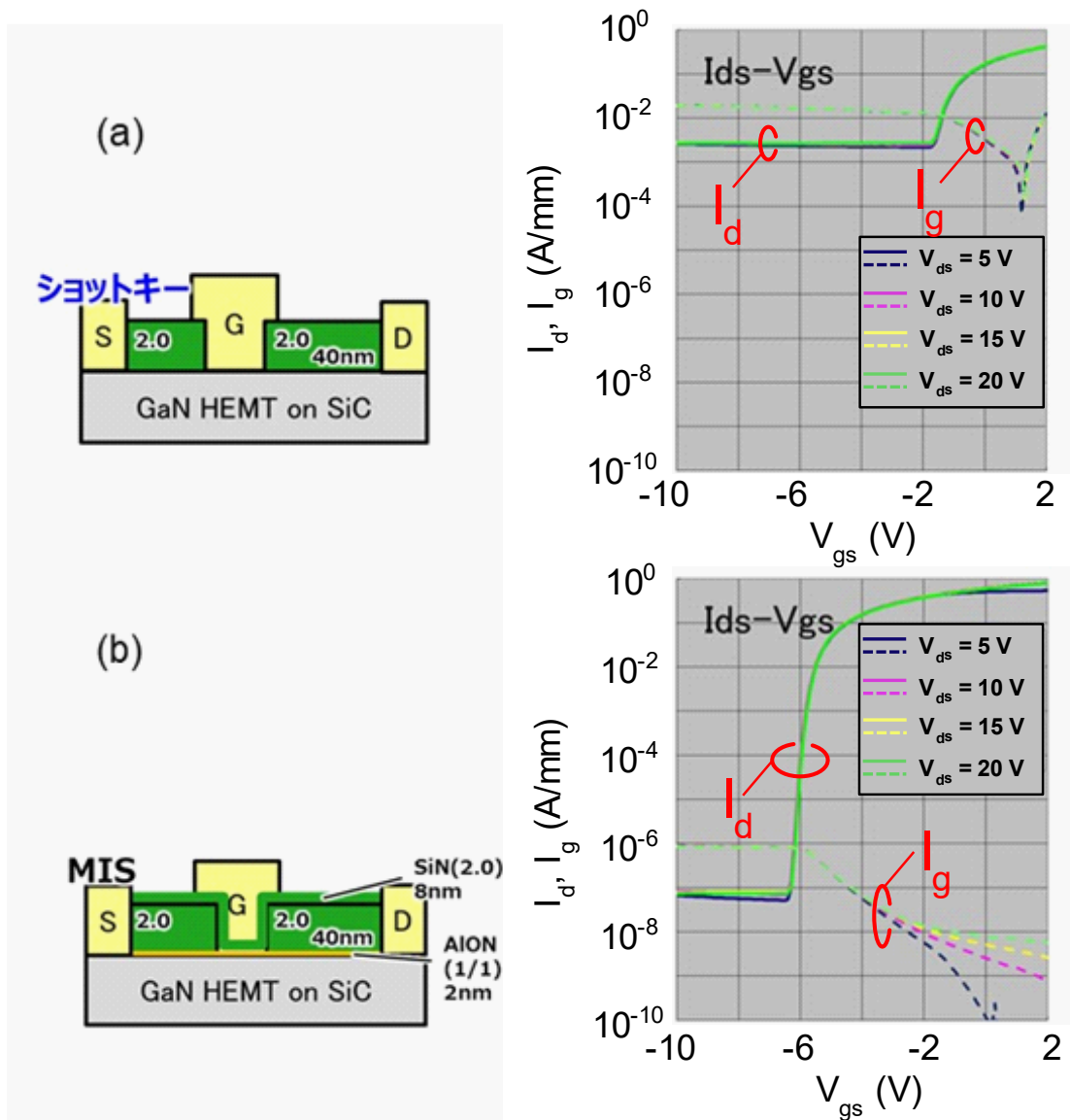


図④-4-3 CV 評価結果 (a) ショットキー構造、
(b) MIS-SiN 10 nm 構造、(c) MIS-SiN/AlON 構造



図④-4-4 CV評価結果 (a) MIS-A1N(750°C)/SiN(2 nm)構造、(b) MIS-A1N(950°C)/SiN(2 nm)構造、(c) MIS-A1N(950°C)/SiN(5 nm)構造、(d) MIS-A1N(950°C)/AlON(2 nm)構造

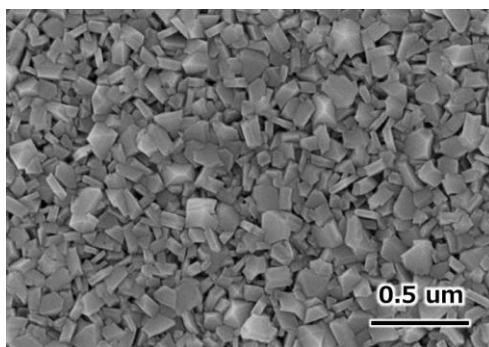
次に試作した AlGaIn/GaN HEMT において、ショットキーゲート構造および SiN/AlON MIS ゲート構造における I_d-V_{gs} 特性を比較した。図④-4-5 に得られた I_d-V_{gs} 特性を示す。図④-4-5(a) に示すように、ショットキーゲート構造において 10^{-2} A/mm 台の極めて大きなゲートリーク電流が観察された。大きなゲートリーク電流はトランジスタの耐圧低下を引き起こす要因となり、高ドレイン電圧動作を阻害することから高出力化にとって大きな弊害となる。図④-4-5(b) に示す I_d-V_{gs} 特性は SiN/AlON MIS 構造を適用した AlGaIn/GaN HEMT 構造におけるもので、 1×10^{-6} A/mm 以下の良好なオフ特性を確認した。得られたゲートリーク電流は、SiN 単膜の MIS 構造に対しても小さい。これは 2 nm と膜厚は薄いものの SiN 以上のバンドギャップを有する AlON によるリーク低減効果によるものと考えられる。



図④-4-5 試作した AlGaIn/GaN HEMT の $I_{ds}-V_{gs}$ 特性
 (a) ショットキーゲート構造の簡易断面図とその $I_{ds}-V_{gs}$ 特性、
 (b) SiN/AlON MIS ゲート構造の簡易断面図とその $I_{ds}-V_{gs}$ 特性

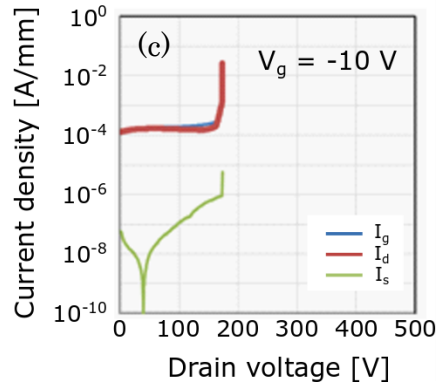
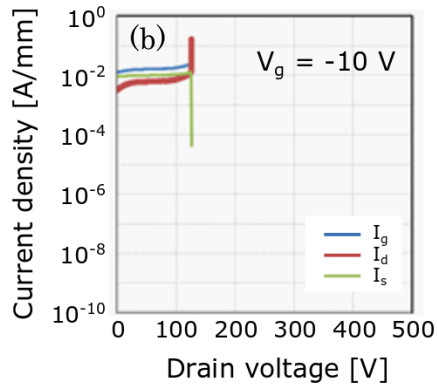
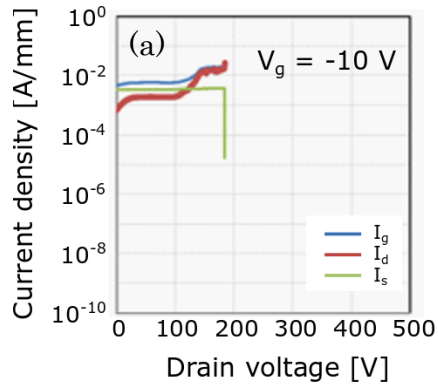
3.4.4.3 ダイヤモンド成膜後の絶縁膜評価結果

次に、放熱性向上のためのダイヤモンドをトランジスタ表面に成膜することを想定し、ダイヤモンド成膜プロセスによる絶縁膜への影響をトランジスタの IV 測定により評価した。ダイヤモンド成膜は熱フィラメント CVD 法を用いてサンプルの表面温度が 600°C 以上になるようにフィラメント温度を調整して行った。また、ダイヤモンドの成膜材料となるガスには、 H_2 、 CH_4 を用い、成膜時間は 5 時間とした。図④-4-6 の SEM 像に示すように、上記ダイヤモンド成膜プロセス後に、サンプル最表面にサブミクロンサイズのダイヤモンドが成膜されていることがわかった。

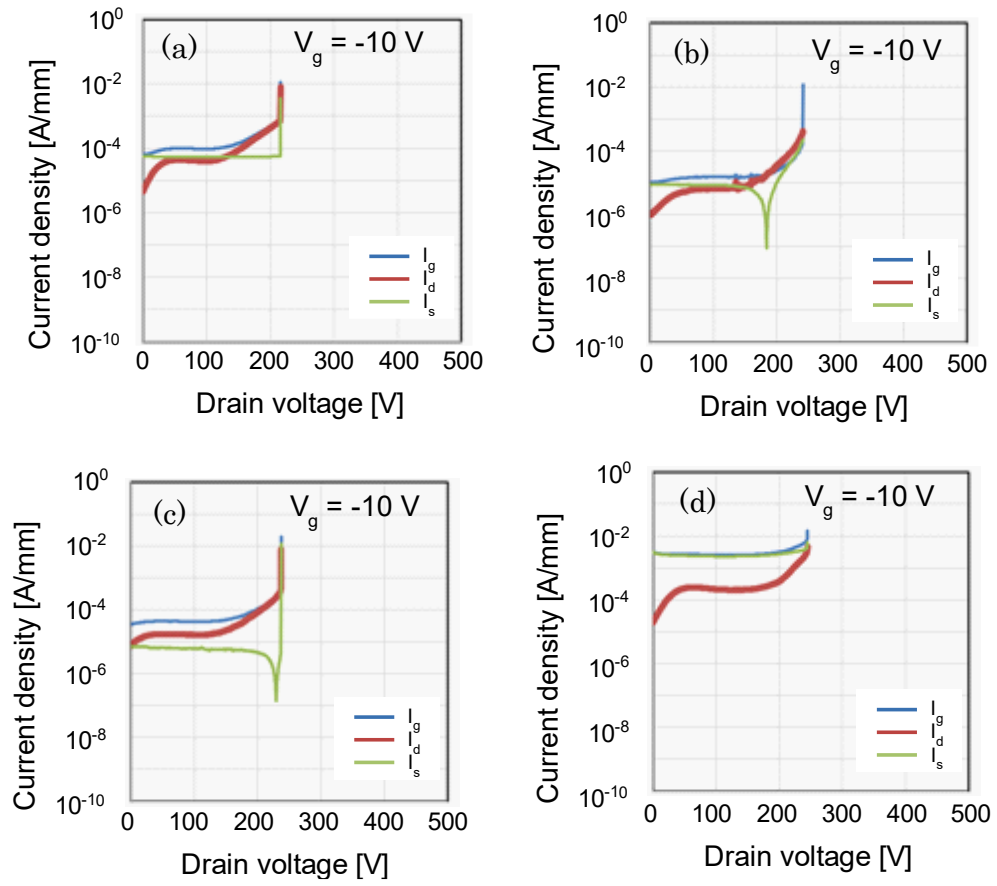


図④-4-6 ダイヤモンド成膜後のサンプル表面の SEM 像

3.4.4.1 項の図④-4-2 に示したトランジスタに SiN 膜を 100 nm 成膜した後、ダイヤモンド成膜を行った。図④-4-2 に示したトランジスタの耐圧を評価するための各電極構造は $L_g = 1.5 \mu m$ 、 $L_{gd} = 5 \mu m$ 、 $L_{gs} = 1.5 \mu m$ を用いた。また、耐圧評価時の条件は、ゲート電圧を -10 V に固定し、ドレイン電圧を 0 V からトランジスタが破壊されるまで増加させる方法とした。この時のピンチオフ耐圧評価結果を図④-4-7、図④-4-8 に示す。図④-4-7 において、MIS-SiN/A1ON 構造では、ダイヤモンド成膜後のゲートドレイン間電流 (以下、 I_{gd})、及びゲートソース間電流 (以下、 I_{gs}) がショットキー構造、及び、MIS-SiN 10 nm 構造よりも 1 桁以上低減している。これは、我々の文献 [11] に示すように、SiN/A1ON 構造は耐熱性が高いことから、ダイヤモンド成膜後もアモルファス構造を維持でき、絶縁特性の劣化を抑制できるためと考えられる。なお、ショットキー構造では、ダイヤモンド成膜の熱履歴により、金属/半導体界面において金属拡散が発生し、順方向立ち上がり電圧 (V_f) が低下することで、リーク電流が大幅に増加していると考えられる。また、MOCVD で成膜した AlN を絶縁膜に含むトランジスタのピンチオフ耐圧は、図④-4-8 に示すようにいずれも 200 V を超えており、図④-4-7 に示すショットキー構造、PECVD での SiN 膜を含む絶縁膜構造よりも高い耐圧特性を示した。また、各リーク値も図④-4-7 よりも抑制されていた。これは、AlN 膜のバンドギャップの広さ、及び、破壊電界強度の高さから得られた結果と考えられる。なお、図④-4-8(b)、図④-4-8(d) において、AlN 下地を SiN から AlON に変更することで I_{gd} 、 I_{gs} が増加しているのは、AlN の結晶化など、膜質が変化した影響と考えられる。

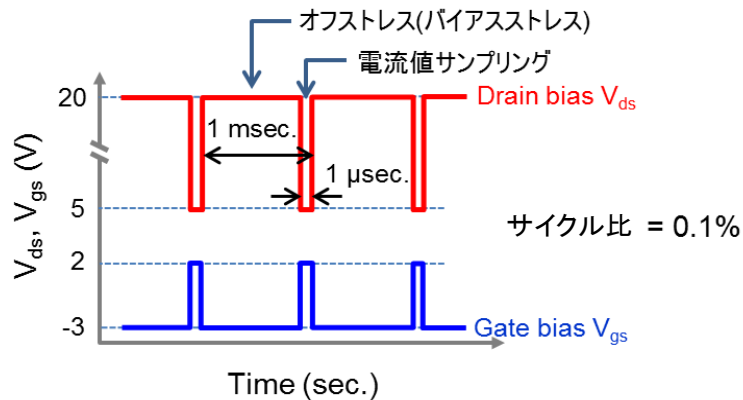


図④-4-7 ダイヤモンド成膜後のピンチオフ耐圧評価結果
 (a)ショットキー構造、(b) MIS-SiN 10 nm 構造、(c) MIS-SiN/AlON 構造



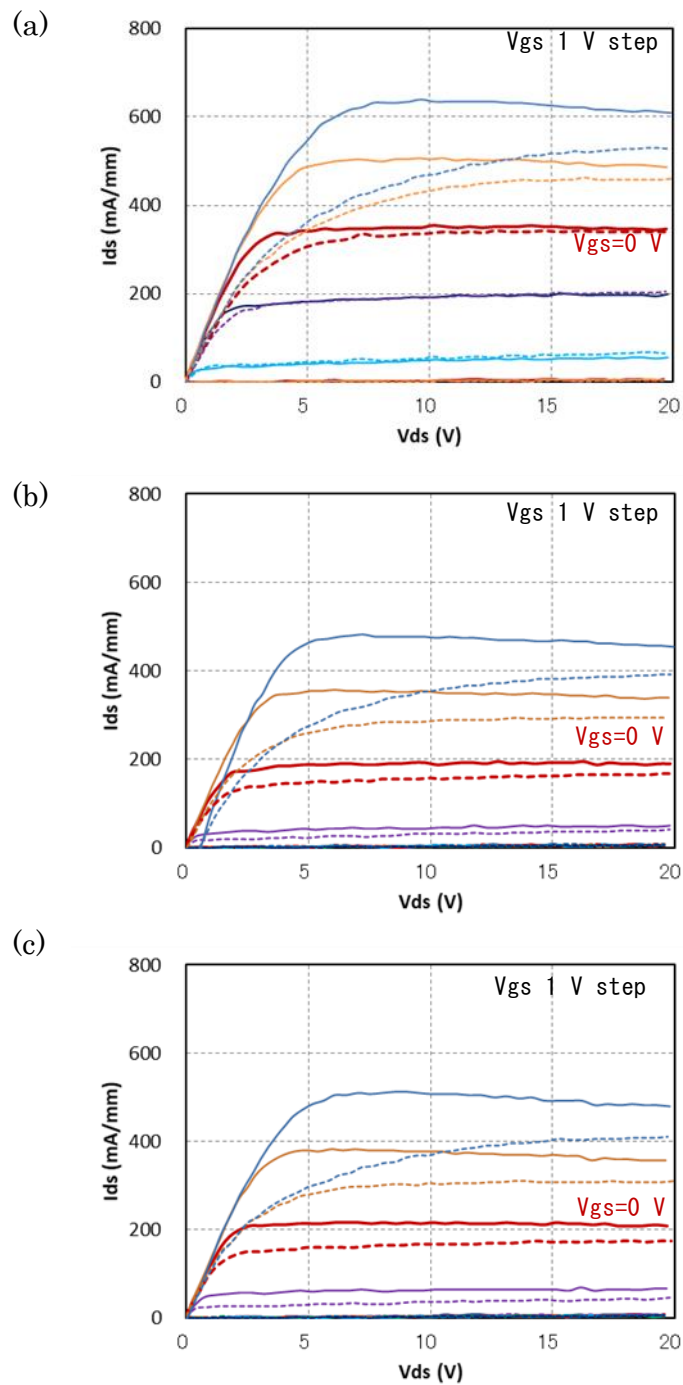
図④-4-8 ダイヤモンド成膜後のピンチオフ耐圧評価結果
 (a) MIS-AlN(750°C)/SiN(2 nm)構造、(b) MIS-AlN(950°C)/SiN(2 nm)構造、
 (c) MIS-AlN(950°C)/SiN(5 nm)構造、(d) MIS-AlN(950°C)/AlON(2 nm)構造

上述のダイヤモンド成膜後のトランジスタ耐圧評価結果(図④-4-7、図④-4-8)から、耐圧が高く、各リーク電流が抑制されたサンプルを選択し、pulsed-IVによりトランジスタの電流コラプスを評価した。pulsed-IVにおいては、設定した保持バイアス状態から、測定するゲート電圧およびドレイン電圧へ印加電圧をパルス状に変化させ、その瞬間の電流値をドレイン電流として測定する。このときの電圧パルスの与え方を図④-4-9に示す。これを繰り返して I_d - V_{ds} 特性を記録する。保持バイアスに電圧を保持する時間は1 msec.とし、ドレイン電流を測定するときのパルス幅は1 μ sec.とした。評価したサンプルは、MIS-SiN/AlON構造、MIS-AlN(950°C)/SiN(2 nm)構造、MIS-AlN(950°C)/SiN(5 nm)構造の3種類を用いた。使用したトランジスタ構造は、ピンチオフ耐圧評価トランジスタと同様に、 $L_g = 1.5 \mu\text{m}$ 、 $L_{gd} = 5 \mu\text{m}$ 、 $L_{gs} = 1.5 \mu\text{m}$ を用いた。この時のpulsed-IV評価結果を図④-4-10に示す。



図④-4-9 pulsed-IV評価におけるストレス印加タイミング

なお、Pulsed-IV評価時の各条件は保持電圧を(V_{ds} , V_{gs})=(0, 0 V)としたストレス印可無し(実線)の測定(実線)と保持ストレス電圧を(20, -5 V)としたストレス印可あり(破線)の測定(破線)とした。MIS-SiN/AlON構造では、ストレス印可時のON抵抗(以下、 R_{on})が増加しており、ゲート-ドレイン間に発生した電子トラップの影響により抵抗が増加しているのがわかる。しかし、パルス印可前後の $V_{gs} \leq 0$ Vでの各 I_d 値は、ほぼ同等の値となり、閾値の変動が抑制されていることを表している。これはゲート直下の絶縁膜中の電子トラップの影響が生じにくいことを示唆している。MIS-AlN(950°C)/SiN(2 nm)構造、MIS-AlN(950°C)/SiN(5 nm)構造においても、MIS-SiN/AlON構造と同様にストレス印可後に R_{on} の増加が見られ、ゲート-ドレイン間に発生した電子トラップの影響が見られた。さらに閾値の変動も確認されており、ゲート直下とアクセス領域の両方において絶縁膜で電子トラップが発生した影響が生じていることがわかる。ただし、AlN品の閾値変動についても、MIS-SiN/AlON構造と同様に、SiN/GaN界面にAlONを形成することなどにより電子トラップを低減できる可能性があるため、引き続き検証を継続し、最終構造を決定していく。

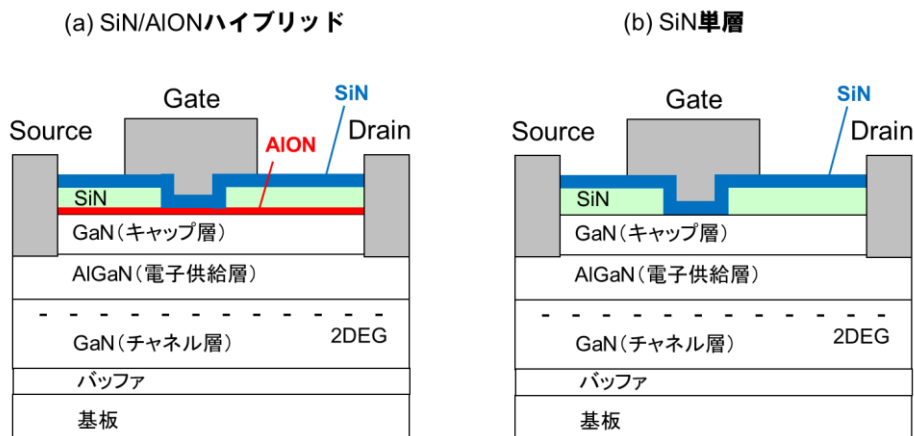


図④-4-10 ダイヤモンド成膜後の Pulsed-IV 評価結果
 (a) MIS-SiN/Al₂O₃ 構造、(b) MIS-AlN(950°C)/SiN(2 nm) 構造、
 (c) MIS-AlN(950°C)/SiN(5 nm) 構造
 (実線：ストレス印可なし、破線：ストレス印可あり)

3.4.5 SiN および SiN/AlON 絶縁ゲート構造 HEMT の試作

3.4.5.1 試作したデバイス構造

図④-5-1 に試作した AlN 基板上 MIS-HEMT の断面図を示す。結晶成長は MOCVD にて行った。3.4.4 に示したように、従来の SiC 基板上 HEMT のチャンネル層厚が 1000 nm であるのに対し、AlN 基板上 HEMT では 200 nm までチャンネル層を薄層化し、ドレインリーク電流を低減した。なお、SiC 基板上の HEMT では、Al 組成: 15% を超える AlGaIn バッファは、基板との格子定数差が大きく、転移の影響により適用が困難だが、AlN 基板上では、低転移で高 Al 組成のバッファを成長できるため、本研究においても Al 組成: 30% の AlGaIn バッファを AlN 基板上 HEMT に採用した。GaN キャップ、AlGaIn バリアの膜厚は、それぞれ 5 nm、15 nm とし、AlGaIn の Al 組成は 31% で固定として結晶成長を行った。デバイス試作においては、まず、オーミック形成領域の GaN キャップを除去した後、Ti/Al の積層構造から成るオーミック電極を AlGaIn 上に形成した。その後、図④-5-1(a) に示す SiN/AlON ハイブリッド構造では、2 nm の AlON を ALD にて形成した後、パッシベーション膜として、SiN を AlON 上に 40 nm 形成した。なお、図④-5-1(b) に示す SiN 単層構造においては、オーミック電極が形成されたエピ上に、直接 SiN を形成した。次に、ゲート形成領域の SiN をドライエッチングにて除去した後、ゲート絶縁膜として SiN を 8 nm 形成した。そして、Ni/Au の積層構造から成るゲート電極を、開口部に形成した。開口部のゲート長 (L_g) は 0.25 μm とし、DC 特性の評価を行った。



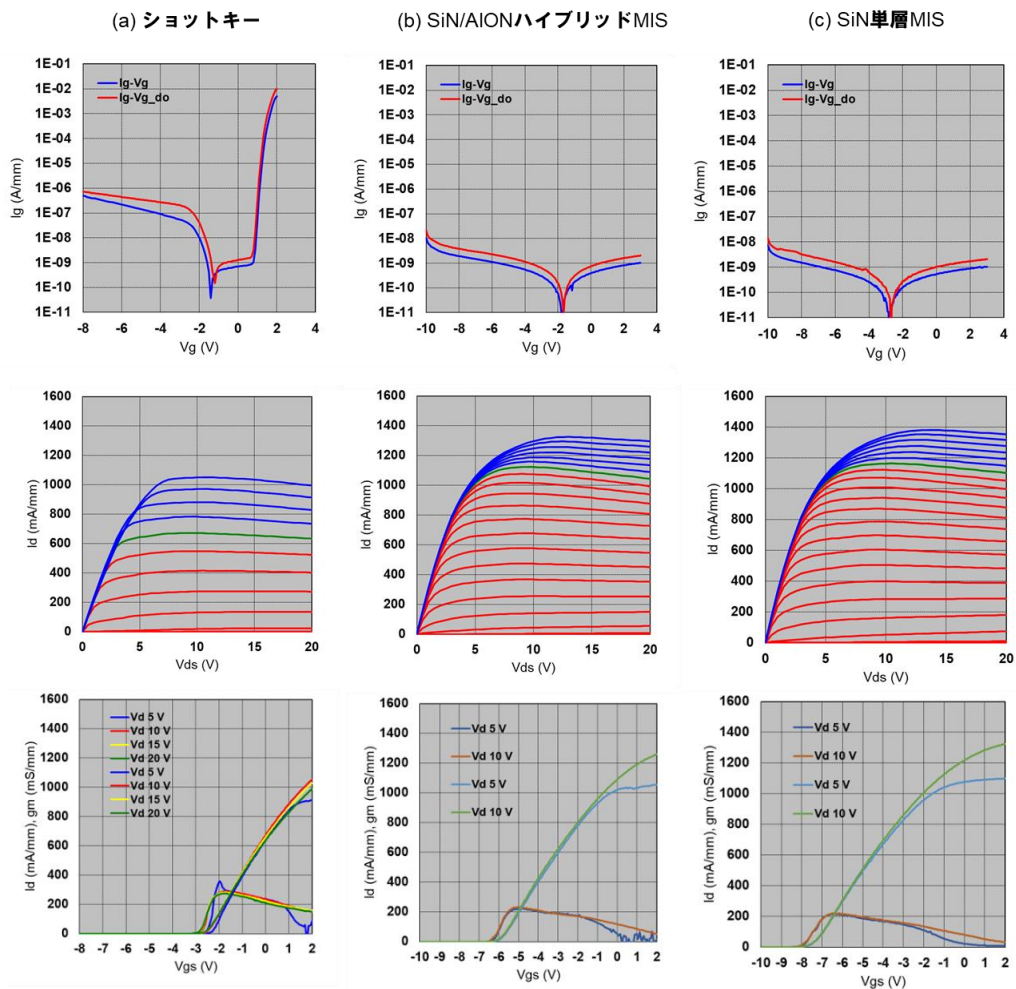
図④-5-1 試作した AlGaIn/GaN HEMT のデバイス構造

3.4.5.2 結果及び考察

図④-5-2 に試作した AlN 基板上 MIS-HEMT の DC 特性を、表④-5-1 に測定結果から抽出したトランジスタパラメータを示す。まず、図④-5-2 上段の I_g-V_{gs} 特性から、MIS ゲートの採用により順方向耐圧が 3 V 以上まで向上し、ゲート電圧をショットキーゲートよりも振り込めることを確認した。その結果、図④-5-2 中段の I_d-V_{ds} 特性に示すように、ショットキーゲートの最大ドレイン電流 (I_{dmax}) は 1053 mA/mm 程度 (@ $V_{gs} = 2\text{ V}$) であるのに対し、MIS ゲートは $V_{gs} = 3\text{ V}$ において、1297 mA/mm (SiN/AlON ハイブリッド) ~ 1348 mA/mm (SiN 単層) と、順方向に振り込むことで最大ドレイン電流が 20~30% 程度向上することが明らかとなった。なお、MIS 構造においては、ゲート直下に絶縁膜が存在するため、ゲート開口プロセス (ドライエッチング) に起因したシート抵抗上昇を抑制でき、そちらも I_{dmax} の向上に寄与していると考えられる。ここで、SiN/ハイブリッド構造の方が SiN 単層構造よりも I_{dmax} が低い点については、3.4.1 で述べた “AlON のキャリア変調効果” に起因しており、AlON を適用することで 2DEG 密度が減少し、 R_{sh} が上昇した影響と考えられる。図④-5-2 下段の I_d-V_{gs} からも、SiN/AlON ハイブリッド構造は 2DEG の減少により V_{th} が浅くな

っていることがわかる。

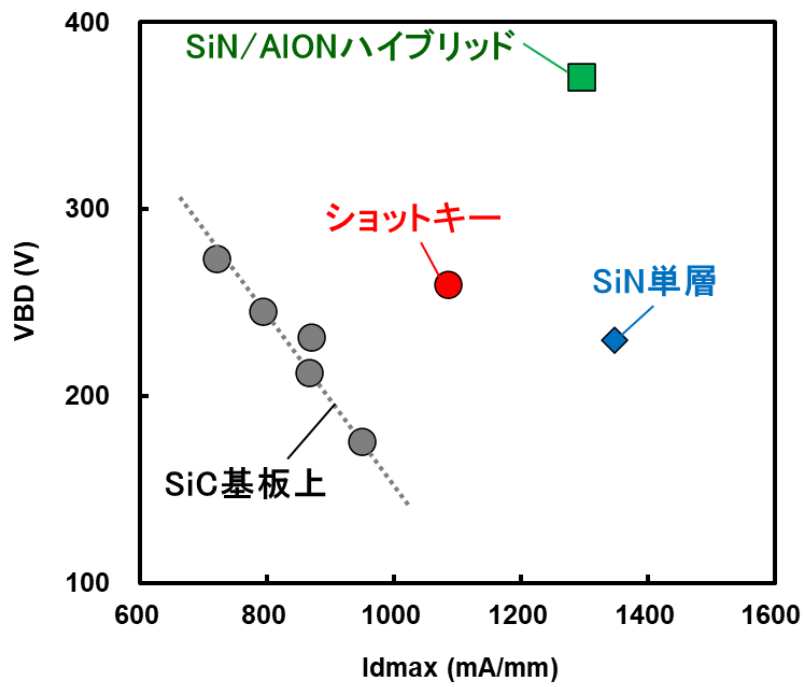
次に、 I_{dmax} とオフ耐圧 (V_{BD}) の関係を比較した結果を図④-5-3 に示す。3. 4. 4 に示したように、SiC 基板上 HEMT (ショットキーゲート) では、キャリア密度を $6.6 \times 10^{12} \text{ cm}^{-2}$ から $1.1 \times 10^{13} \text{ cm}^{-2}$ まで上昇させることで、 I_{dmax} の増加と、それともなう V_{BD} の低下が確認された。一方、 I_{dmax} と V_{BD} の関係を基板間で比較すると、SiC 品のプロットから得られる直線に対し、キャリア密度 $1.1 \times 10^{13} \text{ cm}^{-2}$ の AlN 品はプロットが上に位置しており、大電流化・高耐圧化の観点で SiC 品よりも優位であることがわかる。これは、3. 10 (実施項目⑩) で述べるように、AlN 基板上 HEMT では、2DEG 密度を増加させた際も、高 Al 組成の AlGaIn バッファのバックバリア効果によって電子供給層やチャネル内の電界が緩和され、SiC 基板上 HEMT よりも耐圧を向上できた効果である [12]。さらに、AlN 基板上 HEMT 内で特性を比較すると、従来のショットキーゲート構造に対し、SiN/AlON ハイブリッド MIS 構造は I_{dmax} 、 V_{BD} ともに向上しており、高出力化が見込めることが明らかとなった。



図④-5-2 (a)ショットキー構造, (b)SiN/AlON ハイブリッド MIS, (c)SiN 単層 MIS の DC 特性比較. 上段: I_g-V_{gs} 特性, 中段: I_d-V_{ds} 特性, 下段: I_d-V_{gs} 特性.

表④-5-1 トランジスタパラメータ抽出結果

	Idmax (mA/mm)	Gmmax (mS/mm)	Ron (Ω・mm)	Vth (V)	Vf (V)	VBD (V)	Rsh (Ω/□)
ショットキー	1053	290	4.66	-2.77	1.44	260	328
SiN/AION	1297	231	3.26	-6.40	>3	370	373
SiN単層	1348	228	3.12	-8.05	>3	230	321



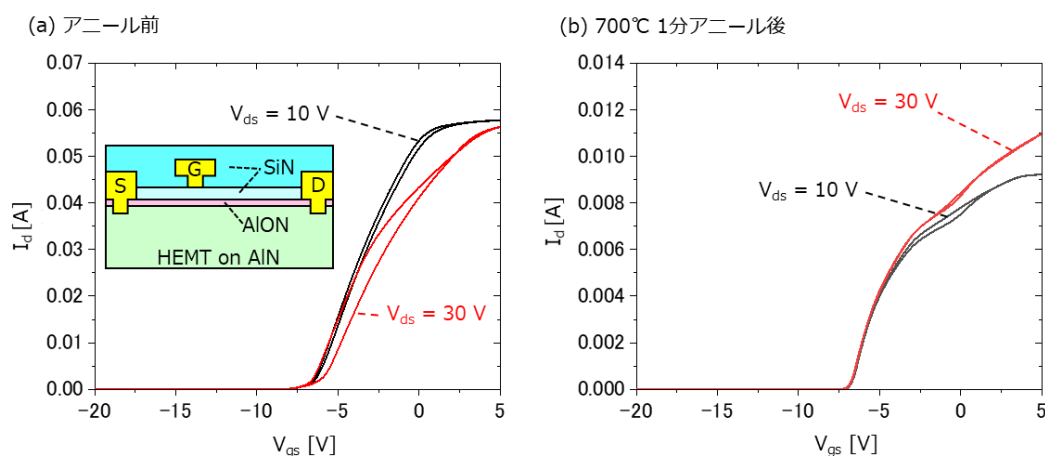
図④-5-3 最大ドレイン電流とオフ耐圧の関係

3.4.6 種々の絶縁膜を利用した絶縁ゲート構造 HEMT の試作と比較

3.4.6.1 SiN/AlON 絶縁ゲート構造 HEMT

令和2年度の結果では SiN/AlON-MIS 構造はショットキーデバイスおよび SiN 単層の絶縁膜に対して高い DC 耐圧を持つものの 40 V 動作での出力電力が低いという問題があった。この出力電力の低下は、電流コラプスとの相関を確認しており、電流コラプスが起きた時のドレイン電流が高いほど出力電力は高くなることを示した。すなわち、SiN/AlON-MIS 構造は電流コラプスを抑制することができれば、高電圧動作によりショットキーデバイスよりも高い出力密度を実現できる可能性がある。電流コラプスの主な原因 1 つとして、絶縁膜中のトラップがあげられる。3.4.3 の結果から、SiN/AlON の成膜時の段階では、絶縁膜中に GaN の伝導体から 0.26 eV 下の準位で $1.4 \times 10^{14} / \text{eV cm}^2$ の高密度のトラップが存在していることが分かった。SiN 単層 MIS 構造の場合は欠陥密度が $4.28 \times 10^{13} / \text{eV cm}^2$ であったため、SiN/AlON-MIS 構造は 2 倍以上トラップの密度が高い。ショットキーゲートの場合は金属と直接接触合うためほぼ無視でき、電流コラプスが引き起こされる主な原因はゲート-ドレイン間のアクセス領域もしくは、GaN 層の不純物などによる影響であると考えられる。これらの欠陥密度の関係は、3.10.4 で報告した各構造の電流コラプス測定結果、ショットキー (96%) > SiN 単層 (83%) > SiN/AlON-MIS (76%) の関係とも一致している。すなわち、SiN/AlON-MIS 構造においても欠陥密度を低減することができれば、電流コラプスを抑制することができると考えられる。

上記したように、3.4.3 では SiN/AlON 絶縁膜形成時の段階では SiN 絶縁膜よりも高いトラップ密度が形成されていたが、700°C の高温で 1 min. アニール処理を行うことによって、トラップ密度を SiN 絶縁膜と同等まで低減できることを示した。そこで、SiN/AlON-MIS 構造を適用したトランジスタにおいて、アニール処理前後でのゲート電圧を順方向に振り込んだ際のヒステリシス特性から、SiN/AlON 絶縁膜の電流コラプス低減について調査した。図④-6-1 に検討に使用したデバイス構造及びアニール前後の I_d - V_{gs} 特性を示す。 V_{ds} が 10 V の時にわずかにヒステリシス特性が表れており、 V_{ds} を高くした 30 V では、より強いヒステリシス特性が観察された。

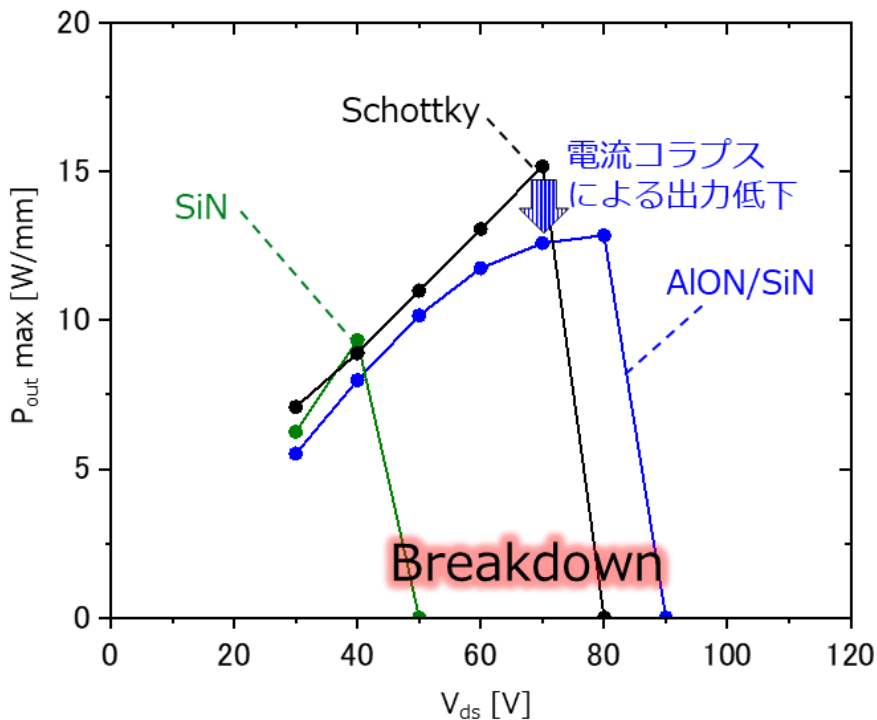


図④-6-1 絶縁膜の 700°C, 1 min. アニール前後の I_d - V_{gs} 特性

これは、高いドレイン電圧によって、電子が高いエネルギーを持つことにより深い準位のトラップに捕獲されたことを意味している。700°C, 1 min. のアニール処理後では、コンタクト抵抗の劣化があるものの、 $V_{ds} = 10, 30$ V のどちらにおいてもヒステリシス特性が小さくなっており、欠陥準位形成による電子トラップが減少したことを示唆している。SiN/AlON-MIS 構造を適用する主な目的は表面にダイヤモンドを適用するためであり、ダイヤモンド成膜時は 700°C 程度まで温

度が上昇する。実際に、⑧において報告しているように SiN/A1ON-MIS 構造を適用した AlN 基板上の GaN-HEMT にダイヤモンドを成膜した後の電流コラプスは 86 % と成膜直後の SiN/A1ON-MIS 構造の 76 % よりも改善している。

このように、SiN/A1ON-MIS 構造はダイヤモンド成膜を実現できる構造であり、かつダイヤモンド成膜中に高温でアニールされることによって電流コラプスも改善される。しかしながら、コラプス率が改善してもショットキーゲート構造を持つ HEMT よりも電流密度が低いため、高周波での出力はショットキーゲートのトランジスタよりも低くなると考えられる。図④-6-2 に AlN 基板上に作製した GaN HEMT を用いてショットキーゲート、SiN 単層 MIS ゲート、SiN/A1ON-MIS ゲート構造のロードプル測定結果を示す。測定は load 側の P_{out} 最大となるようにマッチングを行い、X-帯周波数、デューティ比 0.1 % にて行った。デューティ比が低いため、発熱による影響はほぼ無視することができる。その結果、 $V_{ds} = 40$ V では 3. 1 0. 4 にて述べたように、SiN 単層 MIS 構造で最も高い出力密度が観察された。しかし、SiN 単層の MIS 構造は $V_{ds} = 50$ V 動作時には絶縁破壊を起こしてしまうことが分かった。これは、SiN 直下の 2DEG 濃度が高いためショットキーゲートに比べてより電界集中が起きやすいことが原因であると考えられる。すなわち、SiN 単層の MIS ゲートは同一ドレイン電圧での出力は高いものの、高電圧動作による高出力化には不向きであると考えられる。



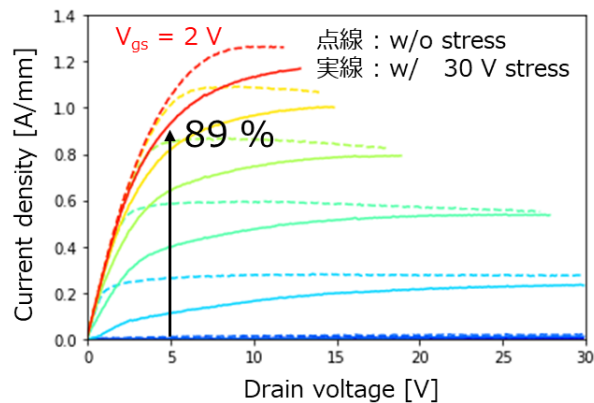
図④-6-2 ショットキーゲート、SiN 単層 MIS ゲート、SiN/A1ON-MIS ゲート構造のロードプル測定結果

一方で、SiN/A1ON-MIS 構造は僅かにではあるが、ショットキーゲート以上の耐圧を持っていることが分かった。これは、ショットキーゲート構造の場合、ゲートドレイン間のアクセス領域は SiN 絶縁膜であるため、アクセス領域の 2DEG が SiN/A1ON 絶縁膜では低いためゲート端の電界集中が緩和できたことに加えて、MIS 構造を用いることによりゲートリーク電流を小さくできたことでアバランシェ崩壊によるブレークダウンを抑制できたことが原因であると考えられる。一方で、SiN/A1ON-MIS 構造では、高電圧動作時のコラプスがより悪化してしまうため、わずかな高耐圧化ではショットキーゲートのデバイスよりも出力が下がってしまうということが分かった。

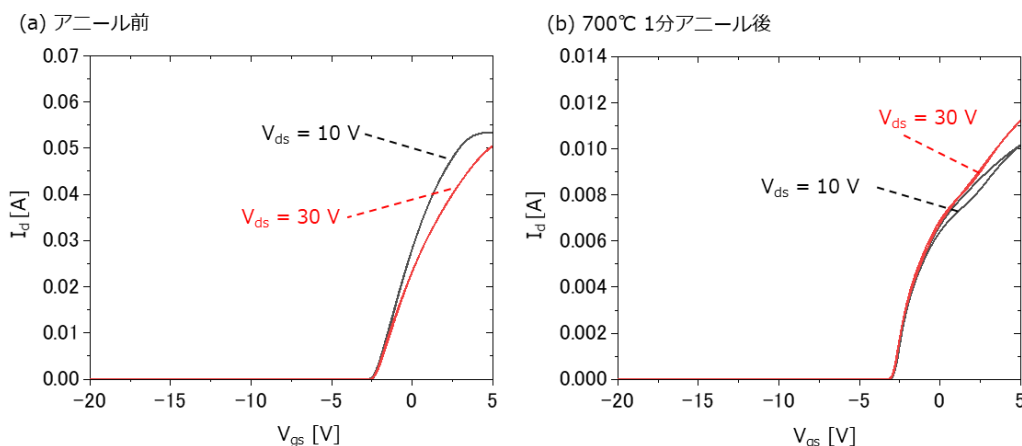
3.4.6.2 AlON 絶縁ゲート構造 HEMT

3.4.6.1にて述べたように、SiN/AlON-MIS 構造は⑦表面ダイヤモンドとの相性は高く V_{ds} が低い領域かつ発熱の影響が大きい CW 動作では有用であることが分かった。一方で、単純に大きな出力密度を得る場合は SiN 単層や SiN/AlON 積層構造よりもショットキーゲートの方が有用であることが示された。ショットキーゲートの大きな利点としては、ドレイン電圧が高い領域においてもコラプスが小さいため、 $V_{ds} = 70 \text{ V}$ まで出力電力密度 (P_{out}) は線形に増加している。一方で、 80 V で絶縁破壊してしまうため、表面のダイヤモンドを適用しないことを前提とすれば、ショットキーゲートに近い構造で高耐圧化を実現できるデバイス構造を適用することで、さらなる高出力動作が期待できる。そこで、非常に薄い AlON 単層を MIS 構造としてゲートに適用した疑似ショットキー構造により、高いコラプス率と高い耐圧の両立を狙った。

図④-6-3 に AlON-MIS ゲート構造を用いたトランジスタのパルス IV 測定結果を示す。電流コラプス率は 89% とショットキーゲートに近い値を示している。実際に、図④-6-1 と同様にゲート電圧を振り込んだ時のヒステリシス特性は $V_{gs} = 5 \text{ V}$ まで振り込んでも $V_{ds} = 10 \text{ V}$, 30 V の両方でヒステリシス特性は観察されなかった。一方で、SiN/AlON-MIS 構造と同様に 700°C で 1 分アニール処理を行ってしまうと、ヒステリシス特性の悪化が観察された(図④-6-4)。AlO は高温で長時間アニール処理を行ってしまうと結晶化してしまい、ゲート構造が維持できないため長時間の加熱が必要なダイヤモンドには不向きであるが、短時間のアニール処理でも特性が劣化することが分かった。そのため、AlON 単層-MIS ゲート構造の場合は、アニール処理を行わずに適用することが望ましい。



図④-6-3 AlON-MIS ゲート構造を用いたトランジスタのパルス IV 測定結果



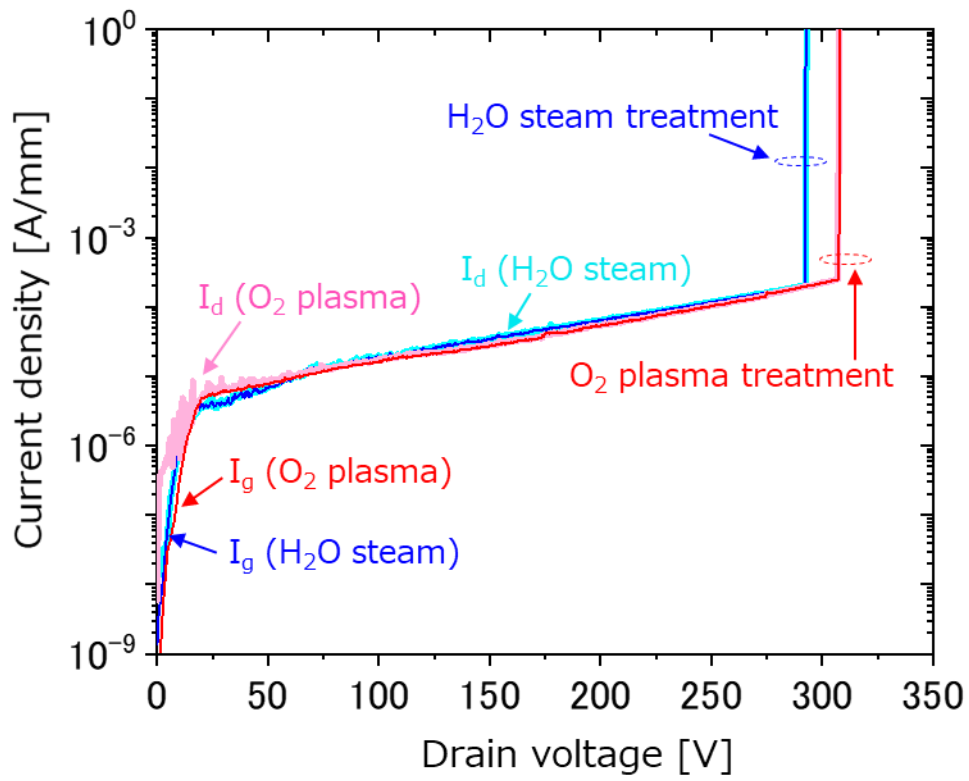
図④-6-4 アニール処理前後のヒステリシス特性
(a)アニール前, (b) 700°C 1min. アニール処理後

さらに、平成30年度に報告しているように絶縁膜と半導体界面の炭素などの不純物は GaN HEMT の特性に強く影響する。つまり、AlON-MIS 構造の特性を向上させるためには AlON 絶縁膜と半導体界面の制御が重要である。そこで、AlON 絶縁膜を積層する前に H₂O 雰囲気中で 300℃ の環境で GaN 表面を前処理したもの、及び表面の炭素不純物を除く目的で酸素プラズマによって GaN 表面を前処理したものの2つのサンプルについてその特性評価を行った。それぞれで処理した後のホール効果測定結果を表④-6-1 に示す。シート抵抗は 2DEG 濃度が高いため H₂O 前処理の場合はシート抵抗が高くなっているが、高い耐圧を得るためには 2DEG 濃度が低いことが望ましい。さらに、通常は電子のスクリーニング効果によって、 $0.8 \times 10^{13} \text{ cm}^{-2}$ までの 2DEG 濃度では 2DEG 濃度が高いほど移動度が高くなるが O₂ プラズマ処理の方が高い移動度を持っており、絶縁膜と半導体界面に移動度を抑制するようなポテンシャルを持つ不純物または欠陥が少ないことを示唆している。また、それぞれの前処理のパルス IV 測定結果及び耐圧測定結果を図④-6-5、図④-6-6 にそれぞれ示す。耐圧測定はゲート電圧 -5 V において測定を行った。H₂O 加湿雰囲気処理、O₂ プラズマ処理のどちらにおいても $V_{ds} = 20 \text{ V}$ 程度までゲートリーク電流 $I_g < 10^{-6} \text{ A/mm}$ と十分低い値を実現できている。特に O₂ プラズマ処理を行ったデバイスに関しては、 $V_{ds} > 50 \text{ V}$ の領域では H₂O 加湿前処理に比べてゲート、ドレイン共にリーク電流が小さくより高い耐圧を持っていることが分かった。さらに、電流コラプスについても両者ともに 90% 近い優れた特性を示すことが分かった。O₂ プラズマでの前処理を適用したデバイスでは電流コラプスは H₂O 加湿前処理に比べて 2 ポイント低下がみられるものの、87 % と十分高い値を示しており、今回の MIS ゲート構造は特に高い耐圧を達成するために適用したため、より高い耐圧を実現できた O₂ プラズマ処理を AlN 上のデバイスに適用することとした。

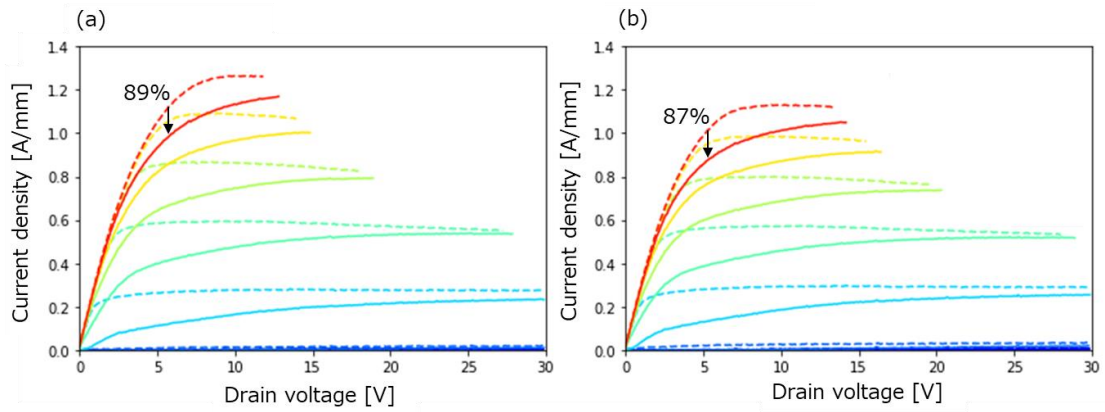
実際に AlON 単層 MIS 構造を適用して作製したデバイスのロードプル測定結果を図④-6-7 に示す。 $V_{ds} = 70 \text{ V}$ までの動作は十分高いコラプス率を実現できているため、ショットキーデバイスと同程度の値となっている。大きな違いとしては、AlON 単層の MIS 構造を用いることで、 $V_{ds} = 80 \text{ V}$ 以上でも破壊されず 100 V までの動作を確認できたことである。また、SiN/AlON の 2 層 MIS 構造と異なり、AlON 単層 MIS 構造では 80 V まで線形に出力電力は増加しており、 $V_{ds} = 80 \text{ V}$ において最高出力 16.8 W/mm を得ることができた。同一動作電圧での出力電力密度増加は、電流密度の増加を意味しており、SiN/AlON の 2 層 MIS に比べて AlON 単層 MIS 構造では、電流コラプスが抑制されたことで、高周波動作時の電流密度が SiN/AlON-MIS 構造のものに比べて高くなった結果出力密度が向上したものであると考えられる。しかし、 $V_{ds} = 80 \text{ V}$ 以上では出力電力は低下してしまっていることが分かる。今回のロードプル測定はデューティ比 1 % で測定しており、発熱による出力低下の影響は考慮しなくてよいため、電流コラプスが 90 V 以上では劇的に低下していることを示している。この高電圧動作領域での電流コラプス率の低下は”⑩要素技術統合向けインテグレーション”で記載するように半導体側で捕獲される電子の影響を改善することで抑制することができる。

表④-6-1 AlON 絶縁膜適用 GaN HEMT の AlON 成膜前処理による電気特性変化

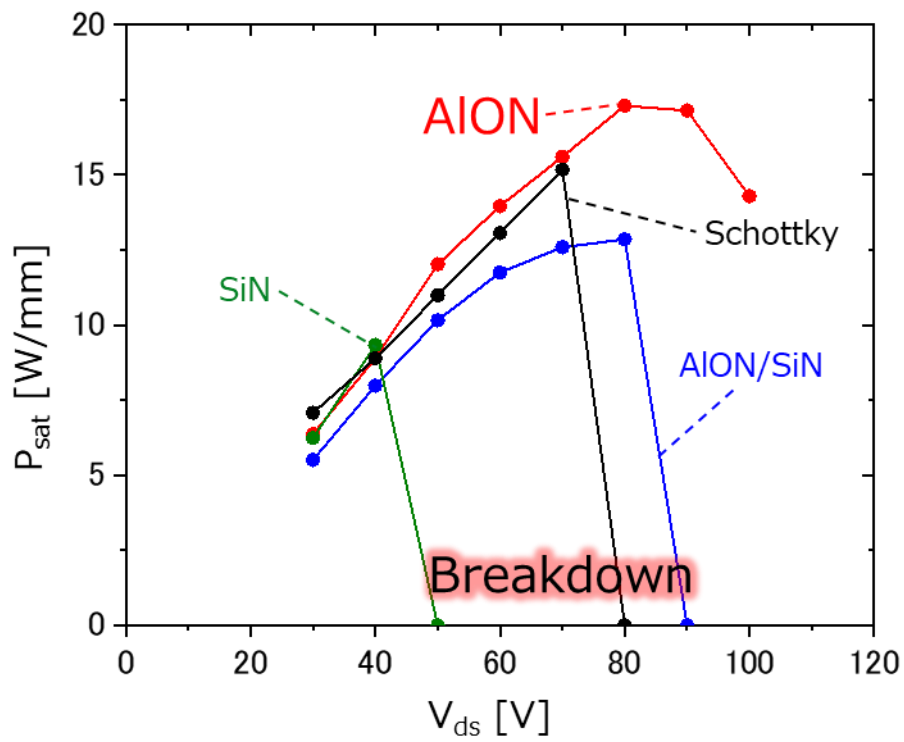
前処理	H ₂ O 処理	O ₂ プラズマ処理
2DEG 濃度 [cm^{-2}]	0.78×10^{13}	0.65×10^{13}
移動度 [cm^2/Vs]	2170	2180
R_{sh} [$\Omega/\text{sq.}$]	369	441



図④-6-5 耐圧測定結果



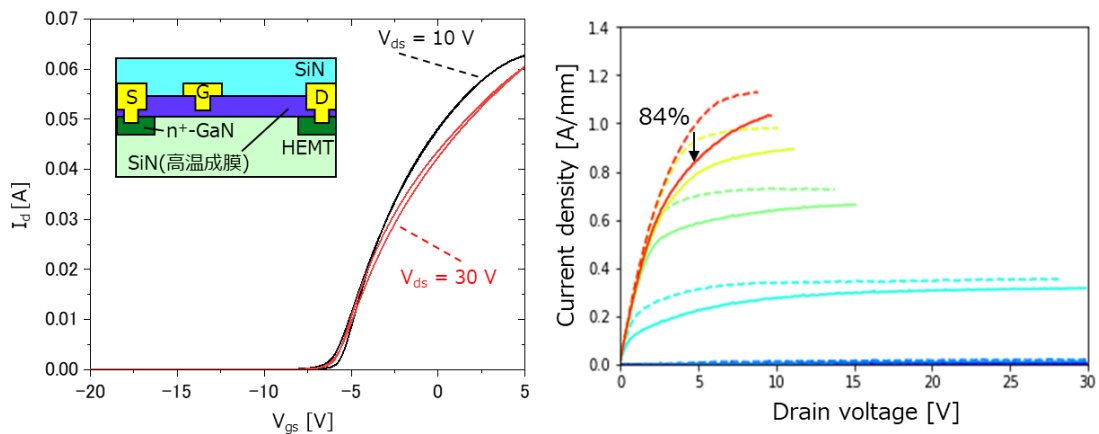
図④-6-6 パルス IV 測定結果



図④-6-7 AION 単層 MIS 構造を適用して作製したデバイスのロードプル測定結果

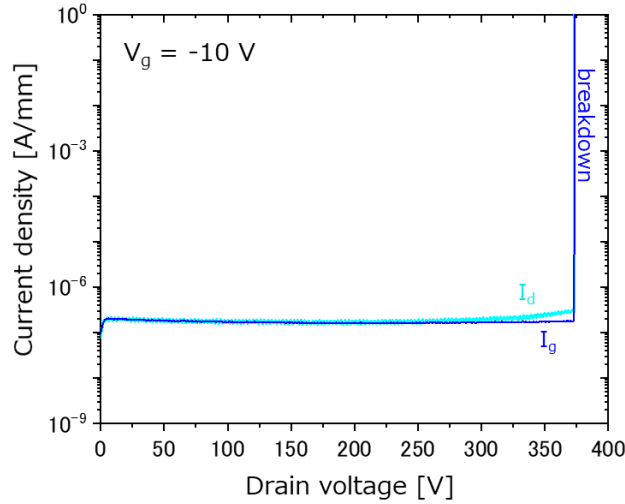
3.4.6.3 高温成膜 SiN 絶縁ゲート構造 HEMT

3.4.6.2において、記載したように AlON 単層 MIS 構造を適用することで、高い耐圧を実現できることを示した。さらに、”⑤高機能絶縁膜の形成技術”でも記載するように高いキャリア濃度を実現できる SiN 膜とキャリア濃度を低下できる AlON 膜をソース-ゲート間、ゲート-ドレイン間に作り分けることによってキャリア濃度の変調も実現できる。一方で、”⑦表面放熱技術”や”⑩要素技術統合向けインテグレーション”で記載するように、CVD ダイヤモンドの成長やコンタクト層再成長に適用するための耐熱性は十分とは言えない。そこで、高い耐熱性を持つ SiN 絶縁膜について、その高品質化を行うことによって、加熱処理における界面トラップの形成を防ぐことで高い耐熱性とコラプス率、耐圧を実現できる SiN 絶縁膜を MIS 構造として適用する方法を検討した。これまで、用いてきた SiN 絶縁膜は GaN HEMT 構造を MOCVD で成長後にプラズマ CVD を用いて 250°C 程度で 10 nm/min 程度の成長レートで製膜を行う。一方で、プラズマ CVD ではなく MOCVD を用いて 1000°C 程度の高温で SiN 絶縁膜を製膜することで、リーク電流の抑制や電子トラップの抑制を実現できることが報告されている。さらに、SiN 成膜時に 1000°C で成長を行うため、その後の熱処理にも高い耐性を持つことが想定される。そこで、MOCVD を用いて 1000°C の高温環境下で製膜する SiN を AlN 基板上 GaN HEMT に適用して、その効果を調査した。



図④-6-8 MOCVD を用いて 1000°C で製膜した SiN の I_d - V_{gs} 特性および電流コラプス測定の結果

図④-6-8 に I_d - V_{gs} 特性および電流コラプス測定の結果を示す。高温成膜 SiN 絶縁膜は高い耐熱性を期待してデバイスへ適用するため、高温処理となる再成長 n⁺-GaN コンタクト層を適用した。再成長コンタクト層の形成は、ゲート金属が形成されていないものの高温成膜 SiN 絶縁膜形成後に行われるため、電流コラプスなどの耐熱性は評価することができる。ゲート金属形成後に行われる、CVD ダイヤモンドの形成に対する耐熱性の評価については、”⑦表面放熱技術”にて記載する。GaN 再成長層は 800°C において 10 min. ほどの成長時間で行われる。これは、3.4.6.1 項で行ってきた 700°C 1min. のアニール処理よりも厳しい条件であるが、 $V_{ds} = 30$ V においてわずかにヒステリシス特性が見えるものの、熱処理をした後においてもドレイン電流のヒステリシス特性は良好な状態を保っている(図④-6-8)。実際に、電流コラプスの評価においても 84% と AlON 単層絶縁膜よりもわずかに低いものの良好な特性を得ることができた。プラズマ CVD を用いて製膜した SiN 絶縁膜の場合でも、良好なコラプス特性が得られたがプラズマ CVD を用いた場合の欠点はデバイスの耐圧が低下することであり、図④-6-7 で示したように高周波動作では、50 V で破壊されてしまう。そこで、高温成膜 SiN 絶縁膜の耐圧を測定した結果を図④-6-9 に示す。直流での測定結果ではあるが、絶縁破壊電圧 370 V が得られており、これは高周波動作にて 90 V を記録した AlON 単層 MIS 構造の直流耐圧 305 V よりも高い。さらに、ゲートリーク電流はもっとも低く $I_g \cong 2 \times 10^{-7}$ A/mm が得られている。これらの結果から、高温成膜 SiN-MIS 構造は高い耐熱性及び比較的良好的なコラプス特性と非常に低いリーク電流による高い耐圧を両立できること示しており、高周波動作においても高い出力密度を実現できることが示唆されている。高周波動作の出力特性結果については、”⑩要素技術統合向けインテグレーション”にて記載する。



図④-6-9 MOCVD を用いて 1000°C で製膜した SiN の絶縁膜の耐圧測定結果

3.4.7 まとめ

表④-6-2 に本研究で検討した各ゲート構造と絶縁膜の構造を示す。本章の技術で重要なことは (i) 高い耐圧を有する MIS ゲート構造を実現すること、(ii) 本技術適用によって、高周波での出力特性が劣化しないように高い電流コラプス率を維持すること、(iii) “⑦表面放熱技術” での統合を考慮してダイヤモンド成長環境に耐えうる高い耐熱性を持つこと、である。昨年まで検討していた SiN/AION-MIS 構造は高い耐熱性を持つため”⑦表面放熱技術”との技術統合は可能である反面、電流コラプスの悪化が避けられないことが検討の結果わかった。そこで、(i) 高耐圧化、(ii) 高電流コラプス率の維持、に重点を置いて AION 単層-MIS 構造を検討した結果、十分低いゲートリーク電流 ($I_g < 10^{-6}$ A/mm) による高い耐圧を実現できたことで、最も高い出力密度 16.8 W/mm が得られた。

さらに、”⑦表面放熱技術”との統合を考慮して、高い耐熱性を持つ SiN の高品質化のために、MOCVD を用いて高温で形成する SiN 絶縁膜を GaN HEMT に適用し、その特性を評価した。電流コラプスは AION 単層-MIS 構造にわずかに劣るものの、高い耐熱性と耐圧を両立できており、高周波特性の改善が期待できる。

表④-6-2 本研究において検討した絶縁ゲート構造と結果の概要

ゲート構造	ショットキー	SiN	AION/SiN	AION	SiN(高温成膜)
デバイス構造模式図					
耐圧	○	×	○	◎	◎
電流コラプス	◎	○	×	◎	○
耐熱性	×	○	◎	×	◎

参考文献

- [1] T. Uesugi, et. al., Appl.Phys. Lett., 104, 016103 (2008).
- [2] P. D. Ye, et. al., Appl.Phys. Lett., 86, 063501 (2005).
- [3] S. Ootomo, et. al., Phys. Stat. sol. (c)0. No.1, 90-94 (2002).
- [4] A. K. Mallik, et.al., Processing and Application of Ceramics, 8 [2] 69-80 (2014).
- [5] J. A. Thornton: J. Vac. Sci. Tech. A 4, 3059-3065 (1986).
- [6] J. Robertson, et. al., Journal of Applied Physics 100, 014111 (2006).
- [7] Y. Hori, et. al., Japanese Journal of Applied Physics 49, 080201 (2010).
- [8] R. J. Duchovic, et.al., J. Chem. Phys. 82, 3599 (1985)
- [9] S. Ootomo, et. al., Phys. Stat. sol. (c)0. No.1, 90-94 (2002).
- [10] T. Hashizume, S. Ootomo, T. Inagaki and H. Hasegawa : J. Vac. Sci. Technol. B 21 (2003) 4.
- [11] Y. Kamada, S. Ozaki, J. Yaita, A. Yamada, T. Ohki, Y. Minoura, Y. Kumazaki, N. Okamoto, K. Makiyama, N. Nakamura, and J. Kotani : Jpn. J. Appl. Phys. 59 (2020) 046505.
- [12] S. Ozaki et al., Appl. Phys. Express 14, 041004, (2021).

3.5 ⑤高機能絶縁膜形成技術

3.5.1 はじめに

半導体デバイスの高出力化に向けたアプローチの一つは、動作電流の増大である。窒化物半導体分野においては、従来のAlGaIn電子供給層の代わりに、In系電子供給層を採用することで電子濃度が増大し、最大電流が増加することが知られている。その反面、ドレイン側ではゲート端での電界集中を助長し、耐圧の観点で不利に作用する。したがって、本提案が目指す大電流かつ大電圧動作を実現するためには、図⑤-1-1に示すように、ソースおよびドレイン側において非対称な電子濃度を実現する新しいチャンネル電子濃度制御技術が必要である。この非対称電子チャンネルを実現することが出来れば、ソース側アクセス領域が低抵抗化し、最大動作電流の増加に寄与すると同時に、ドレイン側の領域の電子濃度が低いことに起因して電界集中が緩和される。これにより、大電流動作と大電圧動作を両立することが可能となり、従来にない高出力デバイスの実現が期待できる。しかし、チャンネル層や電子供給層を成長する結晶成長技術において、面内に電子濃度差を作り込むことは極めて困難であり、プロセス技術においてその実現が望まれる。本研究では、耐圧向上技術の一つとして、本研究では絶縁膜の応力または固定電荷等を利用してソース-ゲート間およびゲート-ドレイン間に非対称キャリア濃度分布を実現する技術の開発を進める。

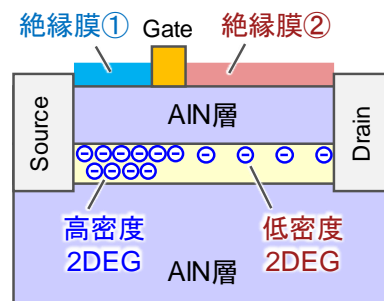
平成29年度は、窒化ケイ素(SiN)膜の応力により、半導体内部のキャリア濃度を変化させる手法について検討した。応力を印加するためのSiN膜の製法についても検討を行い、2 GPa程度の大きな応力を持つ絶縁膜を成膜できることを示した。

平成30年度は、絶縁膜の応力によるキャリア濃度変調と、固定電荷によるキャリア濃度変調の優劣について検討を行い、固定電荷によるキャリア濃度変調を選択した。

平成31年度は、絶縁膜とHEMT最表面層構造(厚膜GaInキャップ)の組み合わせにより、より大きなキャリア濃度変調効果を得る技術を開発し、約50%程度のシート抵抗差を発現させることに成功した。

令和2年度は、実施項目④との技術統合を視野に入れ、ゲート絶縁膜と併用可能なAlONを用いたキャリア変調構造を検討し、トランジスタの耐圧が従来構造に比べて約20%向上することを実証した。また、これまで検討を進めてきた厚膜GaInキャップ層については、キャリア変調には有効であるものの、電流コラプスがより強く発現することを明らかにした。

令和3年度はAlO絶縁膜について、成膜後の窒化処理や酸化処理を検討し、絶縁膜中の負電荷とキャリア密度の関係を明らかにするとともに、それに伴う耐圧、電流コラプスの変化を調査することで、AlO膜適用によるGaIn HEMTの特性最適化を行った。さらに、AlO膜をAlN基板上的GaIn HEMTに適用することで出力密度の向上を試みた。



図⑤-1-1 高耐圧・大電流動作を両立する非対称電子濃度デバイス

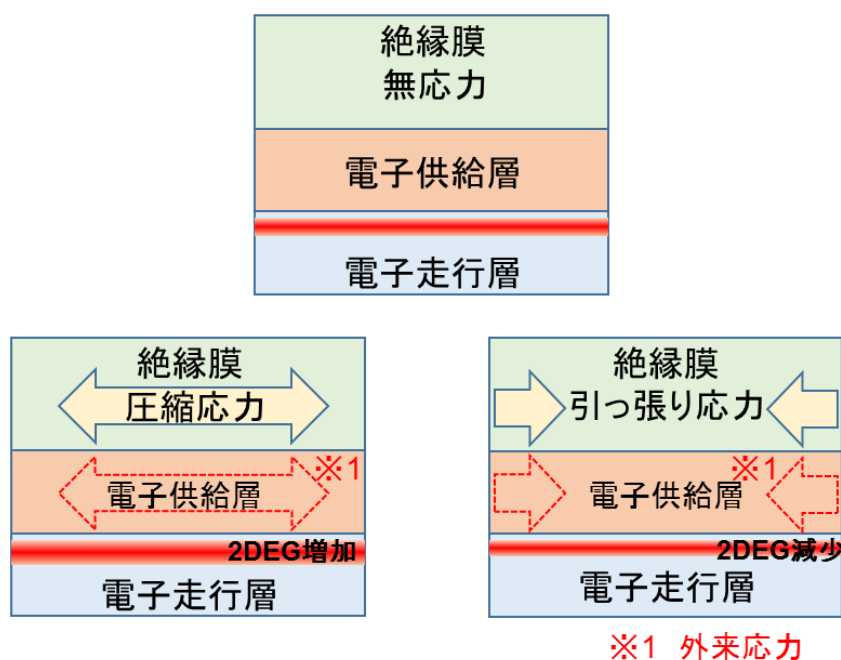
3.5.2 キャリア変調効果と絶縁膜応力に関する検討

3.5.2.1 絶縁膜によるキャリア変調手段について

本研究では、半導体表面に配置される絶縁膜により、直下の半導体内部のキャリア密度に変調を加える技術を開発する。キャリア(二次元電子ガス(2-Dimensional Electron Gas: 2DEG))変調を実現する手法として、絶縁膜応力、絶縁膜内固定電荷および伝導帯構造によるキャリア制御を検討している。

具体的には、絶縁膜の内部応力を半導体に印加することにより、半導体の分極を変化させチャンネル内キャリアの濃度を制御する方法(図⑤-2-1 参照)、絶縁膜中の品質等をその製膜条件で制御することにより絶縁膜中に固定電荷を導入しチャンネル内キャリアの濃度を制御する方法および、絶縁膜の電子親和力または半導体との伝導帯オフセットを変化させることでチャンネル内キャリアの濃度を制御する方法から、目的のキャリア変調手段を選択する。

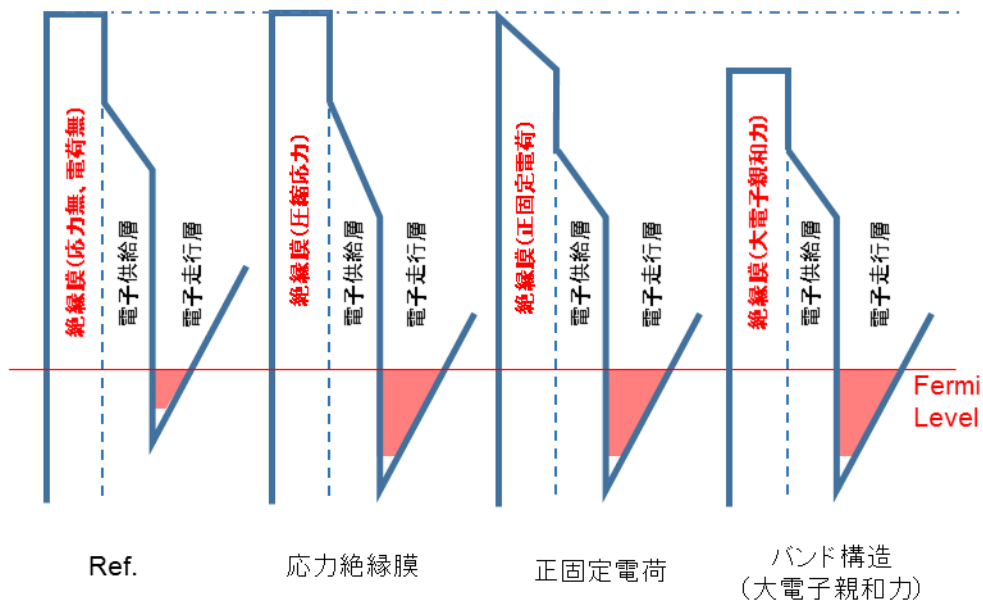
一例として、図⑤-2-2 にキャリア濃度を増加させる場合のバンド図を模式的に示す。図⑤-2-2 に示すように、圧縮の内部応力を持つ絶縁膜、正の固定電荷を持つ絶縁膜および、大きな電子親和力を持つ絶縁膜により、絶縁膜/半導体界面のポテンシャルを低下させることができ、キャリア密度を増大させる可能性を有する。



図⑤-2-1 応力絶縁膜によるキャリア濃度変調

(絶縁膜圧縮応力 = 電子濃度増)

(絶縁膜引っ張り応力 = 電子濃度減)



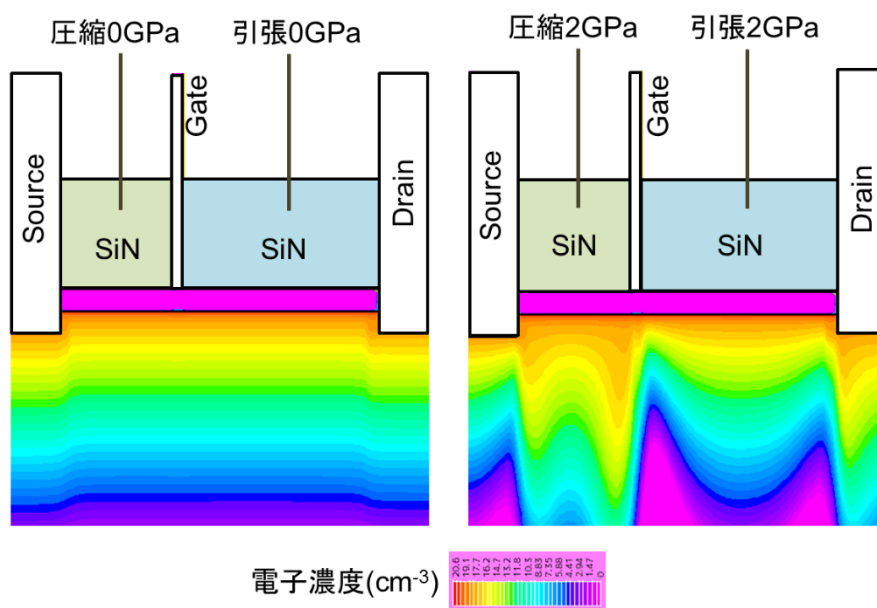
図⑤-2-2 絶縁膜によるキャリア濃度変調 (模式図)

3.5.2.2 高応力絶縁膜の成膜条件

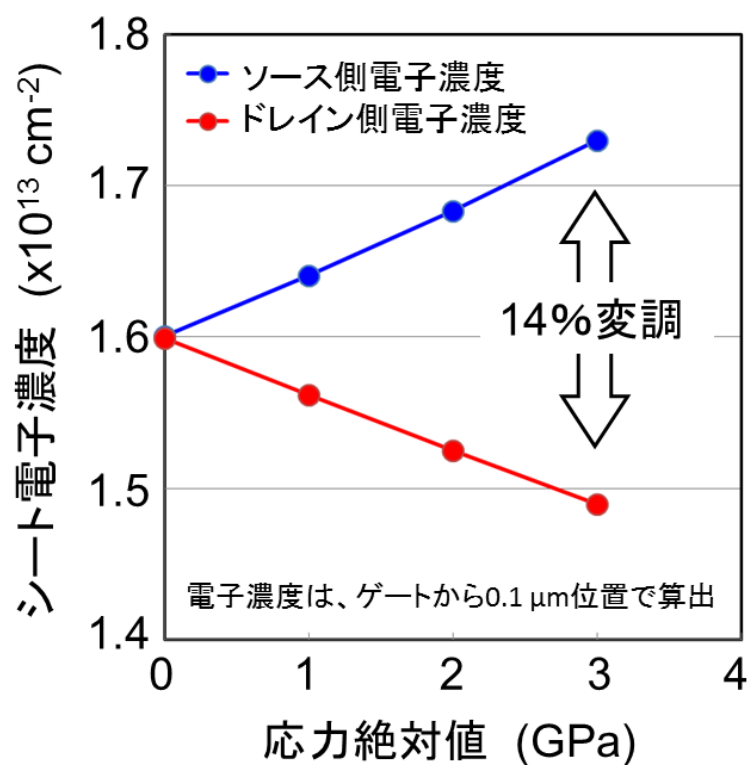
3.5.2.2 シミュレーションによる高応力絶縁膜の効果検証

AlN/GaN 構造等の窒化物半導体 HEMT 構造では、自発分極や歪分極によって高濃度のキャリアが誘起される。そのため、外部から歪(応力)を印加することにより、電子供給層/チャンネル層界面に誘起されるキャリアを増減できる特徴を持つ。本項では、AlN デバイスへの適用に向けた事前検討として、高 Al 組成 InAlGa_n/Ga_n HEMT 表面に対して、圧縮応力 SiN 膜および引っ張り応力 SiN 膜を堆積した場合の 2DEG 濃度の分布をデバイスシミュレータを用いて比較した。図⑤-2-3 に、応力絶縁膜を半導体表面に配置した InAlGa_n/Ga_n HEMT の 2DEG 濃度分布を示す。この計算例では、ソース側の電子濃度を増大させ、ドレイン側の電子濃度を低下させるため、ソース-ゲート間には 2 GPa の圧縮応力 SiN 膜、ゲート-ドレイン間には 2 GPa の引っ張り応力 SiN 膜を配置した場合の 2DEG 濃度分布を示す。図⑤-2-3 に示すように、絶縁膜に応力を与えることにより、半導体結晶中の電子濃度に非対称分布が現れることが確認できる。

この計算技術を用いて、絶縁膜応力を変化させることによる 2DEG 濃度変調効果を検証した。ソース側絶縁膜には電子濃度の増加を狙い、圧縮応力膜をドレイン側絶縁膜には電子濃度の低下を期待して引っ張り応力膜を形成した構造において計算を行った。図⑤-2-4 にソース-ドレイン間の絶縁膜の応力を変化させた場合の電子濃度の変化を示す。ソース側およびドレイン側電子濃度については、ソース側ゲート電極端から 0.1 μm ソース側の位置および、ドレイン側ゲート電極端から 0.1 μm ドレイン側の位置において算出した。横軸の応力は絶対値であり、前述したようにソース側には圧縮応力を、ドレイン側には引っ張り応力を設定して計算した。図⑤-2-4 に示すように、ソース-ゲート間に 3 GPa の圧縮応力絶縁膜、ゲート-ドレイン間に 3 GPa の引っ張り応力絶縁膜を配置した場合、14%程度の 2DEG 濃度変調を実現出来ることがわかった。ただし図⑤-2-4 に示すように、ソース-ゲート間および、ゲート-ドレイン間の電子濃度は均一に分布しておらず、2DEG 濃度変調に粗密がある。この粗密が電気特性に与える影響については今後シミュレーションを活用して検討を行っていくとともに、電子濃度の粗密に起因した課題が見つかった場合には、その解消手法を探索していく。



図⑤-2-3 シミュレーションを用いた応力絶縁膜効果検証



図⑤-2-4 シミュレーションを用いた 2DEG 濃度変調効果検証

3.5.2.3 高応力絶縁膜の成膜条件

本項では、高い応力を有する絶縁膜の候補検討結果について述べる。本研究は一般にワイドギャップ半導体と呼ばれる GaN よりもさらにバンドギャップの広い AlN を取り扱う。このため、表面に形成する絶縁膜にも相応なバンドギャップが求められるため、候補絶縁膜はある程度絞られる。また、製法がある程度確立していることが求められ、以下の5種を絶縁膜検討候補とした。

検討絶縁膜	一般的な成膜方法
① SiN	プラズマ CVD
② MgO	スパッタ、原子層堆積法 (ALD)
③ AlO	スパッタ、ALD
④ AlON	スパッタ、ALD
⑤ AlSiO	スパッタ、ALD

これらの候補の中で、④AlON および⑤AlSiO に関しては、膜中元素組成の調整に技術開発が必要であるため、平成 29 年度は①SiN、②MgO、③AlO を中心に検討を行った。AlON 膜および AlSiO 膜については、今後検討を行っていく。

絶縁膜応力測定方法

絶縁膜の内部応力測定方法について述べる。本研究では、絶縁膜を 3 インチ Si 基板上に 50 nm 以上堆積させた時の絶縁膜成膜前後の Si 基板の歪み量の変化を測定し、式⑤-2-1 に基づいて絶縁膜の内部応力量 σ (Pa) を計算した。

$$\sigma = 6Eh^2 / (1-\nu) \times Rt \quad \text{式⑤-2-1}$$

ここで、

$E/(1-\nu)$: 基板の二軸弾性係数 1.805E11 Pa ※Si(100)

h : 基板の厚み(m)

t : 薄膜の厚み(m)

R : 基板の曲率半径(m)

プラズマ CVD 製 SiN 膜 (圧縮応力膜の形成)

SiN 膜は化合物半導体分野で従来から幅広く使用されている絶縁膜の一つであり、絶縁膜形成時に半導体表面が酸化されにくいという利点を有する。さらに、絶縁膜膜質を CVD 成膜条件で広く調整できるという優位性を有している。ここでは、SiN 膜を用いて膜の応力量を変化させる実験を行った。

ソース電極側の領域に適用することを目的とし、ヘリウム(He)添加および低周波 RF によるプラズマ励起による絶縁膜圧縮応力の増大を試みた。CVD 成膜ガスに He を添加することによる圧縮応力の増大について説明する。CVD 成膜時に He を添加することで、窒素 N_2 の乖離を促進することが出来る。これは、プラズマ化したヘリウム He が N_2 を効率良く乖離させる作用を利用したものであり、成膜される SiN 膜の圧縮応力増加が期待できる。

一方、低周波 RF 励起を用いた CVD 成膜においても、圧縮応力の増大が期待できる。一般的なプラズマ CVD 装置では、RF 励起電源周波数に 380 kHz または 13.56 MHz を用いられている。RF 励起によりプラズマ化した原料ガスのエネルギーは、周波数の平方根に反比例するため、13.56 MHz 励起による SiN 成膜は半導体表面へのプラズマ損傷が小さい利点を有する。一方、380 kHz 励起による SiN 成膜では、半導体表面は大きなプラズマ損傷を受ける。このため、ほとんどの化合物半導体結晶で電子チャネルのキャリアが消滅するが、成膜反応に寄与するプラズマ化したプリカ

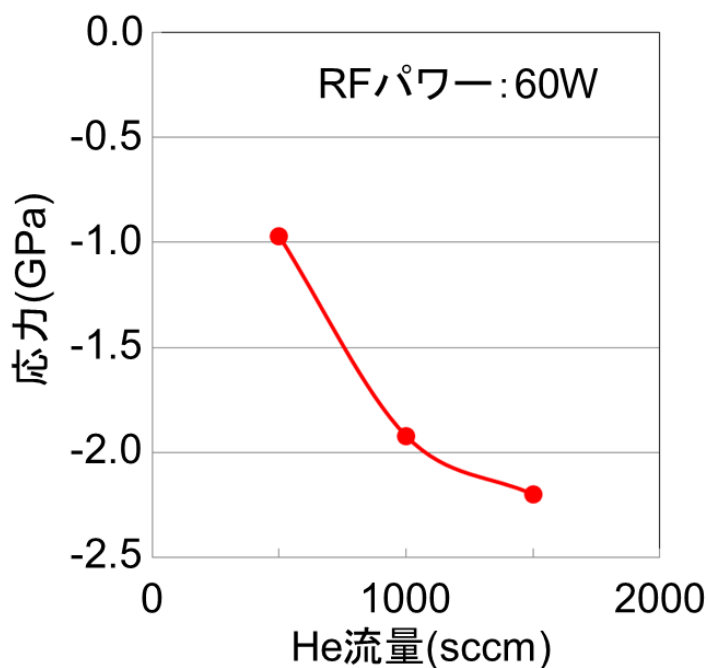
ーサのエネルギーが高いため、稠密(膜密度が高い)な膜が形成でき、強い圧縮応力を得られるという利点もある。

図⑤-2-5 に He 流量を変化させた場合の絶縁膜圧縮応力の変化を示す。なお、負の応力は絶縁膜内部応力が圧縮を示し、正の応力は絶縁膜内部応力が引っ張りを示す。

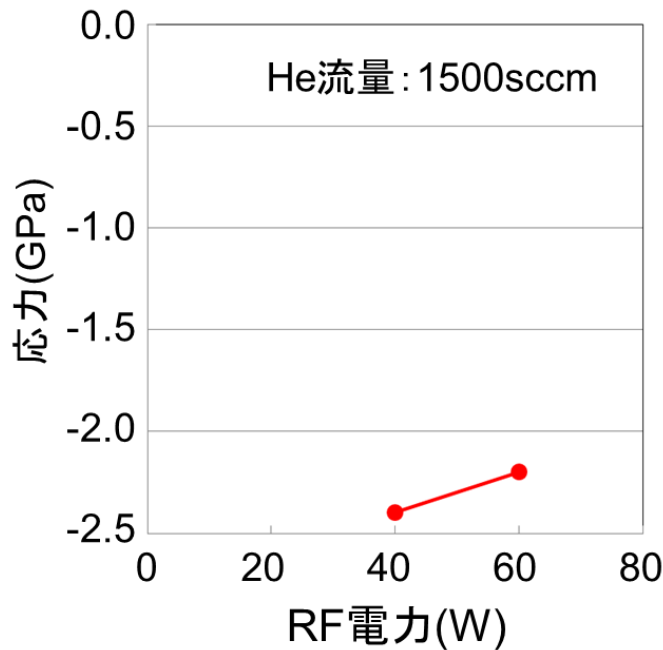
実験結果から、He 流量の増大に伴い圧縮応力が増大することが分かった。さらに、図⑤-2-7 に示すように、圧縮応力が最大となる He 流量最適条件下において、RF パワーを変化させた。実験結果から、成膜ダメージの低減につながる低 RF パワー化で、圧縮応力が増大することがわかった。

図⑤-2-6 に示すように、本実験にて検討した He 流量、RF パワー条件の範囲における最大圧縮応力は 2.4 GPa であることが判明した。仮にドレイン側に 2.4 GPa の引っ張り応力膜を形成したとすれば、図⑤-2-4 に示した計算結果から、11%程度の電子濃度変調効果が期待できることが分かった。この結果は絶縁膜応力の基礎検討としては十分に強い応力が得られたことを示しており、今後も候補絶縁膜の一つとして、最適条件の探索を続けていく。

ただし、本実験において用いた RF 励起周波数は低周波 RF 源(380 kHz)であり、プラズマダメージを考慮すれば本条件にてそのまま半導体表面上に直接 SiN を成膜することは難しい。このプラズマダメージの課題については、平成 30 年度における電気特性検証と併せて検討していく。



図⑤-2-5 SiN 膜内部応力のヘリウム He 流量依存性

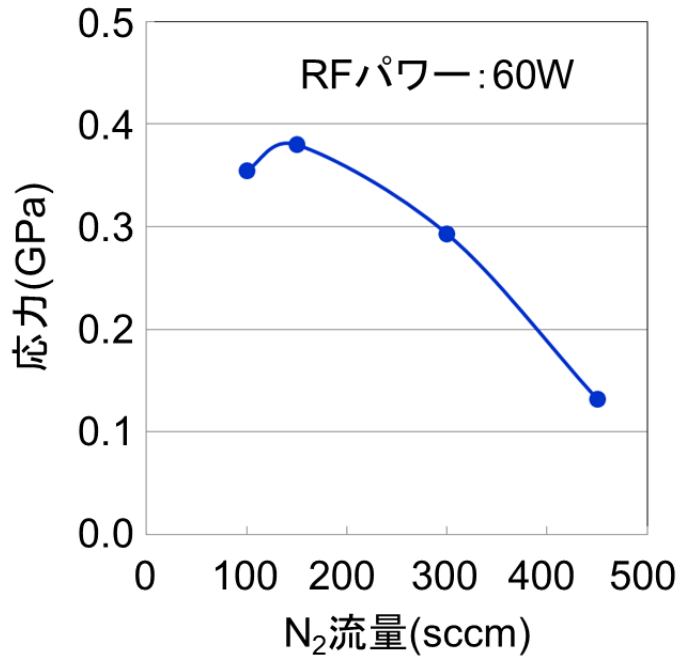


図⑤-2-6 SiN 膜内部応力の RF パワー依存性

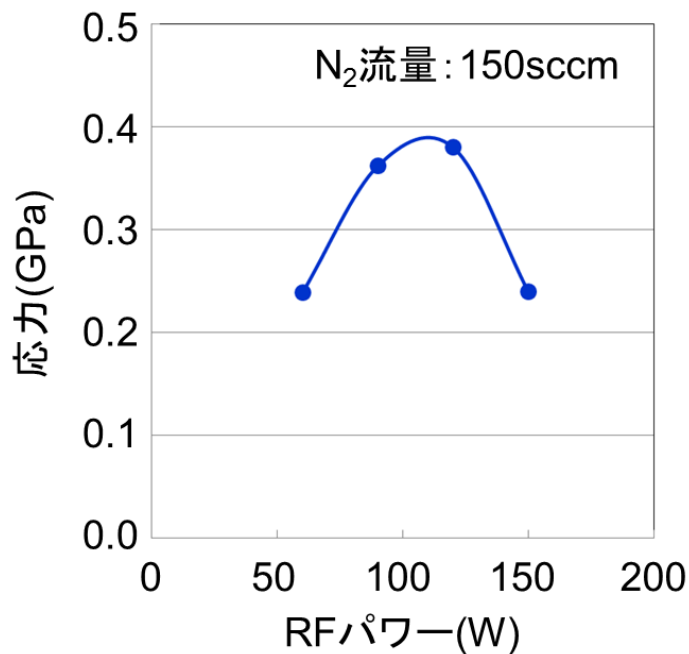
プラズマ CVD 製 SiN 膜（引っ張り応力膜の形成）

次に、高周波 RF によるプラズマ励起を採用し、RF 電力および窒素 N₂ 流量を変化させて引っ張り応力の増大を試みた。図⑤-2-7 に、窒素 N₂ 流量を変化させた場合の応力の変化を示す。なお、負の応力は絶縁膜内部応力が圧縮を示し、正の応力は絶縁膜内部応力が引っ張りを示す。実験結果から、N₂ 流量の減少に伴い引っ張り応力が増大することか分かった。さらに、図⑤-2-8 に示すように、N₂ 流量最適条件下において、RF パワーを変化させた。これらの実験結果から、暫定的な窒素 N₂ 流量、RF パワー条件における最大引っ張り応力は 0.4 GPa 程度であることが判明した。RF 励起周波数に高周波 RF 源（13.56 MHz）を使用しているため、半導体表面について直接堆積しても大きなプラズマダメージが加わらない。電気特性詳細については、平成 30 年度の電気特性検証において調査する。

以上、SiN 膜を用いた高応力膜検討では、強い圧縮応力膜が形成できることがわかった。同時に、引っ張り応力については、現状技術では大きな応力を形成できないことが判明した。以上の実験結果から、第一次の SiN 膜の成膜条件調整により、圧縮 2.4 GPa から引っ張り 0.4 GPa まで変化させられることがわかった。事前のシミュレーション結果から、圧縮・引っ張りともに 3 GPa 膜の製膜が可能になると、応力変調によりドレイン側キャリア密度とソース側キャリア密度に約 14%の差分（ソース側キャリア密度大）を形成できることが明らかになった。また同時に、目標である 10%の差分は、圧縮・引っ張りともに 2 GPa 程度の応力膜で可能との知見を得た。



図⑤-2-7 SiN 膜内部応力の N₂ 流量依存性



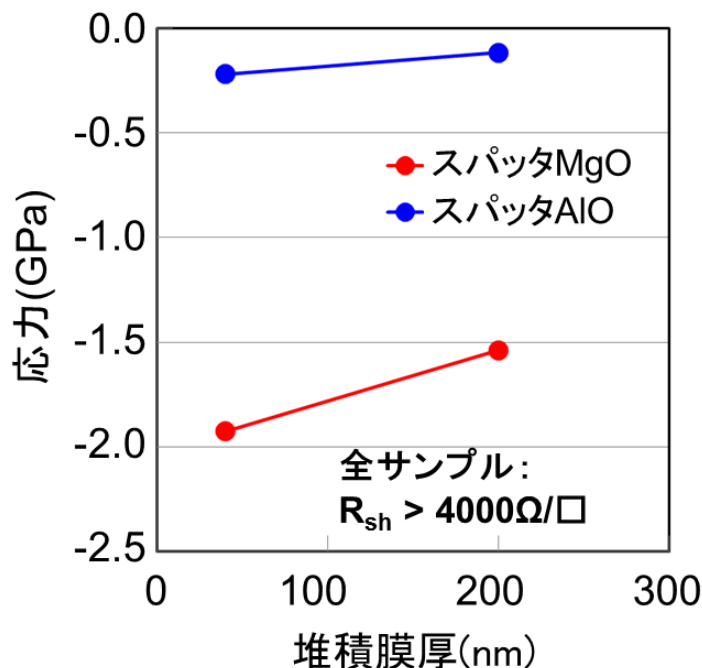
図⑤-2-8 SiN 膜内部応力の RF パワー依存性

スパッタおよび ALD 製酸化マグネシウム MgO 膜

酸化マグネシウム (MgO) は、AlN と比較しても大きなバンドギャップを有し、絶縁膜としての高い性能が期待できる。半導体上への MgO の製法として、スパッタ法および ALD 法が有望であると考えられる。本実験ではスパッタ法による膜応力量および 2DEG に対する電氣的ダメージを評価した。また、ALD 法については、電気特性ダメージを評価した。

図⑤-2-9 に、スパッタ成膜の MgO と比較のための AlO の内部応力を示す。絶縁膜の内部応力は、Si 基板上にて測定した。また、シート抵抗は、高 Al 組成 InAlGa_n/Ga_n HEMT エピを用いて評価した。実験結果から、膜厚が厚くなると応力が低下する方向に変動しているが、堆積膜厚が厚

くなると表面に亀裂様の模様が生じており、応力緩和が生じている可能性がある。図⑤-2-9 に示す結果から、MgO は 2 GPa 程度の大きな圧縮応力を有していることが分かった。ただし、図⑤-2-9 中に示したように、今回の実験に用いた成膜条件では、スパッタ時のダメージによりエピのシート抵抗が測定限界以上となることも分かった。対策として、平成 30 年度にダメージ緩和層導入による低ダメージ化を検討する。



図⑤-2-9 スパッタ成膜 MgO、AlO の応力とシート抵抗

さらに、表⑤-2-1 に、ALD 法を用い従来 AlGaIn/GaN HEMT エピ上に MgO および AlO を成膜した場合のエピシート抵抗変化を示す。MgO については、顕著なシート抵抗変化は観測されなかった。一方、AlO では、シート抵抗の低下が観測された。これらの測定結果は、ALD 法により成膜された AlO による、キャリア密度増大の可能性を示す結果である。

表⑤-2-1 ALD 成膜による MgO、AlO 成膜時の HEMT エピシート抵抗変化

シート抵抗(Ω/□)	エピ後	デポ後
Al ₂ O ₃	717.0	480.3
MgO	717.0	672.0

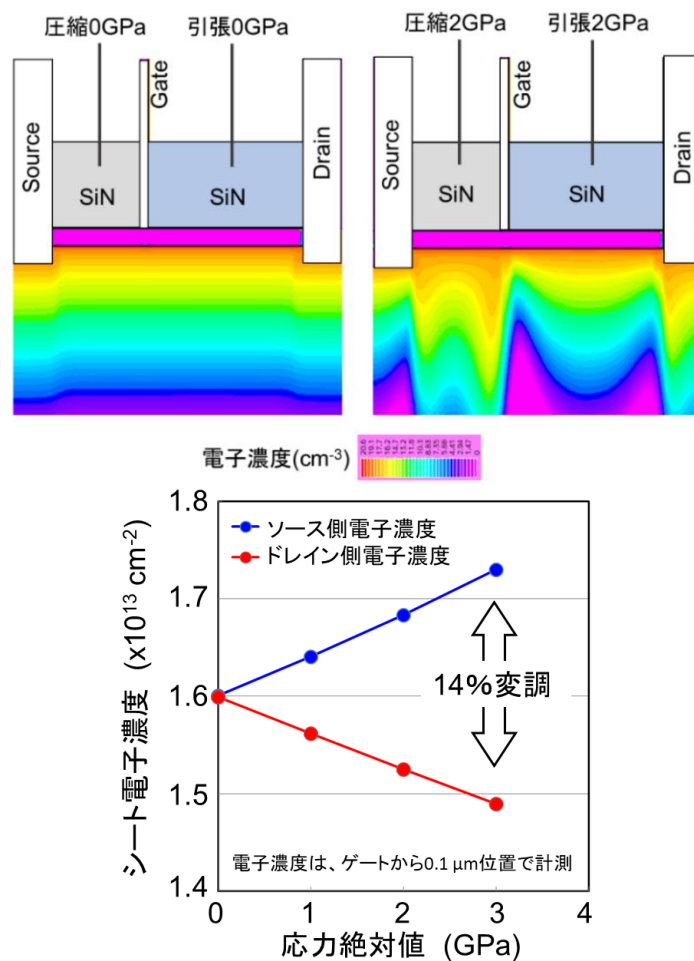
3.5.3 固定電荷含有絶縁膜によるキャリア密度変調の検討

3.5.3.1 絶縁膜によるキャリア濃度変調手段について

平成29年度は絶縁膜の応力による半導体内キャリア濃度の変調、平成30年度は固定電荷を含有した絶縁膜による半導体内キャリア濃度の変調について実験・検討を行った。後述する検討の結果、本研究では固定電荷による半導体内キャリア濃度変調手法を採用した。ここでは、それぞれのキャリア濃度変調技術とその特徴について以下に簡単に述べる。

絶縁膜の応力によるキャリア濃度変調

AlN/GaN 構造等の窒化物半導体 HEMT 構造では、自発分極やピエゾ分極によって高濃度のキャリアが誘起される。そのため、外部から歪(応力)を印加することにより、電子供給層/チャンネル層界面に誘起されるキャリアを増減できる特徴を持つ。しかし、図⑤-3-1に示すように、絶縁膜応力により半導体内キャリア濃度を変調する手法は、可動端(低ヤング率)である電極近傍にキャリアの粗密が出来やすい性質を持つ。この特徴はゲート電極のドレイン端で特にキャリア密度変調を効果的に行えるという良い側面もあるが、ゲート電極-ドレイン電極間の任意の位置でキャリア濃度変調を自在に行うことは難しい。したがって、ゲート-ドレイン間の耐圧改善を目的としてキャリア濃度変調を行う場合、絶縁膜応力分布の設計は極めて複雑となり、それを実現するデバイスプロセスが煩雑となることが予想される。



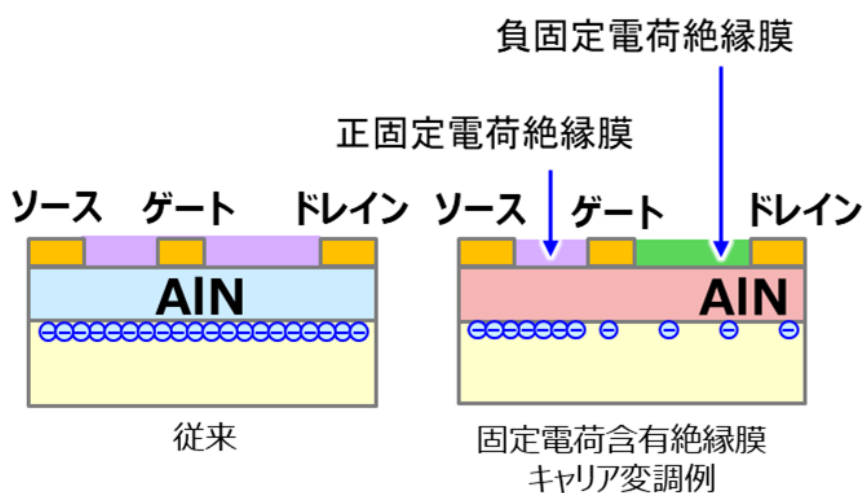
図⑤-3-1 固定電荷含有絶縁膜による非対称キャリア濃度

絶縁膜中の固定電荷によるキャリア濃度変調

絶縁膜中に固定電荷を含有させ半導体表面のポテンシャルを変化させることにより半導体内キャリア濃度を変調する手法では、前述した絶縁膜の応力によるキャリア濃度変調とは異なり、均一なキャリア濃度変調を行える特徴を持つ。デバイス活性領域の任意の位置においてキャリア濃度を変調できる性質は、デバイス設計上非常に有用である。

図⑤-3-2に示すように、一般的な絶縁膜はストイキオメトリからのズレによりマイナスの固定電荷やプラスの固定電荷を含んでいる。この固定電荷の極性、量を制御することで、絶縁膜直下の半導体のポテンシャルを押し上げたり、押し下げたりし、二次元電子ガス濃度を変化させることが可能となる。

具体的には、固定電荷含有絶縁膜により、AlGa_N/Ga_N ヘテロ界面に誘起される二次元電子ガス濃度に、表⑤-3-1に示すような変化が生じる。

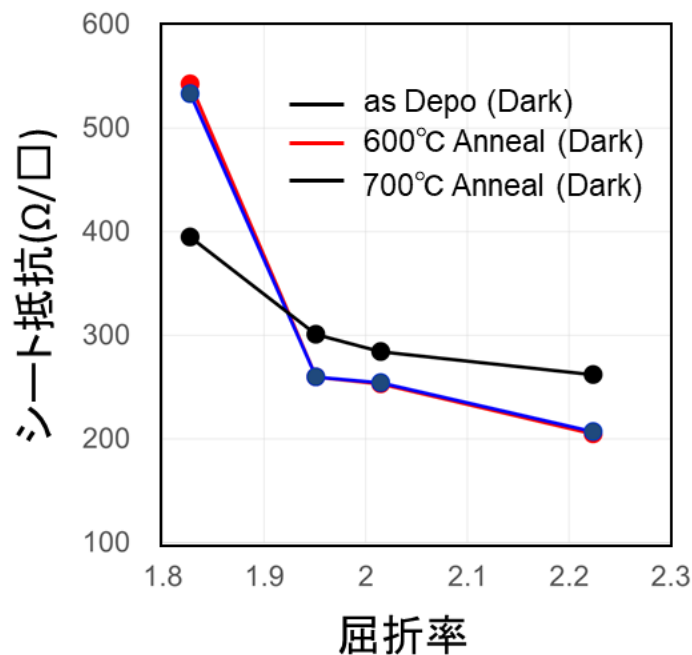


図⑤-3-2 固定電荷含有絶縁膜による非対称キャリア濃度

表⑤-3-1 絶縁膜中固定電荷と AlGa_N/Ga_N ヘテロ界面における二次元電子ガス濃度の関係

絶縁膜種	半導体表面ポテンシャル	二次元電子ガス濃度
正電荷含有	ポテンシャル低下(押し下げ)	増加
負電荷含有	ポテンシャル上昇(押し上げ)	減少

窒化ケイ素(SiN)を用いる場合、Si/N比を大きくすると正電荷含有絶縁膜となり、Si/N比を小さくすると負電荷含有絶縁膜となる。図⑤-3-3に、AlGa_N/Ga_N HEMT 構造上にSi/N比の異なる(屈折率の異なる)SiNを堆積させた場合のシート抵抗の変化を示す。また、このシート抵抗変調効果は、図⑤-3-3に示すように絶縁膜形成後のアニールにより増大する。



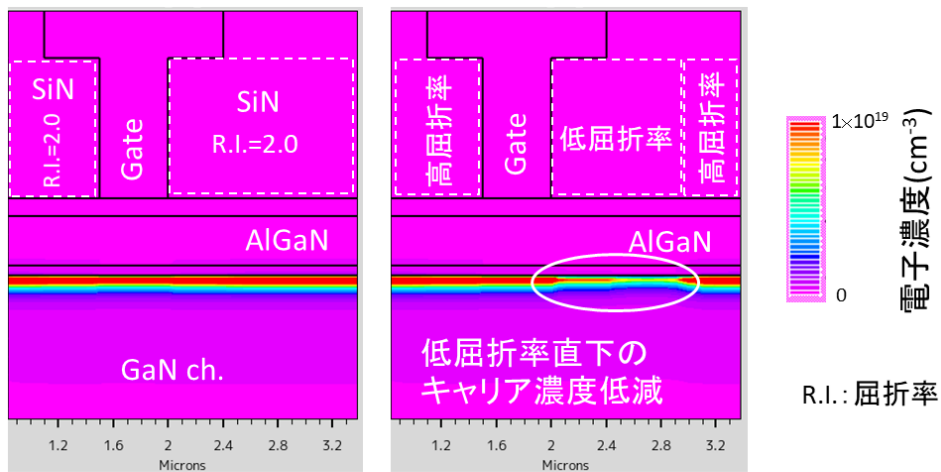
図⑤-3-3 固定電荷含有絶縁膜の屈折率とアニール条件によるシート抵抗の変化

ここで、グラフの横軸は屈折率とした。SiNのストイキオメトリの屈折率は2.0であり、これより低屈折率では窒素が過剰となりシリコンの空孔が増える。その結果、電子を供給する窒素が増加するため負電荷を帯びた状態となることが期待できる。一方、高屈折率の場合、シリコンが過剰となり窒素の空孔が増える。この場合、電子を供給する窒素が欠乏するため、ストイキオメトリ状態よりも電子不足状態となり、正電荷を帯びた状態となることが期待できる。

3.5.3.2 シミュレーションによる固定電荷含有絶縁膜の効果検証

AlN/GaN構造等の窒化物半導体 HEMT 構造では、自発分極やピエゾ分極によって高濃度のキャリアが誘起される。このキャリアは、半導体表面のポテンシャルの影響を受けて増減する。具体的には、半導体表面に配置された絶縁膜内の固定電荷により、半導体のバンド位置が上下し、キャリア濃度を変化させることができる。この現象は、固定電荷絶縁膜を配置した半導体表面直下でのみ効果を呈する。本研究では、前述した事前検討を踏まえ、正または負の固定電荷を含む絶縁膜を半導体表面に配置することにより、その直下のキャリア濃度を変調する手法を採用した。

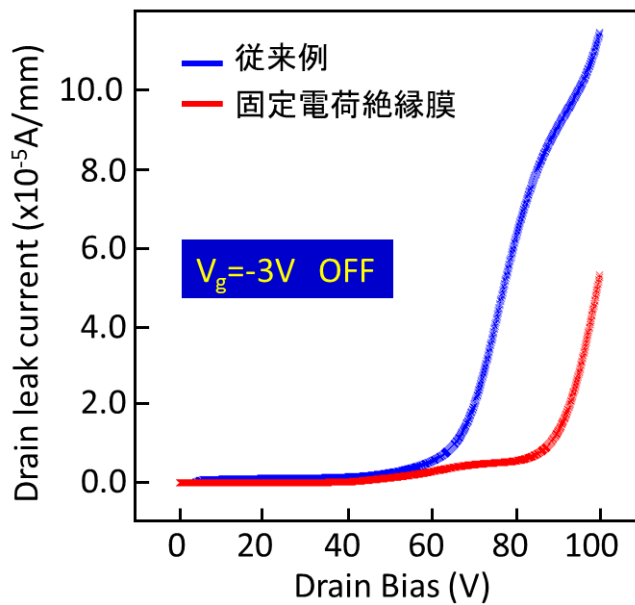
負の固定電荷を有する SiN を半導体表面に配置した場合の、2次元電子ガスの低減効果を確認するために、TCADによる構造設計を行った。本シミュレーションでは、絶縁膜中に固定電荷を設定できないため、便宜上 SiN と半導体界面に界面電荷を配置することで計算を行った。図⑤-3-4に、絶縁膜の配置による電子濃度分布を示す。低屈折率 SiN 直下(窒素過多の絶縁膜では結合手が余る=電子が余る)では、絶縁膜中の負電荷により半導体内で電子濃度が低下する。このキャリア濃度低減効果は、ゲート電極傘下よりもアクセス領域が大きくなることが図⑤-3-4から読み取れる。一方、ソースゲート間に配置された高屈折率 SiN 直下(Si 過多の絶縁膜では結合手が足りない=電子が不足)では、絶縁膜中の正電荷により半導体内の電子濃度が増大する。



図⑤-3-4 固定電荷含有絶縁膜による二次元電子ガス濃度変調のシミュレーション結果

※絶縁膜中の固定電荷は、計算上の制約で界面電荷に置き換え。また、計算は、熱平衡状態。

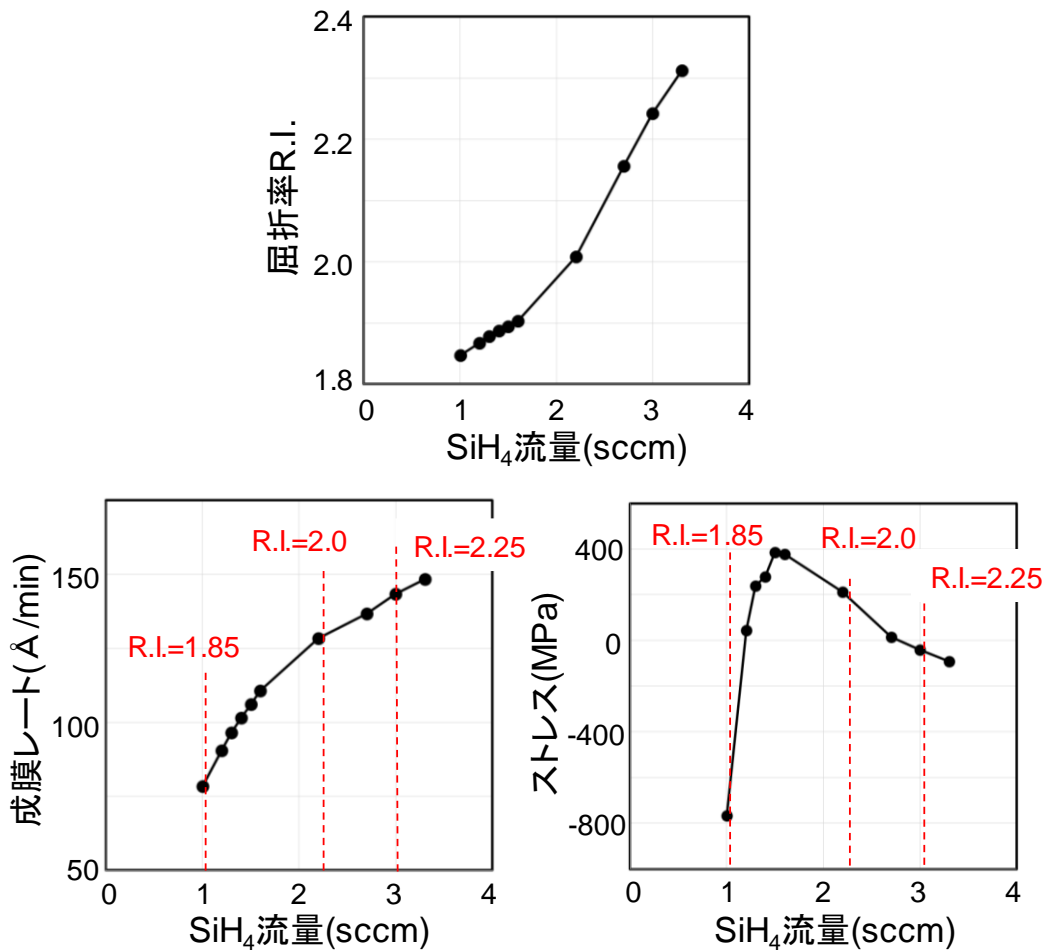
また、この二次元電子ガス濃度変調によるドレインリーク電流の低減効果(シミュレーション)を図⑤-3-5示す。固定電荷含有絶縁膜を配置することにより、ドレインリーク電流が低減されることを示しており、キャリア濃度低減によってドレイン側のゲート電極端での電界集中が緩和したためと考えられる。



図⑤-3-5 固定電荷含有絶縁膜による、ドレインリーク電流低減効果(シミュレーション)

3.5.3.3 固定電荷含有絶縁膜の成膜

前述したように、固定電荷を含有する窒化ケイ素膜は、ストイキオメトリから外れた絶縁膜である。本研究では、プラズマエンハンス化学気相成膜(プラズマ CVD)を用いて成膜を行った。固定電荷の増減すなわち屈折率(N/Si 比に依存)を変化させるために、Si 原料ガスである SiH₄ 流量を変化させて、屈折率、成膜レート、ストレス等の代表的パラメータを評価した結果を図⑤-3-6に示す。実験結果から、屈折率 1.9 をピークにストイキオメトリからずれるにしたがって圧縮の応力が生じることがわかる。どの範囲の SiN が、電子デバイス向けに適切かは実験により確かめる必要がある。今回実験に用いた応力範囲は、0~0.8 GPa の圧縮応力である。この応力は、ソース-ゲート間のキャリア濃度分布に影響を与えないが、ゲート-ドレイン間のキャリア濃度は高める方向に影響する可能性がある。この圧縮応力には、ゲート-ドレイン間に配置する低屈折絶縁膜(含有負電荷により直下の半導体内キャリア濃度を低減)の効果を相殺する働きを有する。この圧縮応力のさらなる緩和は、現状のキャリア濃度低減効果を向上させる可能性がある。

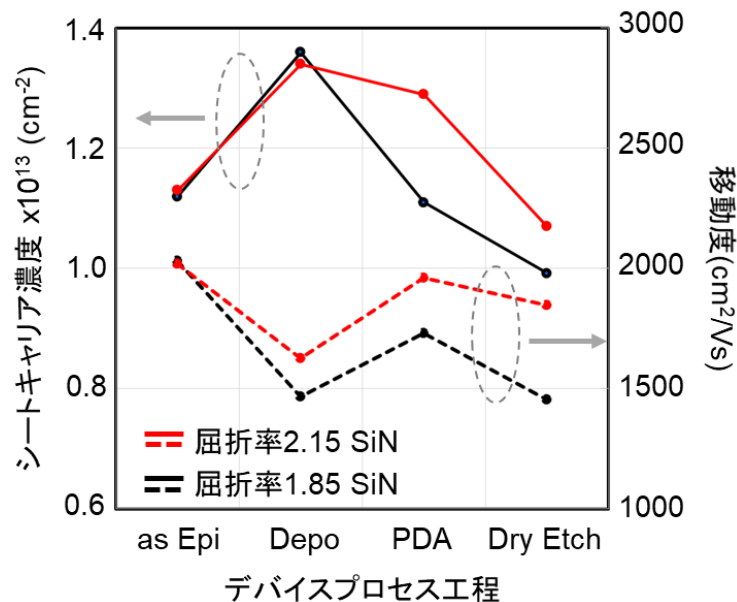


図⑤-3-6 SiN 膜の屈折率、成膜レート、ストレスの SiH₄ 流量依存性

3.5.3.4 固定電荷含有絶縁膜を用いたデバイスプロセスが電子輸送特性に与える影響評価

次に、電子移動度とシートキャリア濃度が分離できる評価装置を用いて、プロセス工程により電子移動度とキャリア濃度がどのように変化するかを評価した。評価結果を図⑤-3-7に示す。実験では、正電荷含有膜として屈折率 2.15 の SiN 膜、負電荷含有膜として屈折率 1.85 の SiN 膜を比較した。デバイスプロセス工程での変動を確認するため、絶縁膜堆積後、PDA (Post deposition anneal) 後、絶縁膜の Dry etching 後においてそれぞれ評価を行った。

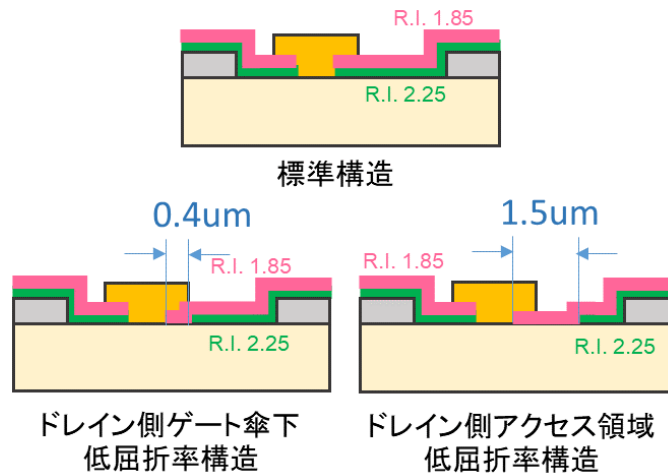
図⑤-3-7 に二次元電子ガスのシートキャリア濃度 (実線)、電子移動度 (破線) を示す。図⑤-3-7 に示すように、移動度に関しては、絶縁膜堆積により低下するが、PDA により回復する。ただし、屈折率依存性があり、低屈折率膜の場合は移動度回復が不完全である。さらに、ドライエッチングにより再度低下する傾向が強い。また、シートキャリア濃度に関しては、二次元電子ガス濃度を増やすソース-ゲート間に配置する高屈折率膜の場合、PDA 後のシートキャリア濃度が 15 ~ 20% 増大 (as Epi 比) している。この高屈折率膜を配置する領域では、ドライエッチングを行わないため、PDA 後の高いシートキャリア濃度と移動度が維持される。



図⑤-3-7 移動度、シートキャリア濃度変化の屈折率依存性

3.5.3.5 試作とその効果検証

実験では、図⑤-3-8 に示す 3 種類のデバイスを試作した。「標準構造」は、二次元電子ガス濃度を増加させる屈折率 2.25 の SiN をトランジスタのアクセス領域全体に適用する。この構造では、正の固定電荷を含有した屈折率 2.25 の SiN を堆積したことで、半導体表面の伝導帯ポテンシャルは低下する。つまり、その上部に配置される負の固定電荷を含有した屈折率 1.85 の SiN の影響は、この正の固定電荷を含有した屈折率 2.25 で遮蔽されている。その結果、本構造ではソース-ゲート間およびゲート-ドレイン間でシートキャリア濃度が増大する。



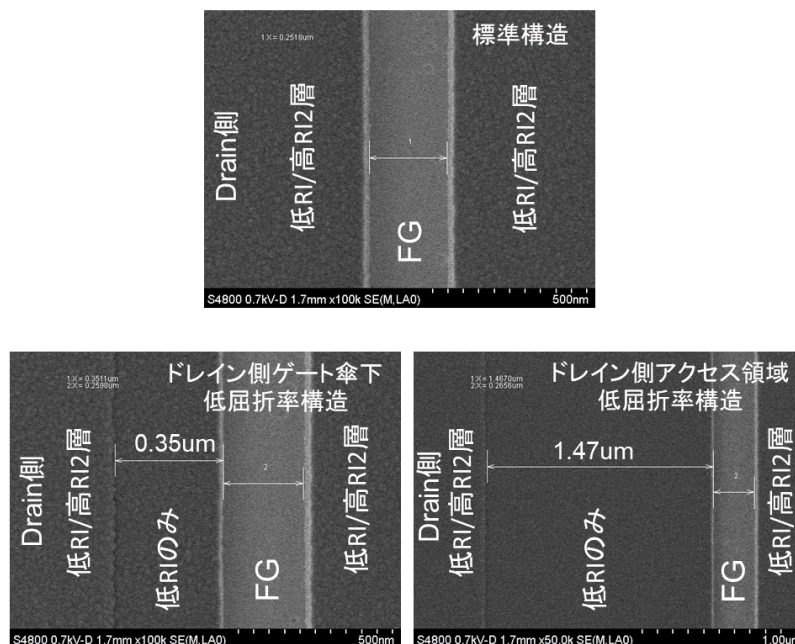
図⑤-3-8 試作デバイス構造の模式図

「ドレイン側ゲート傘下低屈折率構造」は、ドレイン側のゲートの傘下のみ低屈折率が半導体表面に接触する構造とした。「ドレイン側アクセス領域低屈折率構造」では、低屈折率 SiN が半導体表面に接する領域をドレイン側に延伸し、ゲート-ドレイン間の中間点まで低屈折率 SiN が半導体表面に接触する構造とした。

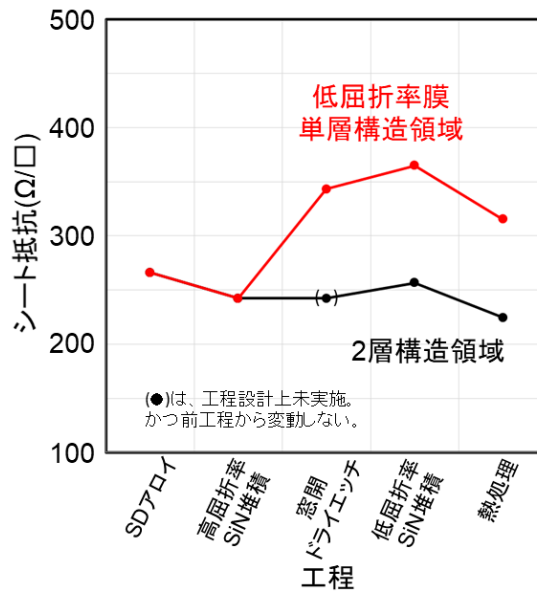
図⑤-3-9 に、この 3 種類のデバイスのゲート用 SiN 開口形成時の SEM 像を示す。所望の構造が形成されていることがわかる。なお、AlGaIn/GaN HEMT 結晶構造の概要は、6 nm-Al_{0.5}Ga_{0.5}N/GaN HEMT on SiC 基板である。本実験では、AlGaIn 電子供給層の Al 組成を高め、研究開発のターゲットである AlN 電子供給層に類似させた構造を採用した。

次に、実デバイスを作製したウエハ上に形成されている TLM(Transmission Line Model)向け素子から求めた各工程におけるシート抵抗の変化を、図⑤-3-10 に示す。図中、2 層部分とは 20 nm の屈折率 2.25 の SiN 上に 100 nm の屈折率 1.85 の SiN が積層された構造を指す。この場合、PDA 後のシート抵抗は as epi と比較して約 20% 弱の低下を示した。

また、低屈折率膜単層部分とは、20 nm の屈折率 2.25 の SiN に開口を形成し、その開口部に屈折率 1.85 の SiN を 100 nm 堆積させた構造を指す。この場合、PDA は終わった段階で標準構造と比較して約 40-50% 程度のシート抵抗増大を示した。



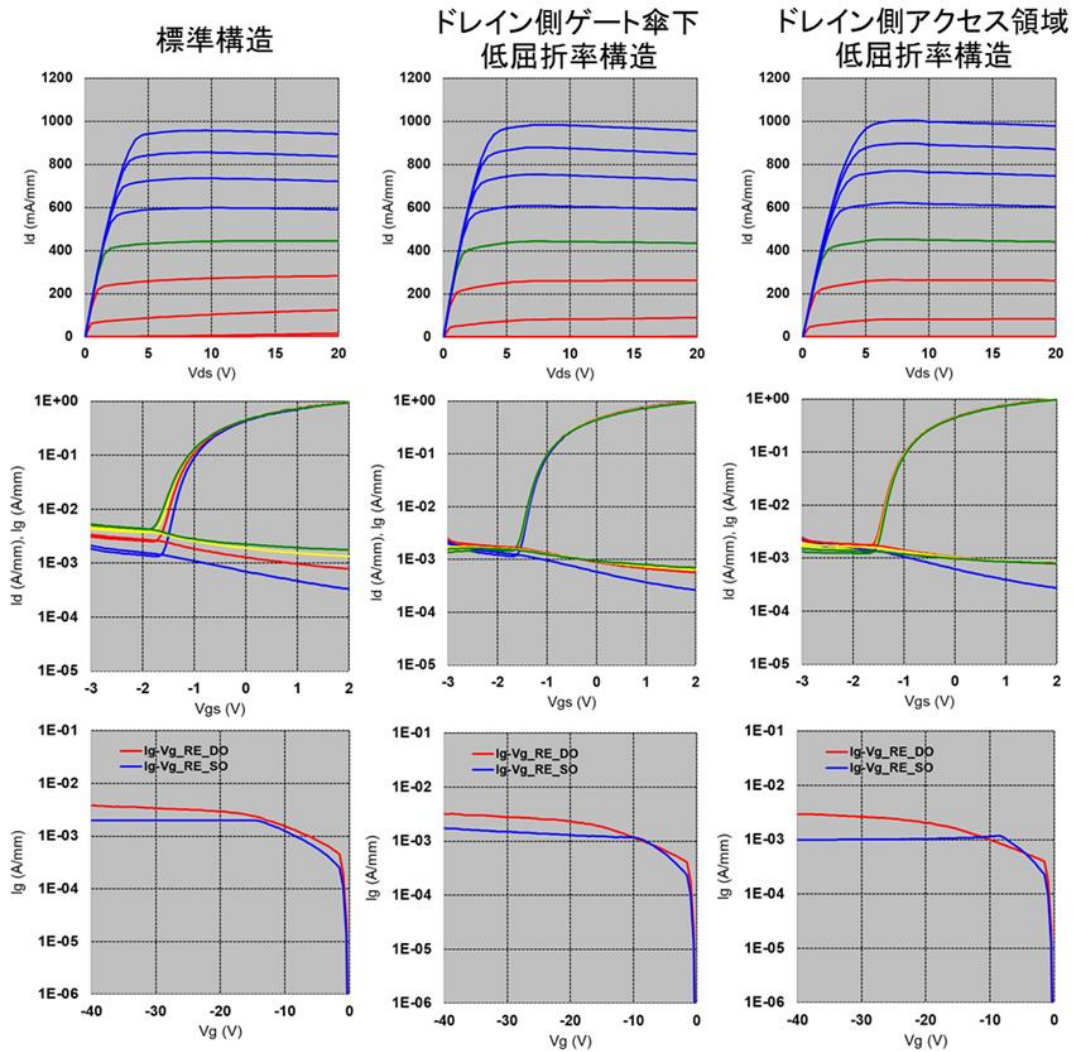
図⑤-3-9 試作デバイス SEM 像、ゲート電極上部から観察(各像左側がドレイン電極側)



図⑤-3-10 試作デバイスの工程毎シート抵抗変化 (絶縁膜構造別)

図⑤-3-11 に試作したデバイスのゲート電極形成直後、配線層間膜形成前の I_d - V_{ds} 特性を示す。測定結果から、低屈折率絶縁膜を導入することにより、DIBL (Drain-Induced Barrier Lowering) が抑制されピンチオフ特性が改善されている。また、2端子ゲート逆方向電流の低減も実証された。今回の実験から、ゲート傘下の狭い領域に低屈折率絶縁膜を適用することで、オン抵抗の増大を避けながら、ピンチオフ特性を大きく改善できかつ、一定のドレインリーク低減効果およびゲートリーク低減効果が得られることが分かった。

さらに、試作したデバイスの配線層間膜形成後の Pulse-IV 特性を図⑤-3-12 に示す。実線は無負荷状態を初期状態として取得した I_d - V_{ds} 特性、破線は $V_{gs} = -3$ V, $V_{ds} = 30$ V の負荷印加状態から取得した I_d - V_{ds} 特性を示す。実験結果は、低屈折率膜の配置により非常に良好な電流コラプス特性を実現できることを示した。これは、低屈折率膜によるキャリア濃度低下により、ゲート電極ドレイン端の電界強度が低下により電子トラップへのホットキャリア注入抑制、さらにゲートリーク電流が低下したこと、が好適に作用した結果と考えている。すなわち、これらの実測結果から、キャリア濃度低減によるゲート電極ドレイン端の電界強度緩和は、電流コラプス抑制にも効果的であると考えられる。

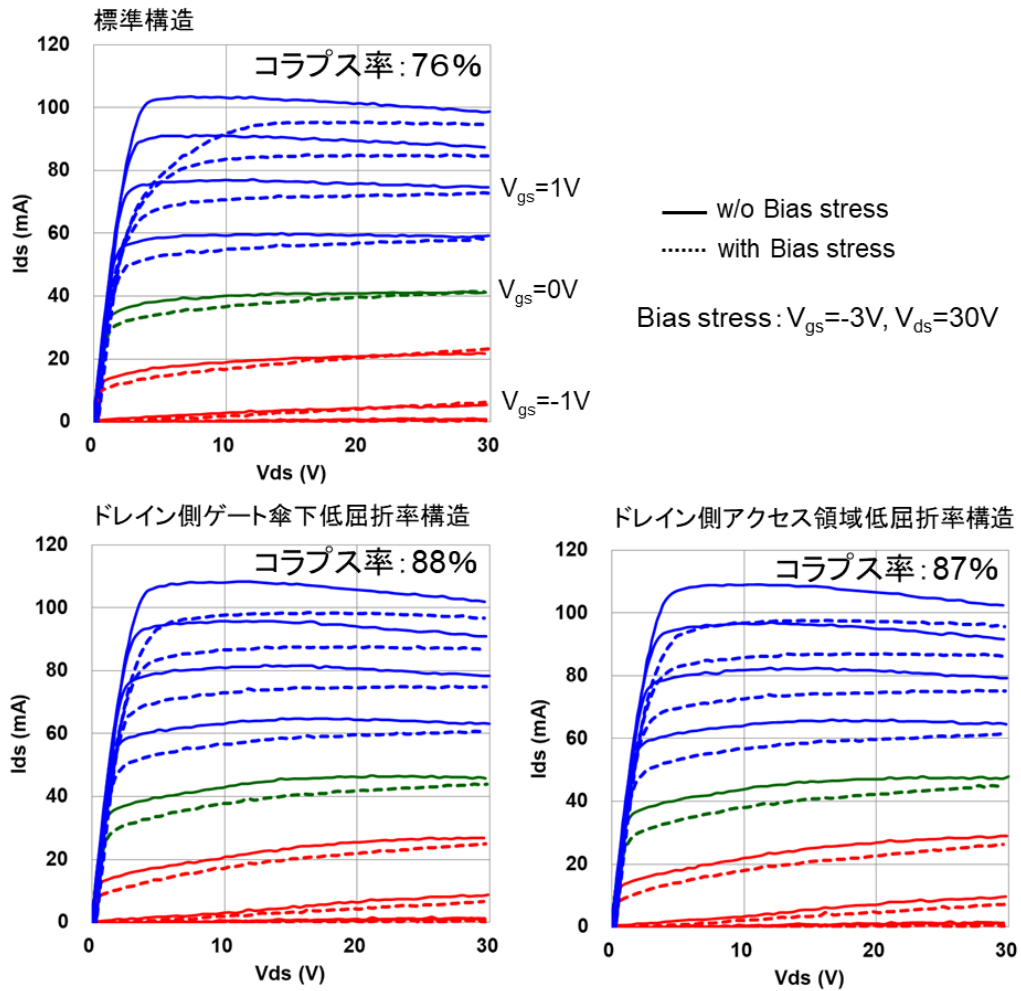


図⑤-3-11 試作したデバイスの DC 特性

本実験で得られたキャリア濃度変調に関する知見を再掲する。

シートキャリア濃度を上昇させる高屈折率 SiN は PDA 後の段階で、移動度は asEpi 相当、キャリア濃度は as Epi 状態に対して 15~20%増加となることが分かった。この性質は、ソース-ゲート間等の高いシートキャリア濃度と高い移動度が要求される領域の絶縁膜として好適であることが実証された。

また、ゲート電極の傘下からドレイン側にかけてのシートキャリア濃度を低減することにより、2 端子ゲート逆方向電流の低減、オン抵抗の維持、さらに電流コラプスの低減に効果的であることが分かった。



図⑤-3-12 試作したデバイスのパルス I-V 特性結果(電流コラプス)

3.5.4 キャリア密度変調 HEMT の試作と評価

3.5.4.1 厚膜 GaN キャップ層を利用したキャリア密度変調

平成30年度は固定電荷を含有した絶縁膜による半導体内キャリア濃度の変調に手法を絞り、30%弱のシート抵抗差を得ることに成功した。しかし、固定電荷を含有する絶縁膜はその膜を原因とする電流コラプスが発生する可能性を排除できない。また、シート抵抗差をさらに大きくする手法の開発も必要である。これらの課題を解決するために、「絶縁膜と HEMT 最表面層構造(厚膜 GaN キャップ)の組み合わせ」を用いた変調手法について実験・考察を行った。

絶縁膜と HEMT 最表面層構造(厚膜 GaN キャップ)によるキャリア密度変調

一般的に、窒化物半導体 HEMT 構造は最表面に GaN キャップ層を有する。この GaN キャップ層は電子供給層の酸化の防止や、ゲート電極端またはゲート電極直下での電界集中を緩和する効果がある。これは本研究が目指す AlN 基板上の高出力デバイスにおいても必要と考えている。同時に、この GaN キャップは電子供給層との分極電荷の関係から膜厚を厚くすると、直下のキャリア濃度を低下させる効果がある。したがって、この GaN キャップの効果と絶縁膜の効果を相乗させることでより大きなキャリア変調効果を実現できる可能性があると考え、絶縁膜/GaN キャップ構造による変調効果の検証を行った。

まず、電気伝導に寄与するキャリア濃度を左右するパラメータについて解説する。前述の GaN キャップは、厚膜化することでキャリア濃度が低下し、シート抵抗は増大する。また、絶縁膜がシート抵抗に与える効果についても検証を行った。その結果、我々の開発した窒化珪素(SiN)膜やアルミナ(A10)膜の場合、シート抵抗は 900 ohm/sq. 程度から 250 ohm/sq. 程度まで大きく低下することが分かった。また、半導体表面にプラズマ処理を行うことによってドナー型欠陥である窒素空孔が生成した場合、それによってキャリア濃度を増大させることも知られている。これらの作用を表⑤-4-1 に示す。

表⑤-4-1 半導体プロセスにおけるシート抵抗変化要因

手法	シート抵抗($\Omega/\text{sq.}$)の変化
高Ns誘起SiNパッシベーション	半導体表面にデポすることにより250 $\Omega/\text{sq.}$ へ
高Ns誘起A10パッシベーション	半導体表面にデポすることにより250 $\Omega/\text{sq.}$ へ
GaNキャップ膜厚増大	GaNなし:250 $\Omega/\text{sq.}$ 、5nm:500 $\Omega/\text{sq.}$ 、10nm:60000 $\Omega/\text{sq.}$
生成された表面ドナー	酸化、プラズマダメージにより250-1000 $\Omega/\text{sq.}$ 程度まで低下

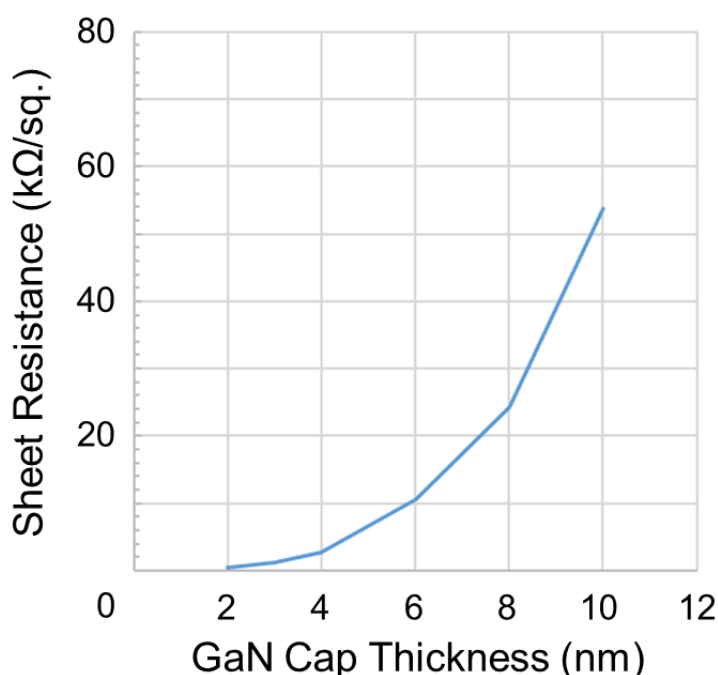
これらの相反する現象に鑑み、試行する2手法を決定した。

- ① 厚膜 GaN キャップを有するエピと Low-k による表面パッシベーション
- ② 厚膜 GaN キャップを有するエピと A10N による表面パッシベーション

はじめに①の狙いは、半導体表面に対して化学的・物理的作用を及ぼさない塗布型 Low-k 膜による表面パッシベーションを用いることによって、厚膜 GaN キャップによるシート抵抗増大効果を維持させることである。②の狙いは、シート抵抗増大効果がありゲート絶縁膜候補でもある A10N により、シート抵抗により大きな差分を付けると同時にゲート絶縁膜と併用することである。

GaN キャップを有する HEMT エピのシート抵抗変調効果

まず、GaN キャップの厚みとシート抵抗の変化について検討した。図⑤-4-1 にシート抵抗の GaN キャップ厚依存性を示す。HEMT 構造表面に配置された GaN キャップは、そのピエゾ・自発分極の作用により、伝導帯全体を持ち上げる効果がある。この効果は、厚みが厚くなると指数関数的にシート抵抗を増大させる。実験結果からも、GaN キャップ厚が 10 nm を超えれば、シート抵抗は数万 ohm/sq. となり測定装置の適正測定範囲を超える。一方、この HEMT 構造表面に、表⑤-4-1 内の高 Ns 誘起 SiN パッシベーションを堆積させると、シート抵抗は 250 ohm/sq. となる。その後、高 Ns 誘起 SiN パッシベーションをダメージレスウェットエッチングで除去した場合、例えば GaN キャップ 10 nm を有する HEMT では、シート抵抗は 1000 ohm/sq. 程度となる。これは、プラズマプロセスにより表面ドナーが形成され、成長直後よりも伝導帯ポテンシャルが下がり、シート抵抗が下がったことを示している。経験上、アッシング、プラズマプロセスなどの通常デバイスプロセスにより、同様のドナー形成が生じる。したがって、デバイスプロセスを経た HEMT 構造のシート抵抗は、最大でも概ね 1000 ohm/sq. 程度になると予測できる。

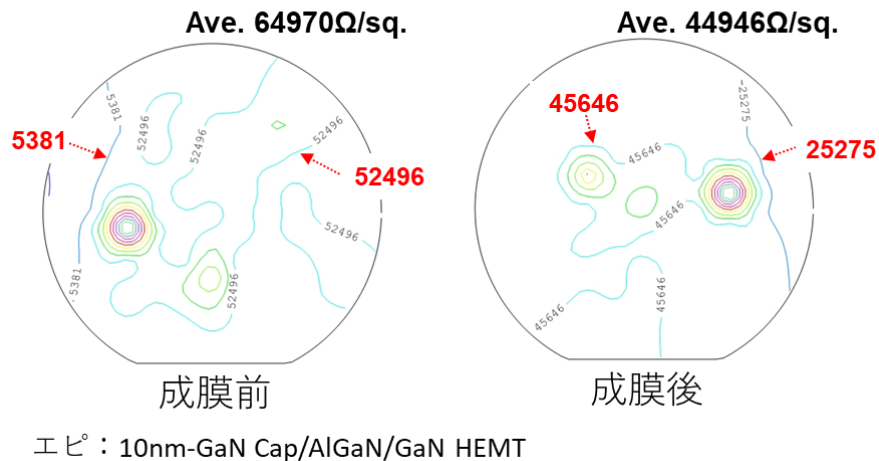


図⑤-4-1 エピシート抵抗の GaN キャップ厚依存性

Low-k 膜パッシベーションによる HEMT エピのシート抵抗変調

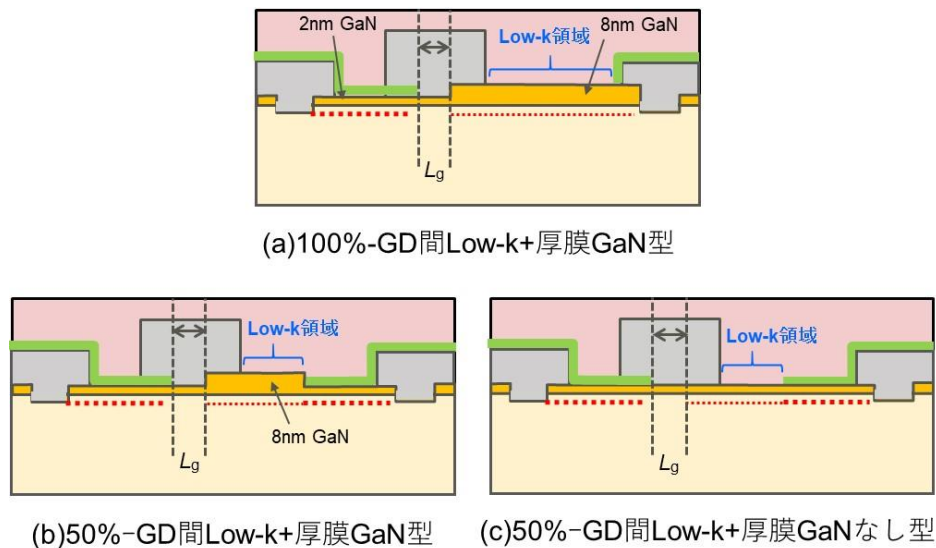
次に、10 nm の GaN キャップを有する HEMT エピ上に、Low-k 膜を塗布しシート抵抗の変化を観察した。実験に用いた HEMT エピは、プラズマプロセス工程を経ていないため、エピ成長直後の高いシート抵抗を維持している。図⑤-4-2 に Low-k 膜塗布前後でのシート抵抗変化を示す。実験結果が示すように、Low-k 膜塗布前後で、伝導帯のポテンシャルが維持され、シート抵抗にあまり変化が無いことがわかる。これは、Low-K 膜中に電荷が存在しないことおよび、塗布プロセスにより表面にドナーが生じていないことを示唆している。

Low-kパッシベーション



図⑤-4-2 Low-k 膜塗布前後でのシート抵抗変化

これらの実験結果から、厚膜 GaN キャップと Low-k 膜を組み合わせるソース-ゲート間とゲートドレイン間のシート抵抗に差を設ける構造を提案した(図⑤-4-3)。この構造はソース-ゲート間には高 N_δ 誘起 SiN または AlO パッシベーションを堆積し、ゲートドレイン間は一旦形成したパッシベーションを除去し Low-k に直接ふれる構造とした。また、ゲートドレイン間の全領域が厚膜の GaN キャップおよび Low-k 領域となる構造(図⑤-4-3(a))、ゲートドレイン間の 50%を厚膜 GaN キャップおよび Low-k 領域とする構造(図⑤-4-3(b))、ゲートドレイン間の 50%を Low-k 領域(厚膜 GaN キャップ無し)とした構造(図⑤-4-3(c))の 3 種類を作製した。

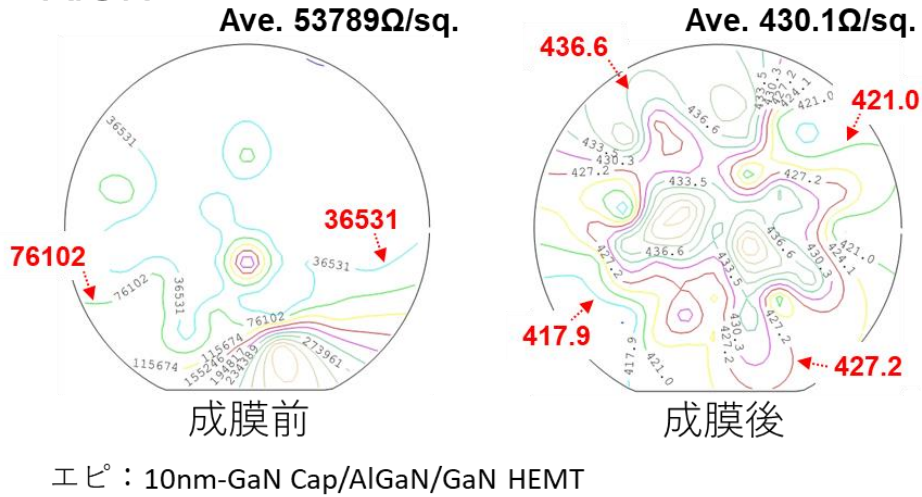


図⑤-4-3 Low-k 膜を用いて試作した GaN デバイス

A1ON 膜パッシベーションによる HEMT エピのシート抵抗変調

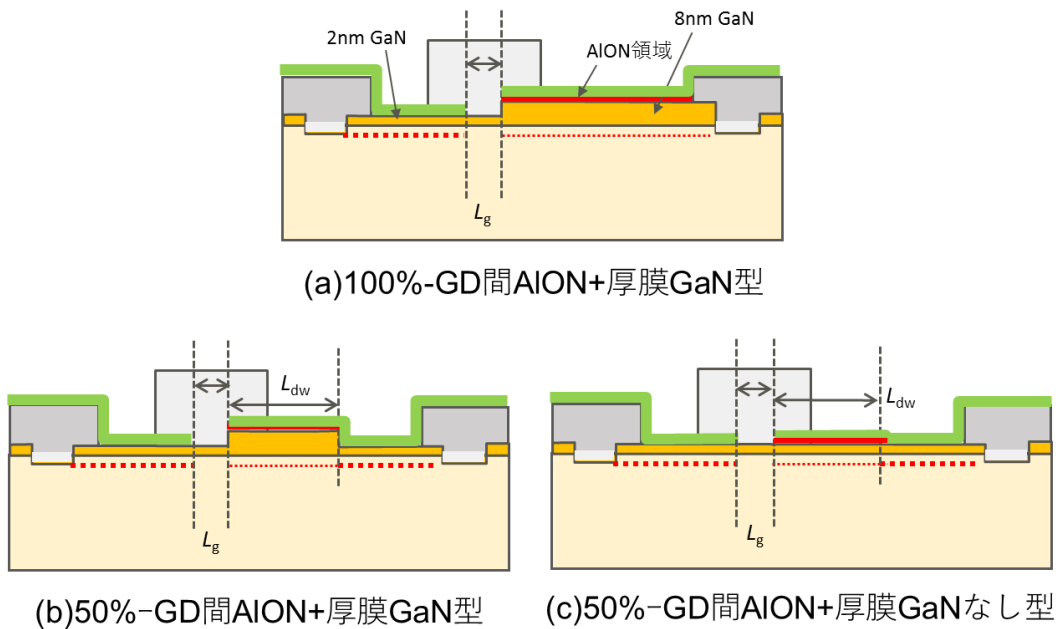
同様に、10 nm の GaN キャップを有する HEMT エピ上に、A1ON 膜をスパッタ法により形成しシート抵抗の変化を観察した。実験結果を図⑤-4-4 に示す。平成 30 年度までの検討で、伝導帯もち下げ効果のある SiN 膜や AlO 膜では、成膜後にシート抵抗が 250 ohm/sq. まで低下することがわかっている。これに対して今回実験に用いた A1ON 膜は 430 ohm/sq. 程度と、成膜によって伝導帯をもち下げる効果を SiN 膜や AlO 膜よりも小さく出来る。さらに、前述したように、ゲート絶縁膜と併用可能な A1ON にシート抵抗を相対的に高める効果があることは、開発技術のインテグレーションにおいて好都合である。

AION



図⑤-4-4 AION スパッタ後でのシート抵抗変化

これらの実験結果を踏まえ、AION を用いた GaN デバイス構造を作製した(図⑤-4-5)。これらの構造では、ソース-ゲート間には高 N_s 誘起 SiN または AlO パッシベーションを堆積し、ゲート-ドレイン間にはパッシベーション膜として AION を配置することで、相対的にゲート-ドレイン間のシート抵抗を大きくすることを狙った。なお、ゲート-ドレイン間の全領域を AION 領域かつ厚膜 GaN キャップとした構造(図⑤-4-5(a))、ゲート-ドレイン間の 50%を AION 領域と厚膜 GaN キャップとした構造(図⑤-4-5(b))、ゲート-ドレイン間の 50%を AION 領域(GaN キャップなし)とした構造(図⑤-4-5(c))の 3 種類を作製した。

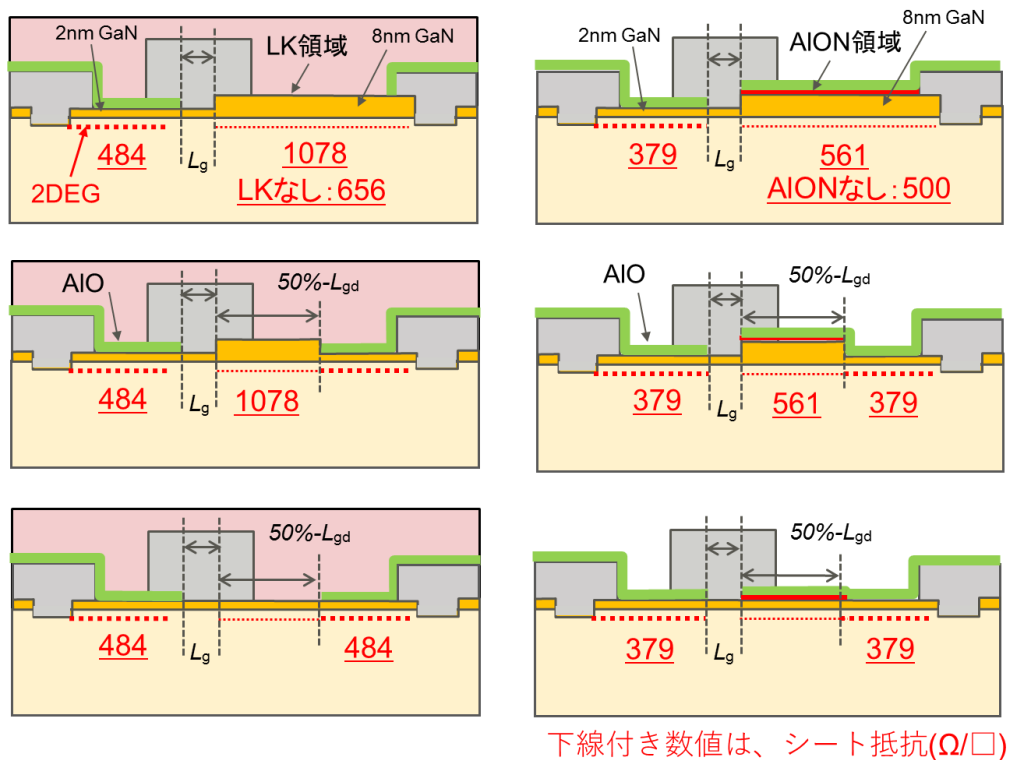


図⑤-4-5 試作した AION デバイス

3.5.4.2 キャリア密度変調 HEMT のシート抵抗分布

図⑤-4-6に、3.5.4.2で述べた両タイプデバイスのシート抵抗の分布を示す。シート抵抗は作製したデバイスと同一ウエハ上に同時形成した TLM により測定した。Low-k 膜を適用したデバイスについては、ゲートドレイン間に相当する領域に 1000 ohm/sq. 程度の高シート抵抗領域が形成できていることがわかる。一方、ソース側の領域においては 484 ohm/sq. の比較的低抵抗なアクセス領域を形成することができた。一方、AlON 膜を適用したデバイスについては、Low-k 膜を適用したデバイスよりもシート抵抗増大効果が劣るものの、一定のシート抵抗増大効果 (500 - 600 ohm/sq.) が観測できた。高出力化の観点では、この程度のシート抵抗増加の方が望ましい可能性もあり、その効果は今後慎重に調査を継続する。ソース側の領域においては 379 ohm/sq. の比較的低抵抗なアクセス領域を形成することができた。

本研究の目標であるシート抵抗の変調度としては、Low-k 品で、ソース電極-ゲート電極間のシート抵抗に対するゲート電極-ドレイン電極間シート抵抗が、約 100%増加となった。また、AlON 品に関しては、ソース電極-ゲート電極間のシート抵抗に対するゲート電極-ドレイン電極間シート抵抗が、約 50%増加となり、目標値を大きく上回る変調効果を確認できた。



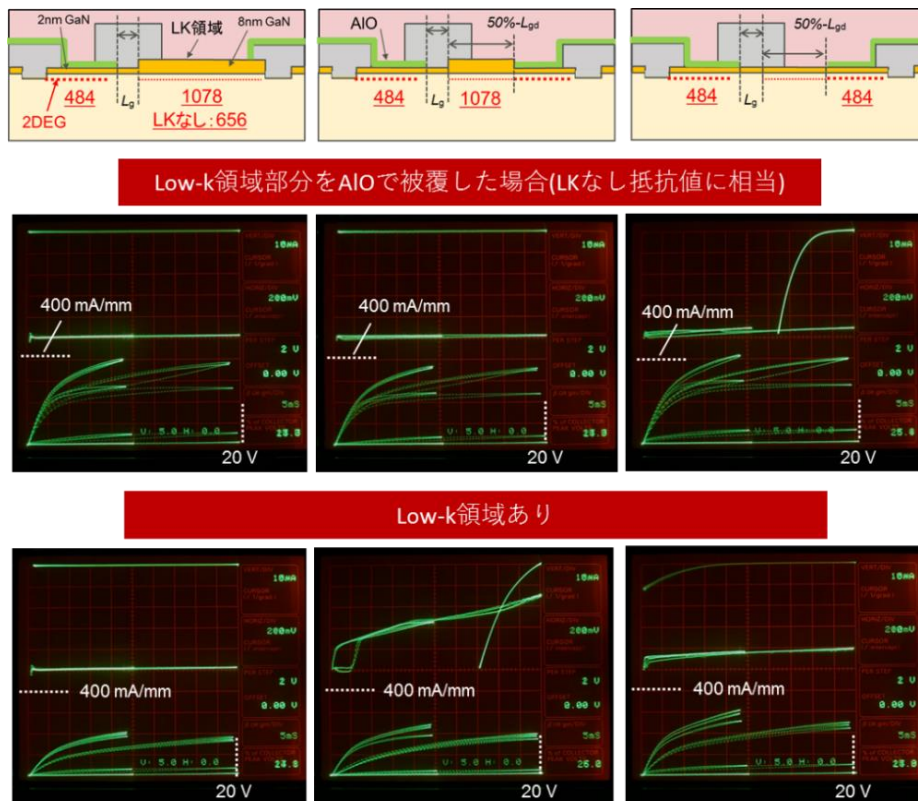
図⑤-4-6 種々の両タイプデバイス各部のシート抵抗

3.5.4.3 キャリア密度変調 HEMT の電気特性

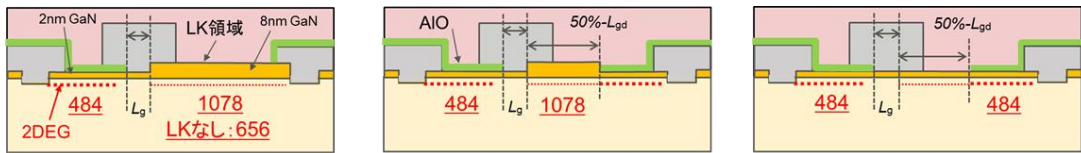
前述した Low-k を用いたデバイスおよび AlON を用いたデバイスの電気特性を図⑤-4-7 から図⑤-4-10 に示す。まず、図⑤-4-7 に示すように、Low-k を用いたデバイスでは、ゲート電極ドレイン側半導体表面が Low-k に接するか否かで、DC 特性に大きな差異が見られる。ゲート電極ドレイン側のアクセス領域が Low-k に接するトランジスタでは、接する領域を持たないトランジスタと比較してドレイン電流の低下が観測された。また、ドレイン電圧を 20 V まで印加した IV 特性とドレイン電圧を 10 V まで印加した IV 特性の差分から推察される電流コラプスも大きくなっている。これらの測定結果から、Low-k によるシート抵抗変調は大きな効果を呈すると同時に、従来のパッシベーションにより緩和されていた電子トラップの影響を緩和できていないことを示唆

している。すなわち、プラズマ反応が介在しないパッシベーションのため、半導体表面の電子トラップが残存した可能性が考えられ、Low-k 膜形成前の電子トラップ除去手法の開発が必要である。また、図⑤-4-8 に示すオフ耐圧に関しては、ゲート電極ドレイン側半導体表面が Low-k に接するか否かで、大きな差異は見られなかった。また、厚膜 GaN キャップの配置位置による耐圧の変化に関しても、その差異は大きくはない。ただし、ゲート-ドレイン電極間での電界分布は、デバイスの信頼性に影響を与える可能性があるため、この観点での差異が出現する可能性も期待できる。

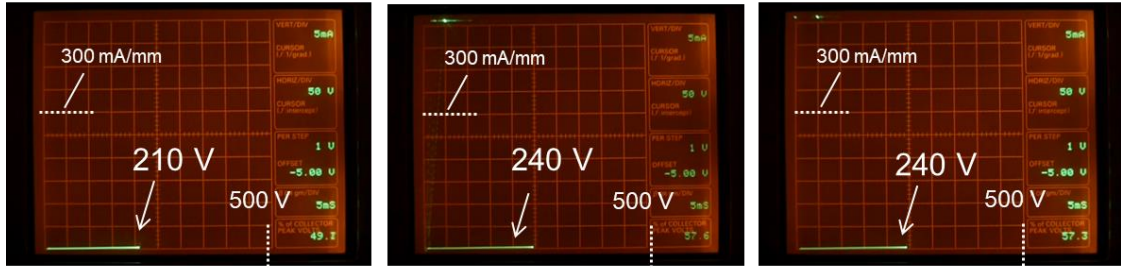
一方、図⑤-4-9 に示すように、AlON を用いたデバイスではゲート電極ドレイン側半導体表面に AlON を配置したか否かで DC 特性に大きな差異は見られなかった。また、Low-k を用いた構造と比べて、電流コラプスは大きくはなかった。また、シート抵抗に応じて、1 A/mm 弱の大きなドレイン電流を得ることが出来た。また、図⑤-4-10 に示すオフ耐圧に関しても、ゲート電極ドレイン側半導体表面に AlON は配置されているか否かで、オフ耐圧に差異は見られなかった。また、厚膜 GaN キャップの配置位置による耐圧の変化に関しても、同様にその差異は大きくはない。ただ、前述したように、ゲート-ドレイン電極間での電界分布は、デバイスの信頼性に影響を与える可能性があるため、この観点での差異が出現する可能性はある。



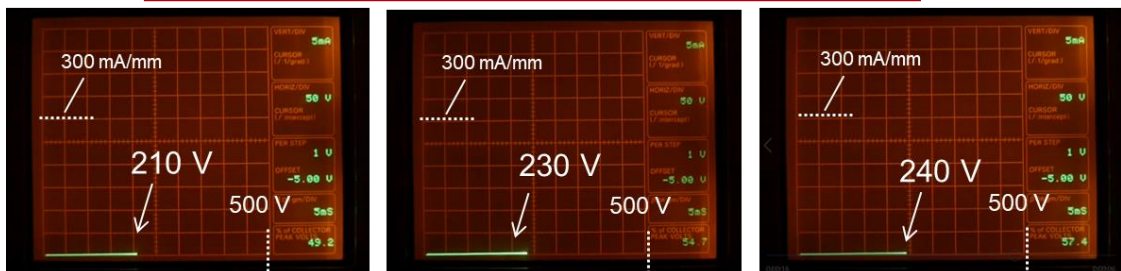
図⑤-4-7 Low-k を用いたデバイスの DC 特性



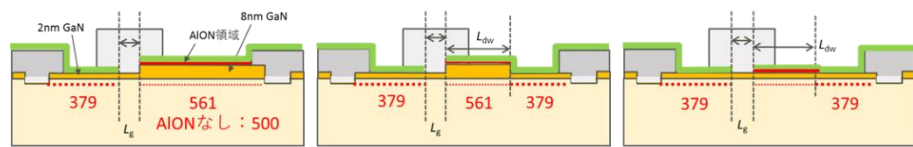
Low-k領域部分をAIOで被覆した場合(LKなし抵抗値に相当)



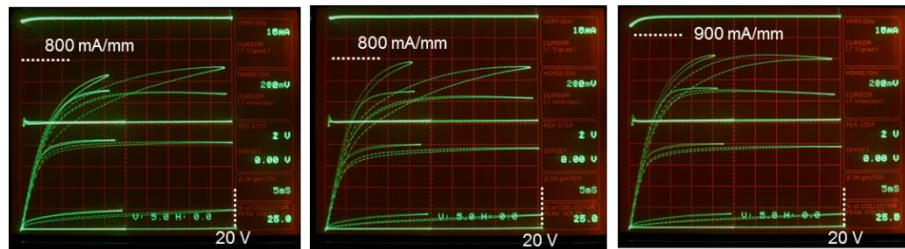
Low-k領域あり



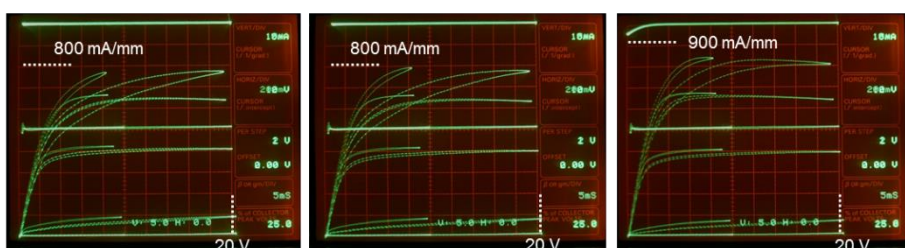
図⑤-4-8 Low-k を用いたデバイスのオフ耐圧



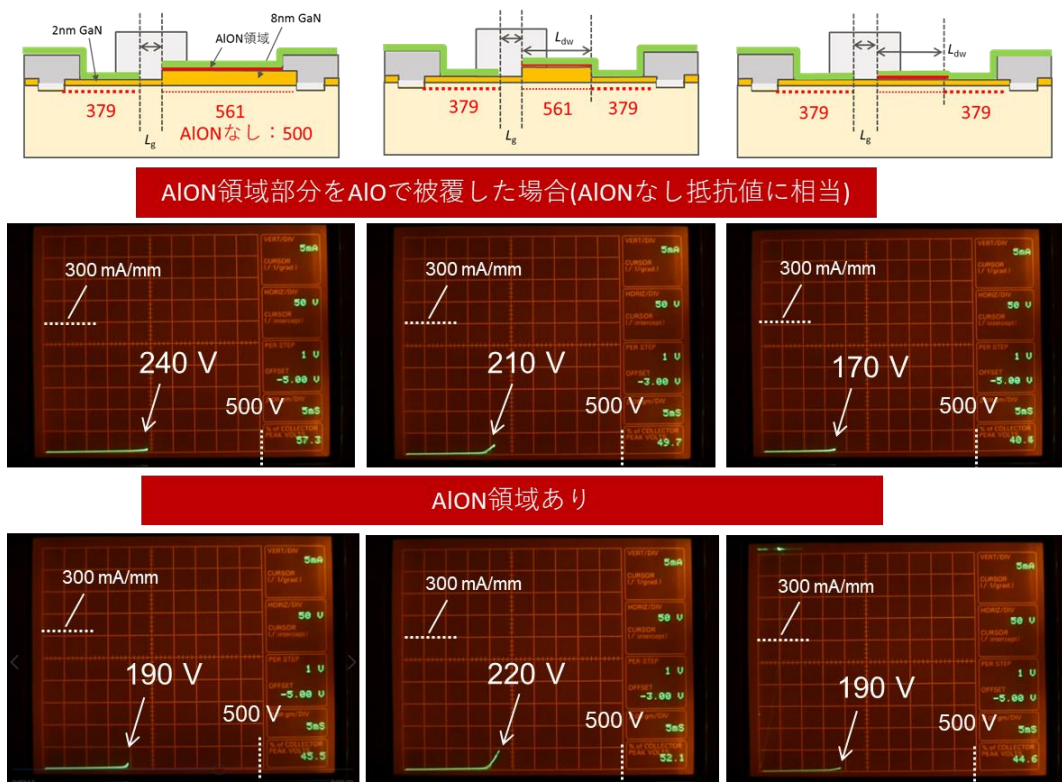
Low-k領域部分をAIOで被覆した場合(AIONなし抵抗値に相当)



AION領域あり



図⑤-4-9 AION を用いたデバイスのDC特性



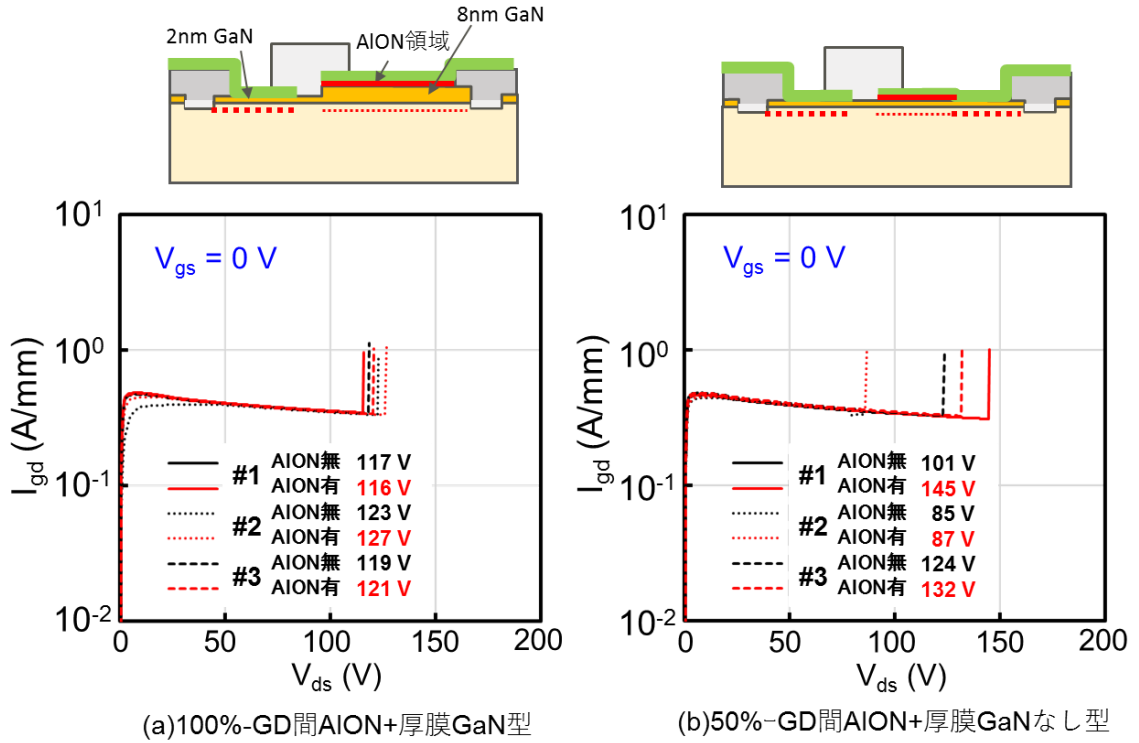
図⑤-4-10 AION を用いたデバイスのオフ耐圧

これらの測定結果から、シート抵抗変動がデバイスのオフ耐圧に明確な影響を与えていないことがわかる。検討の結果、所謂オフ耐圧評価状態では、ゲート電極空乏層はドレイン電極に到達しており、ゲート電極周辺に形成したシート抵抗変動はオフ耐圧に対して効果が現れにくいものと判断した。一方、オン耐圧に関しては効果を確認できる可能性がありその評価を行った。測定は、DC 特性が優位な AION 品について実施し、ドレイン電流を 500 mA/mm 程度流した状態のオン耐圧を評価した。図⑤-4-11 に AION 品のドレイン電流で評価したオン耐圧、図⑤-4-12 に AION 品のゲート電流で評価したオン耐圧を示す。図⑤-4-11(a) および図⑤-4-12(a) は、AION と厚膜 GaN キャップがドレイン電極まで配置された構造(比較のために AION の無いデバイスも試作)、図⑤-4-11(b) および図⑤-4-12(b) は、AION がゲート電極とドレイン電極の間まで配置されかつ厚膜 GaN キャップが無い構造(比較のために AION の無いデバイスも試作)の耐圧特性を示す。

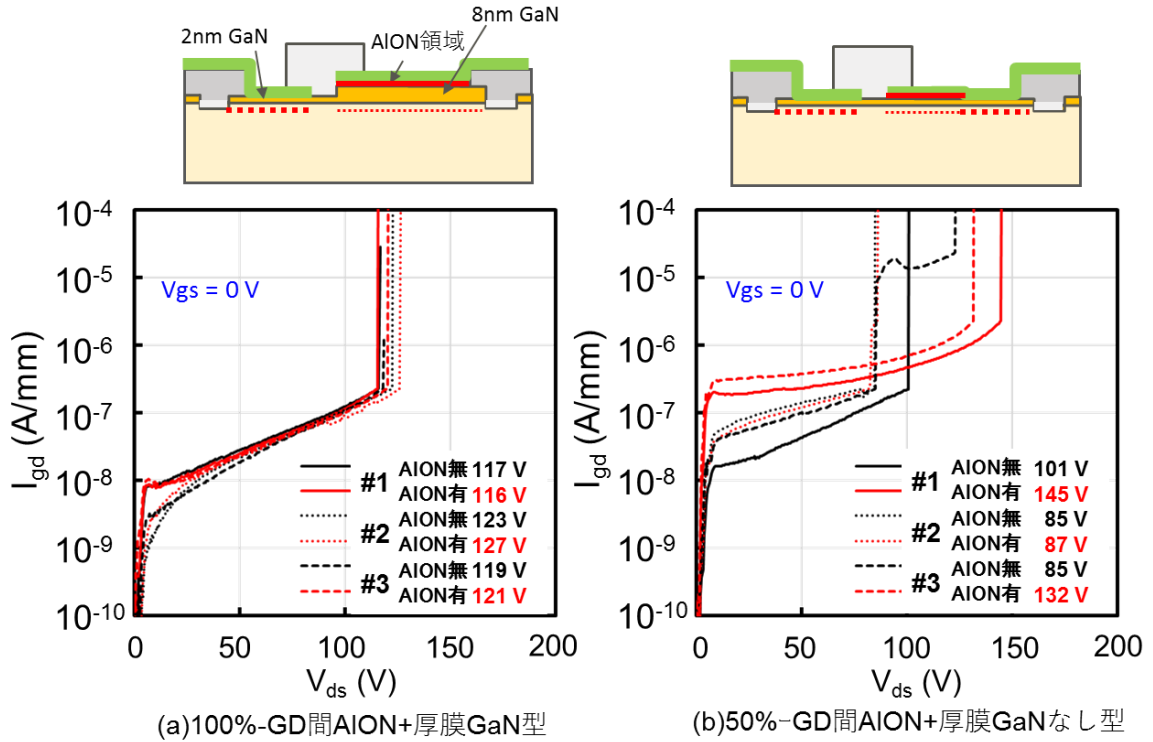
オン耐圧測定結果から、AION を用いたシート抵抗増大領域形成品では、通常構造と比較して一定の耐圧向上効果(最大 44 V)が認められた。さらに、厚膜 GaN キャップを有するデバイスにおいて、高い耐圧が安定して得られることもわかった。一方、厚膜 GaN キャップの無い構造では、厚膜 GaN キャップがある構造と比較して、耐圧の低いデバイスが存在しかつ、AION 配置効果が相対的に大きく出現した。これは、キャリア濃度の高い厚膜 GaN キャップが無い構造の方が、AION によるキャリア濃度低減効果が発現しやすいためと推察している。

さらに、ブレイクダウン現象を理解するために、耐圧測定時のゲートリーク電流のふるまいを比較した。図⑤-4-12(a) は、AION と厚膜 GaN キャップがドレイン電極まで配置された構造(比較のために AION の無いデバイスも試作)、図⑤-4-12(b) は、AION がゲート電極とドレイン電極の間まで配置されかつ厚膜 GaN キャップが無い構造(比較のために AION の無いデバイスも試作)の耐圧特性を示す。ゲート電流は、ゲートショットキー面近傍のトンネル電流が主要な電流輸送経路と考えられる。これらの測定結果から、厚膜 GaN キャップは、ゲートトンネル電流を低減する効果が大きいことがわかる。さらに、厚膜 GaN キャップの無い構造では、AION の配置によるゲート電極直近でシートキャリア濃度低減効果が十分に発現していることがわかる。すなわち、ゲート電極で生じるブレイクダウンでは、厚膜 GaN キャップによるトンネル電流低減効果と同等またはそれ以上の効果が AION を形成することにより得られたと推察できる。

このオン状態 ($V_g = 0 \text{ V}$) の耐圧向上は、増幅器負荷線スイング中心を高圧化 (動作電圧の高圧化) でき、飽和出力密度の向上に大きく寄与すると考えている。



図⑤-4-11 AION 品のドレイン電流で評価したオン耐圧

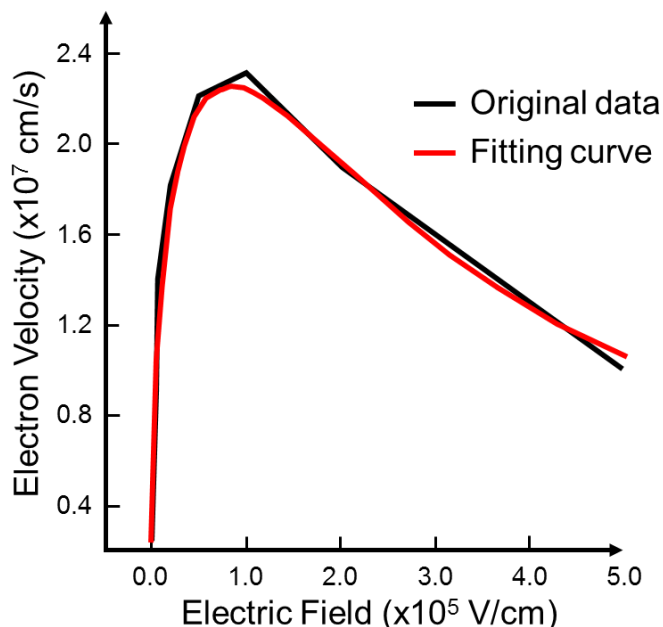


図⑤-4-12 AION 品のゲート電流で評価したオン耐圧

3.5.4.4 セルオートマトン法による v-E 特性を用いたデバイスシミュレーション手法の確立

研究課題⑥電子輸送状態シミュレーションでは、セルオートマトン法を用いた電子輸送現象の解析を進めている。ここでは、セルオートマトン法により得られた電界-電子速度(v-E)特性を、既存デバイスシミュレータ(Silvaco Atlas)に組み込み、構造設計に反映させる手法について検討した。この v-E 特性の組み込みにより、一般的なモンテカルロシミュレーションよりも精度の高い、散乱因子計算に基づく v-E 特性を使用して、デバイス内部での流体論的電子輸送を既存デバイスシミュレータ上で計算することが可能になる。

まず、v-E 特性比較実験のため、産業技術総合研究所においてセルオートマトン法による計算と、既存デバイスシミュレータのモンテカルロ法に基づく計算比較を行った。図⑤-4-13 に、パラメータを調整した既存速度モデルとセルオートマトン法により計算された v-E 特性の比較を示す。パラメータ調整により両者は比較的良好な一致を示した。このパラメータが動作する「改善 v-E 特性モデル」は、既存デバイスシミュレータでデバイス各部のポテンシャル計算から算出される電界強度に対応した電子速度を返し、この電子速度を元に電流(ホットキャリア)が算出される。さらに、算出された電流(ホットキャリア)を考慮したポテンシャル計算を繰り返すことにより定常解を得ることができる。

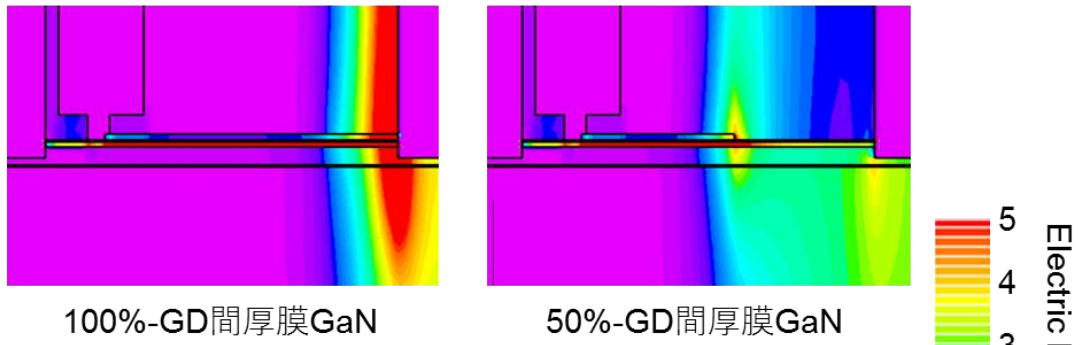


図⑤-4-13 改善 v-E 特性モデルとセルオートマトン法による v-E 特性の比較

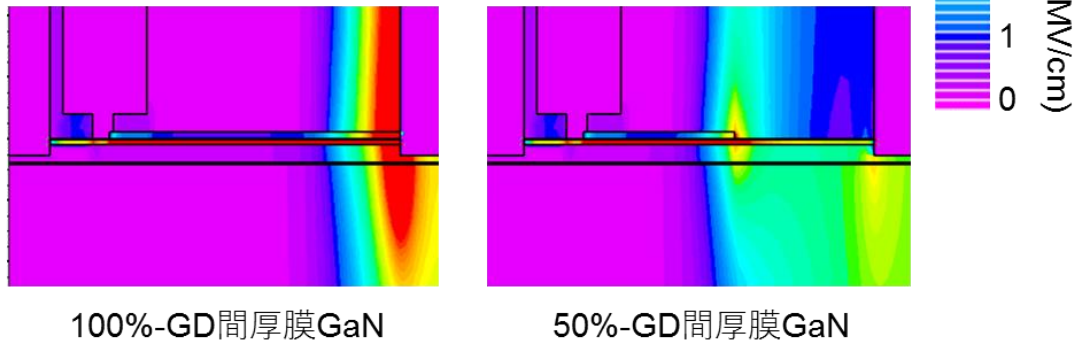
この改善 v-E 特性モデルを使用したシミュレーションにより、厚膜 GaN キャップ構造と電界集中計算結果を検証する。図⑤-4-14 に示すように、オフ状態の計算では、電流が流れないため、既存モデルと改善モデルでは差が生じない。一方、図⑤-4-15 に示すように、オン状態の計算では、厚膜 GaN キャップがドレインまでの全域に配置される場合(図⑤-4-15(a))と、ゲート電極-ドレイン電極中間まで配置される場合(図⑤-4-15(b))の双方で、既存モデルよりも大きな電流が流れることがわかる。

この比較計算に用いた既存モデルは、モンテカルロ法により計算された散乱パラメータを用いたものであり、GaN デバイスの計算に一般的に用いられている。ここでは、セルオートマトン法により計算した v-E 特性を既存デバイスシミュレータに適用する手法の確立を目的としており、計算値の差分については今後実際の構造において計算データを蓄積し、その差異について検討していく。

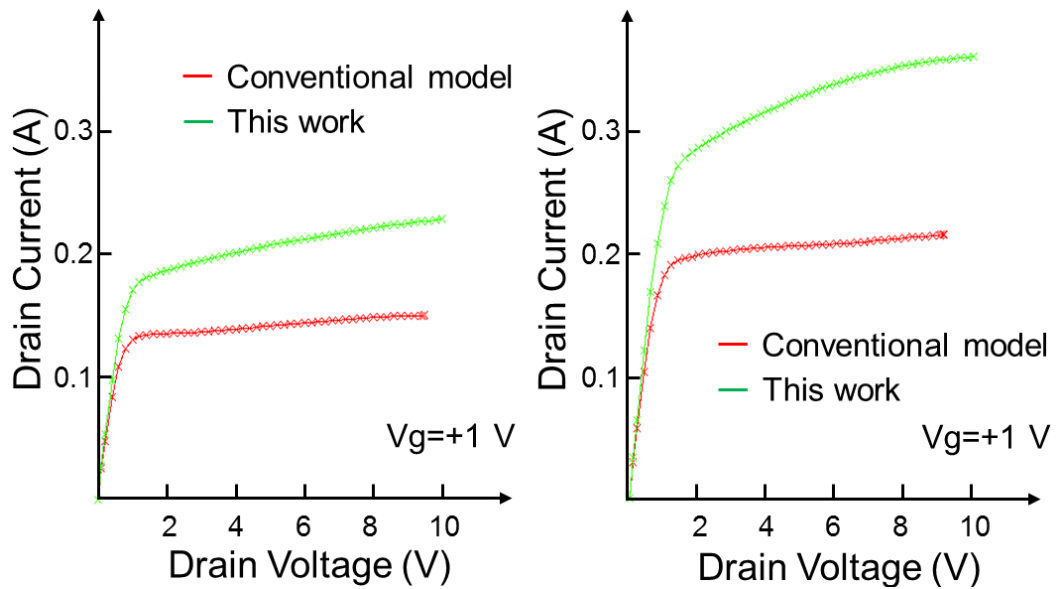
既存デバイスシミュレータモンテカルロ法利用vE特性モデル



セルオートマトン法利用vE特性モデル



図⑤-4-14 オフ状態電界強度計算結果比較 ($V_d = 300$ V, $V_g = -5$ V)



(a) 100%-GD 間厚膜 GaN

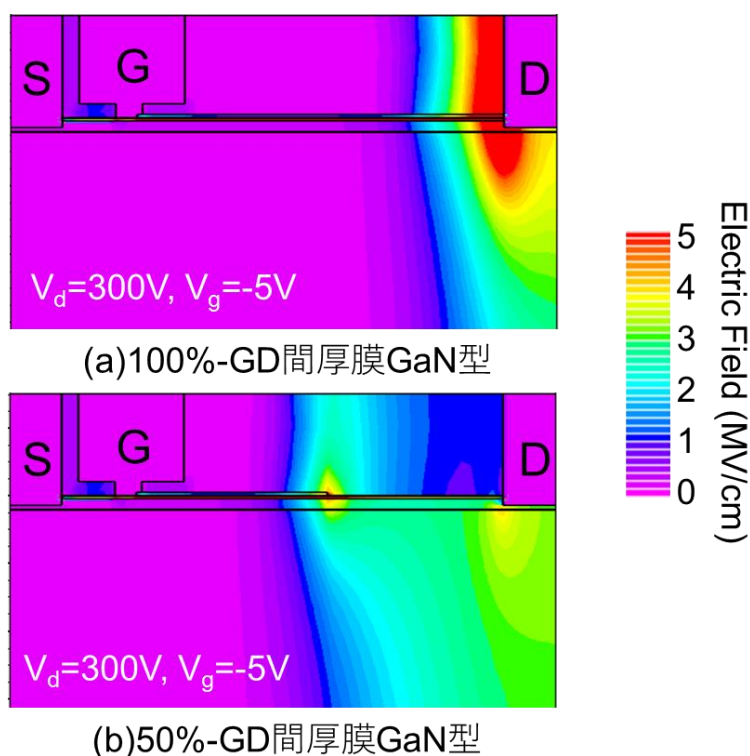
(b) 50%-GD 間厚膜 GaN

図⑤-4-15 オン状態 I_d - V_{ds} 特性計算結果比較

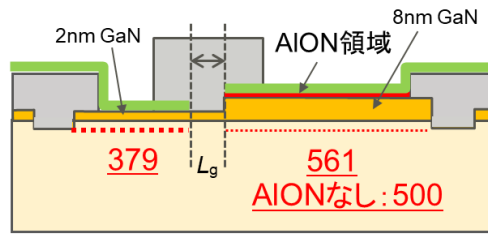
3.5.5 厚膜 GaN キャップ層および AlON 絶縁膜を用いたキャリア変調 HEMT

3.5.5.1 厚膜 GaN キャップ層および AlON 絶縁膜を用いたキャリア変調構造

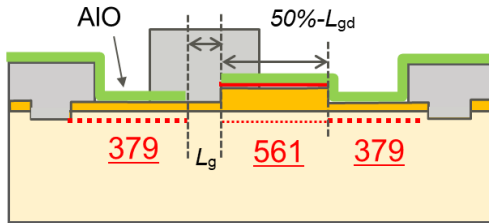
3.5.4 で示したように、シート抵抗を効果的に変調するために厚膜 GaN キャップを採用している。この場合のトランジスタオフ時の電界強度分布を図⑤-5-1 に示す。厚膜 GaN キャップがゲート電極からドレイン電極まで配置された場合、ドレイン電極端に強い電界が集中していることがわかる。一方、厚膜 GaN キャップを、ドレイン電極から離れた場所まで配置した場合は、電界集中が緩和されることが分かった。これは、デバイスの高電圧動作に好適であり、試作デバイス構造に反映させた。ソース-ゲート間には高い電子密度を誘起するため SiN を堆積し、ゲートドレイン間にはパッシベーション膜として AlON を配置することで、図⑤-5-2 に示す厚膜 GaN と AlON 絶縁膜を用いたキャリア変調デバイスを試作した。本構造では、ソース電極-ゲート電極間のシート抵抗に対するゲート電極-ドレイン電極間シート抵抗が、AlON 単独では約 16% 増加(図⑤-5-2(c))、厚膜 GaN を併用した構造では約 48% 増加(図⑤-5-2(a)) となり、本研究の目標値(10%以上増加)を大きく上回っている。



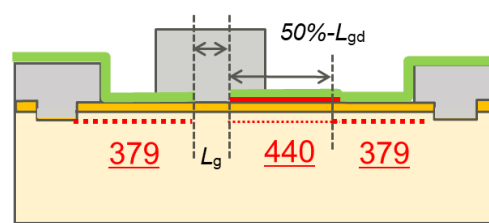
図⑤-5-1 厚膜 GaN キャップ構造と電界集中のシミュレーション結果



(a) 100%-GD間AION+厚膜GaN型



(b) 50%-GD間AION+厚膜GaN型



(c) 50%-GD間AION+厚膜GaNなし型

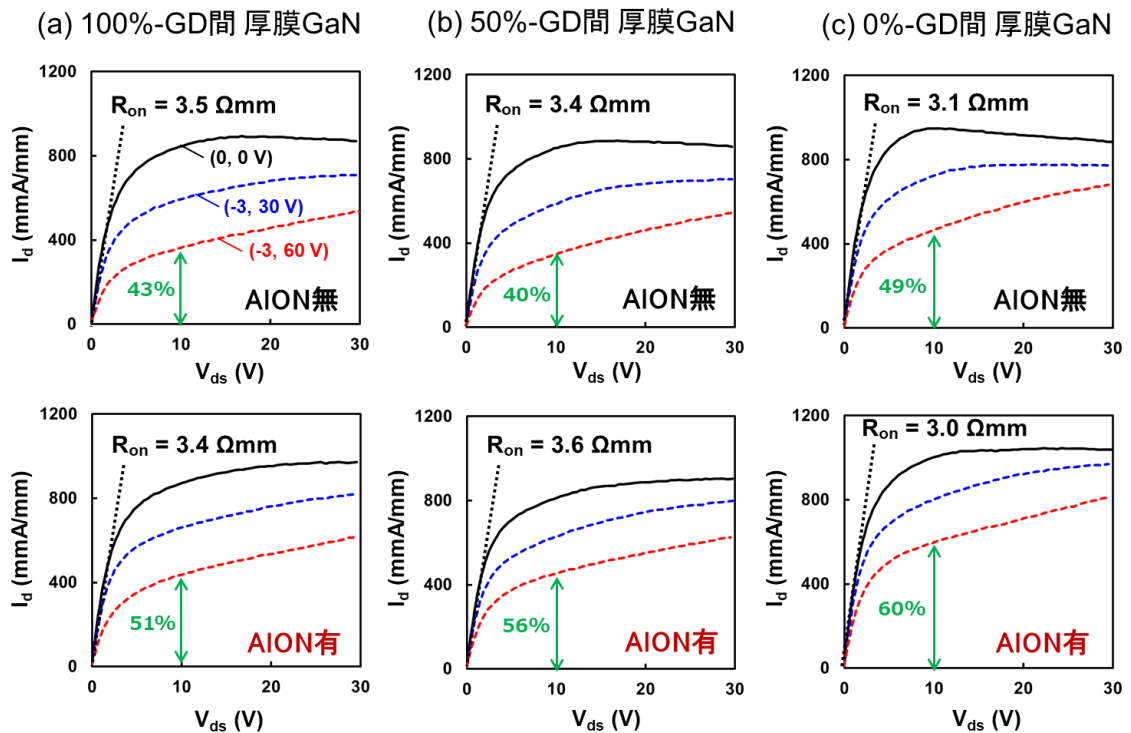
図⑤-5-2 厚膜 GaN と AlON 絶縁膜を用いたキャリア変調デバイス

3.5.5.2 キャリア変調適用時の電流コラプス現象とオフ耐圧

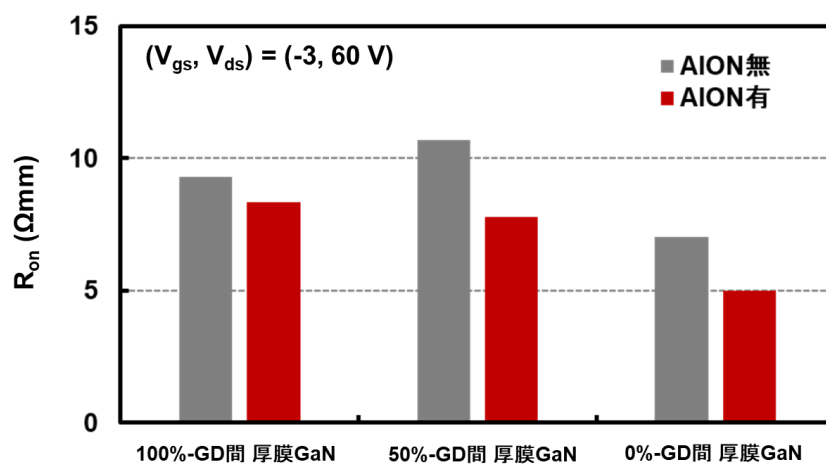
パルス I-V にて I_d - V_{ds} 測定を行い、電流コラプスを評価した結果を図⑤-5-3 に示す。評価サンプルは、図⑤-5-2 に示す 3 種類のデバイスに加え、それぞれの構造に対して GD 間 AlON を省いた構造 (AlON 無) についても評価を行った。パルス幅は $1 \mu\text{sec}$ 、パルス周期を 1msec とし、バイアスストレス ($V_{gs} = -5 \text{V}$, $V_{ds} = 30, 60 \text{V}$) の印加前後で I_d - V_{ds} 測定 ($V_{gs} = 2 \text{V}$) を行い、Knee 電圧近傍 ($V_{ds} = 10 \text{V}$) における I_d の減少率 ($I_d \text{ w/ bias stress} / I_d \text{ w/o bias stress}$) から、電流コラプスを定量化した。まず、図⑤-5-3 上段に示す“AlON 無”の構造で比較すると、GD 間における厚膜 GaN キャップを上げた際、バイアスストレス印加前のオン抵抗が 3.1ohm/sq から $3.4 \sim 3.5 \text{ohm/sq}$ に増加している。これは、図⑤-5-2 に示したように、厚膜 GaN キャップを適用した際には GD 間のキャリア密度が低下し R_{sh} が増加するためである。更に、厚膜 GaN キャップを適用したデバイスでは、バイアスストレスにより I_d が顕著に低下し、電流コラプスが従来構造 (0%-GD 間厚膜 GaN) よりも増大していることがわかる。これは、キャリア密度が低下したことで、従来構造よりもコラプスの影響を受けやすくなったためと推察される。つまり、2DEG 密度が低い HEMT においては、同じ数の電子がトラップされたとしても、もともと存在していた電子に対する捕獲電子の割合が、2DEG 密度が高い HEMT と比べて大きいため、 I_d 低下が顕著になると考えられる。この傾向は、図⑤-5-3 下段に示す“AlON 有”の構造においても確認されており、厚膜 GaN キャップを用いたキャリア変調は、RF 動作時も I_d が低下しやすく、高出力化の面で不利となる。一方、“AlON 有”では、図⑤-5-4 に示すように電流コラプスに起因したオン抵抗上昇が抑制されており、高 I_d を維持したキャリア変調を実現できることが明らかとなった。AlON により電流コラプスが抑制されているのは、3.5.4 で示したように、パッシベーション膜/GaN キャップ界面における電子トラップが AlON 適用により低減した効果と考えられる。これは、AlON 成膜時の NH_3 プラズマがクリーニング処理として機能し、GaN キャップ表面における汚染炭化水素などの不純物を除去できた効果と考えられるが、詳細メカニズムを解明するためには更なる分析が必要である。

図⑤-5-5 は、厚膜 GaN、AlON をそれぞれ適用したキャリア変調デバイスについて、オフ耐圧を評価した結果である。従来構造のオフ耐圧が 260V であるのに対し、厚膜 GaN キャップでは 290V (10%向上)、AlON では 310V (20%向上) とどちらも耐圧の向上には有効であることがわかる。しかしながら、図⑤-5-6 に示すように、厚膜 GaN キャップでは、耐圧は向上するものの、電流コラプ

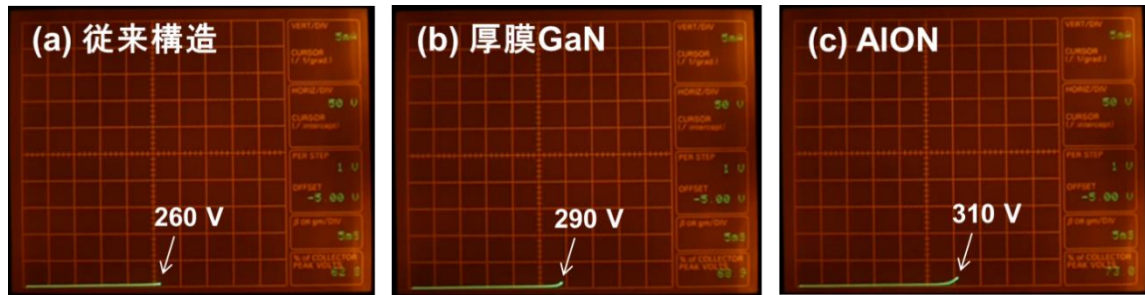
スにより R_{on} が上昇するため、高出力化は期待できない。それに対し、AION キャリア変調では、耐圧向上と R_{on} 低減(コラプス抑制)を両立できており、高 I_d を維持した高電圧動作が可能となり、高出力化を実現できる可能性が得られた。本結果から、“要素技術統合向けインテグレーション(実施項目⑩)”にて技術統合を進めるキャリア変調技術として、“AION キャリア変調構造”を選定した。



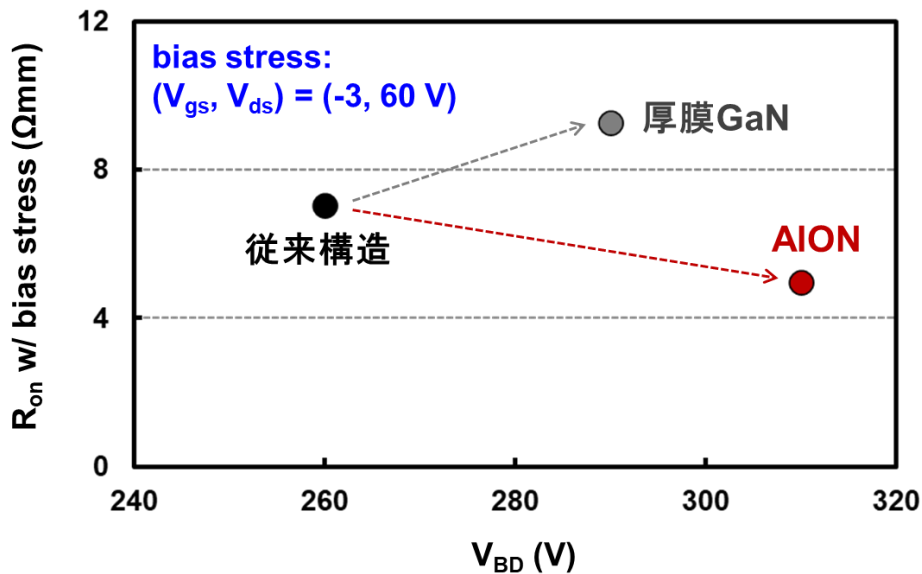
図⑤-5-3 パルス I-V による電流コラプス評価結果. 上段: AION 無, 下段: AION 有



図⑤-5-4 バイアスストレス印加時のオン抵抗比較. 灰色: AION 無, 赤: AION 有



図⑤-5-5 各キャリア変調構造を適用した際のオフ耐圧



図⑤-5-6 各キャリア変調構造を適用した際のオフ耐圧とオン抵抗の変化

3.5.5.3 飽和速度計算取り込みによるデバイスシミュレーション

実施項目⑥において量子構造を適用したことによる電子飽和速度(v)と電界強度(E)の変化について検証した。この電子速度変化がトランジスタ特性へ与える影響を明らかにするため、得られた v - E カーブをTechnology CAD (TCAD)へ適用し計算を行った。高電界時の電子移動度は低電界時の移動度およびフィッティングパラメータを用いて、

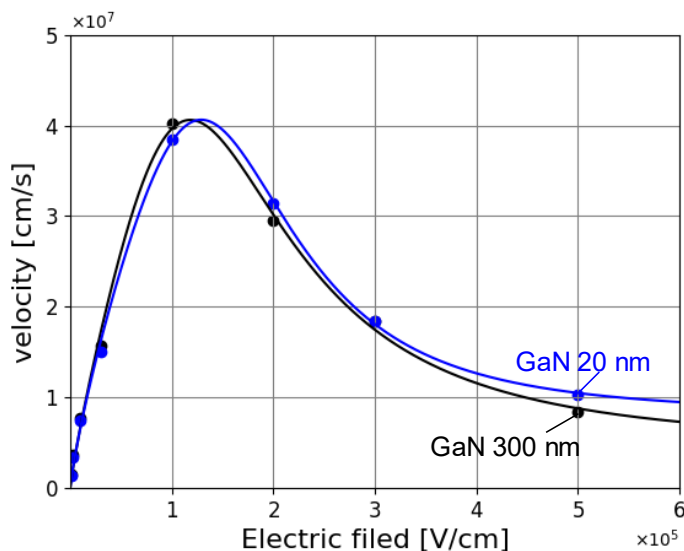
$$\mu_H = \frac{\mu_L + v_{sat} \frac{E^{N1-1}}{E_{CN}^{N1}}}{1 + A_{nn} \left(\frac{E}{E_{CN}}\right)^{N2} + \left(\frac{E}{E_{CN}}\right)^{N1}} \quad \text{式⑤-5-1}$$

と表される。ここで、 μ_L は低電界の移動度、 E は電界強度、 v_{sat} は飽和電子速度、 E_{CN} 、 N_1 、 N_2 、 A_{nn} は電界に対する電子速度の依存性を決定するフィッティングパラメータである。上記の式を用いて1 kV/cmから600 kV/cmまでの範囲において実施項目⑥の計算で得られた v - E 結果に対してフィッティングを行った。図⑤-5-7に示すプロットは実施項目⑥にてGaNチャネル膜厚20 nmおよび300 nmにおいて計算した電子速度を示す。ここで、各電界における電子速度は、電界印加時を0 sec.として5 psec.が経過した時の速度とした。表⑤-5-1にフィッティングに使用したパラメータと図⑤-5-7に得られたフィッティング結果を示す。フィッティングに使用した低電界移動度 μ_L は、実施項目⑥での v - E 速度計算に使用したGaNチャネル膜厚300 nmおよび20 nmのHEMT

構造において、ホール測定で得られた $1800, 1400 \text{ cm}^2/\text{Vs}$ を用いた。図⑤-5-7 に示すフィッティングにおける決定係数 R^2 はそれぞれ 0.957 と 0.962 であり、実施項目⑥で得られた結果に対して良好なフィッティングが得られている。フィッティングの結果、およそ 100 kV/cm までの低電界領域では、GaN チャンネル 20 nm の構造においてホール測定によって得られた低電界の移動度が低いため、フィッティングによって得られた電子速度も低くなっている。一方、 100 kV/cm 以上の高電界領域では、強い閉じ込め状態にある GaN チャンネル 20 nm の構造において GaN チャンネル 300 nm の場合よりも高い電子速度が得られることが分かった。

表⑤-5-1 v - E カーブのフィッティングパラメータ値

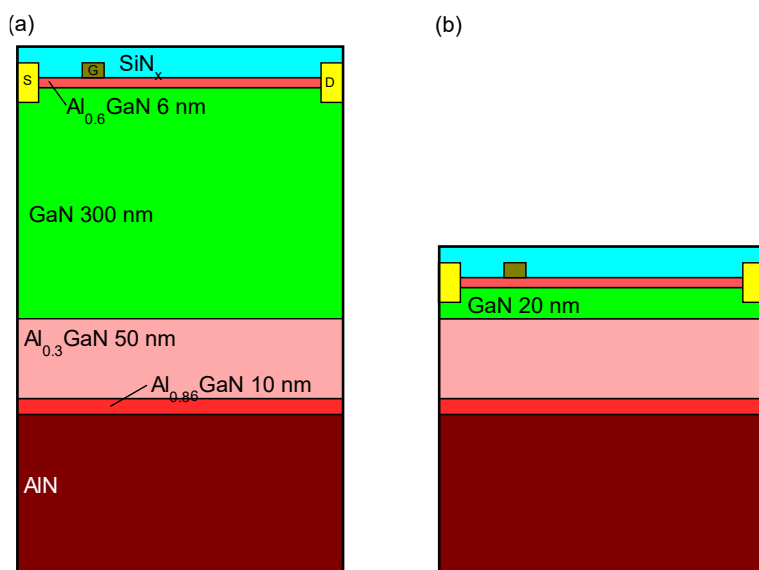
	GaN 300nm	GaN 20nm
μ_L	1800	1400
v_{sat}	4.458×10^6	8.112×10^6
N_1	3.363	4.058
N_2	0.213	0.320
E_{CN}	1.038×10^5	1.256×10^5
A_{nn}	2.786	2.534



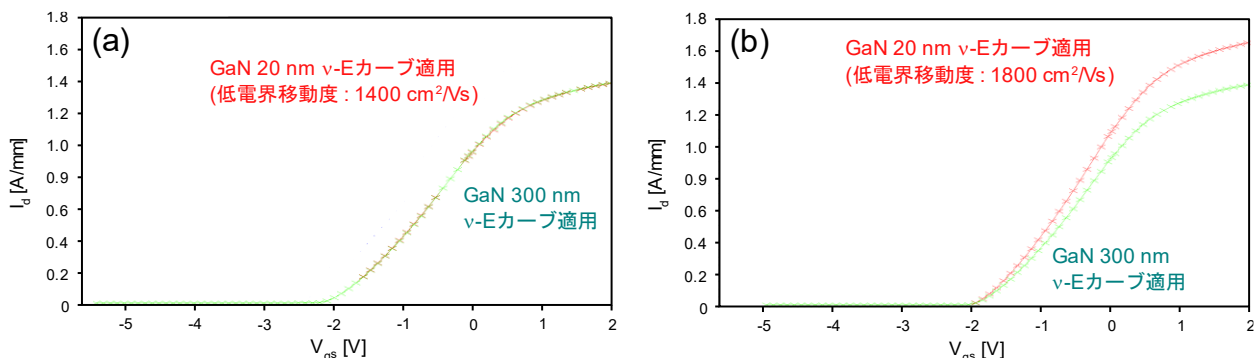
図⑤-5-7 GaN チャンネル膜厚 300 nm (黒線)および 20 nm (青線)における電子速度の電界依存性。実線は(⑤-1)式にて移動度を算出し、フィッティングを行った結果を示す。図中のプロットは実施項目⑥にて得られた電子速度の計算結果。

次に、フィッティングにより得られた v - E 計算結果をデバイスシミュレータに取り込み、トランジスタの I_d - V_{gs} 特性を比較した。図⑤-5-8 に今回計算を行ったデバイス構造を示す。従来の GaN HEMT 構造として、AlN 基板上へ③で開発を行っている AlGaIn バッファ層を通して GaN チャンネル 300 nm を用いた。GaN チャンネル 300 nm においては AlN の分極電界によるバンド持ち上がりをおおよそ無視できるようになるため、従来の GaN HEMT と同様のバンドプロファイルとなる。量子構造としては、AlGaIn バッファ層上へ GaN チャンネルを 20 nm 堆積することで強い電子の閉じ込め構造を実現することができる。これらの構造とフィッティングをかけた v - E 計算結果を用いてトランジスタ特性の計算を行った。上記したように GaN のチャンネルが厚い場合、AlN によるバックバリアの効果がほとんど無視できるようになるため、キャリア濃度は QW 構造のキャリア濃度 ($N_s = 1.2 \times 10^{13} \text{ cm}^{-2}$) と比較して高くなる ($N_s = 1.6 \times 10^{13} \text{ cm}^{-2}$)。結果として、シート抵抗は低くなるので v - E の計算結果をそのまま対応する結晶構造へ適用するとキャリア濃度の差によって、GaN チ

チャンネル 300 nm の構造における電流値が高くなってしまい、本質的な v - E 特性の差による評価が困難になる。そこで、デバイス構造は図⑤-5-8(b)に示す GaN チャンネル 20 nm を用いて、 v - E 特性を GaN 300 nm 及び 20 nm の場合について比較した(図⑤-5-9(a))。計算の結果、高電界での電子速度の向上による電流値の改善は観察されなかった。これは GaN 20 nm の電子速度は 300 nm の GaN に対して 100 kV/cm 以下の比較低電界での電子速度が低く、低電界領域の抵抗値が高くなってしまったため、高電界時の飽和電流が向上しなかったためと考えられる。そこで、GaN 20 nm における低電界の移動度 μ_L を GaN 300 nm のホール測定で得られた $1800 \text{ cm}^2/\text{Vs}$ に固定してフィッティングを行い、得られた v - E カーブを用いて電流電圧特性を計算した結果を図⑤-5-9(b)に示す。移動度を増加させることによって高電界時の電子速度が向上し、電流値増加が実現できることが分かった。すなわち、QW 構造における電子速度向上のメリットを享受し、トランジスタ特性を高めるためには、QW 構造の電子移動度を高くする必要があることが分かった。一方で、低電界の移動度が通常の GaN HEMT と同程度を実現することができれば、高電界の電子速度向上により、QW HEMT はより高い電流を実現することが可能であることが示唆された。



図⑤-5-8 計算を行った GaN チャンネル膜厚 (a)300 nm および(b) 20 nm のデバイス構造

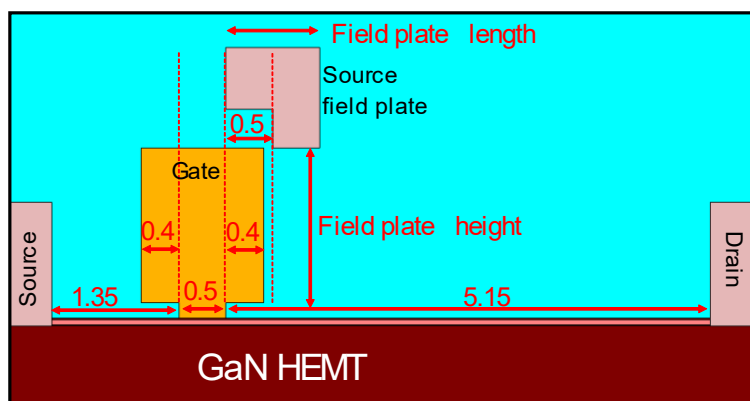


図⑤-5-9 GaN チャンネル 300 nm (緑線) 及び GaN チャンネル 20 nm (赤線) の v - E カーブを用いた I_d - V_{gs} 特性計算結果

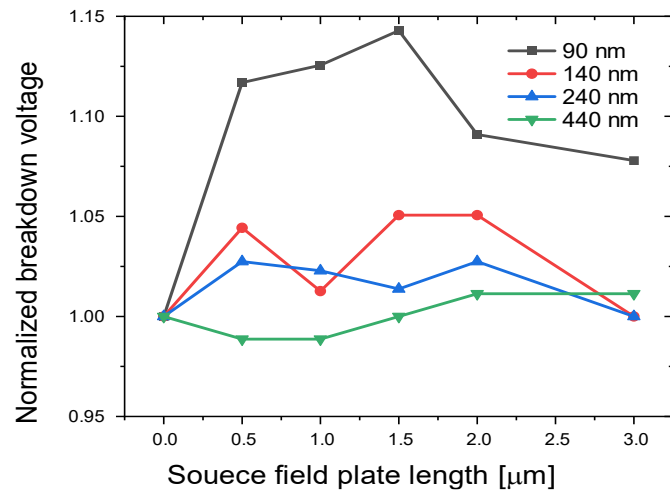
3.5.5.4 高耐圧向けフィールドプレート構造の設計

高出力動作を実現するための一つの方法として、上記したような方法で電流値を大きくするほかに動作電圧を高くすることが有用である。動作電圧を高くするためにはフィールドプレート等の構造最適化により、半導体中の電界分布を緩和することが効果的である。ここでは、ソースフィールドプレートの構造検討を行い、GaN HEMT の高耐圧化の可能性を探った。

図⑤-5-10 に今回ソースフィールドプレートの最適化に使用したデバイス構造を示す。ソースフィールドプレート最適化のパラメータとして、GaN HEMT 表面からの高さ及びゲート電極からの長さとの関係について調べた。図⑤-5-11 にソースフィールドプレートがない場合の耐圧で規格化したデバイス耐圧のソースフィールドプレートの長さ及び高さ依存性を示す。ソースフィールドプレートの高さが 440 nm の場合は、耐圧はソースフィールドプレートの長さに明確な依存性をもたず、フィールドプレートがない場合と比較してもほぼ同等の耐圧であった。一方、ソースフィールドプレートを低くしていくことで耐圧は向上し、90 nm の高さにおいては約 15 % 近い耐圧の向上が観察された。高さ 90 nm における耐圧のソースフィールドプレート長依存性に着目すると、フィールドプレートの長さが 1 から 1.5 μm でピークを持っていることが分かる。その後、2-3 μm で耐圧の低下がみられた。この理由を調査するため、TCAD を用いて電界分布の計算を行った。その結果を図⑤-5-12 に示す。ソースフィールドプレートが高い場合、ゲートフィールドプレート端に最も電界集中している様子が観察される。すなわち、トランジスタ破壊がゲートのフィールドプレート端で起きていると考えられる。一方で、ソースフィールドプレートを低くした場合、ソースフィールドプレートへ電界が分散されるためにゲートフィールドプレート端での電界が低下している様子が観察された。つまり、ソースフィールドプレートを 2DEG 層へ近づけることにより、ゲートフィールドプレート端での電界集中を緩和することで、高耐圧化が実現できたと考えられる。

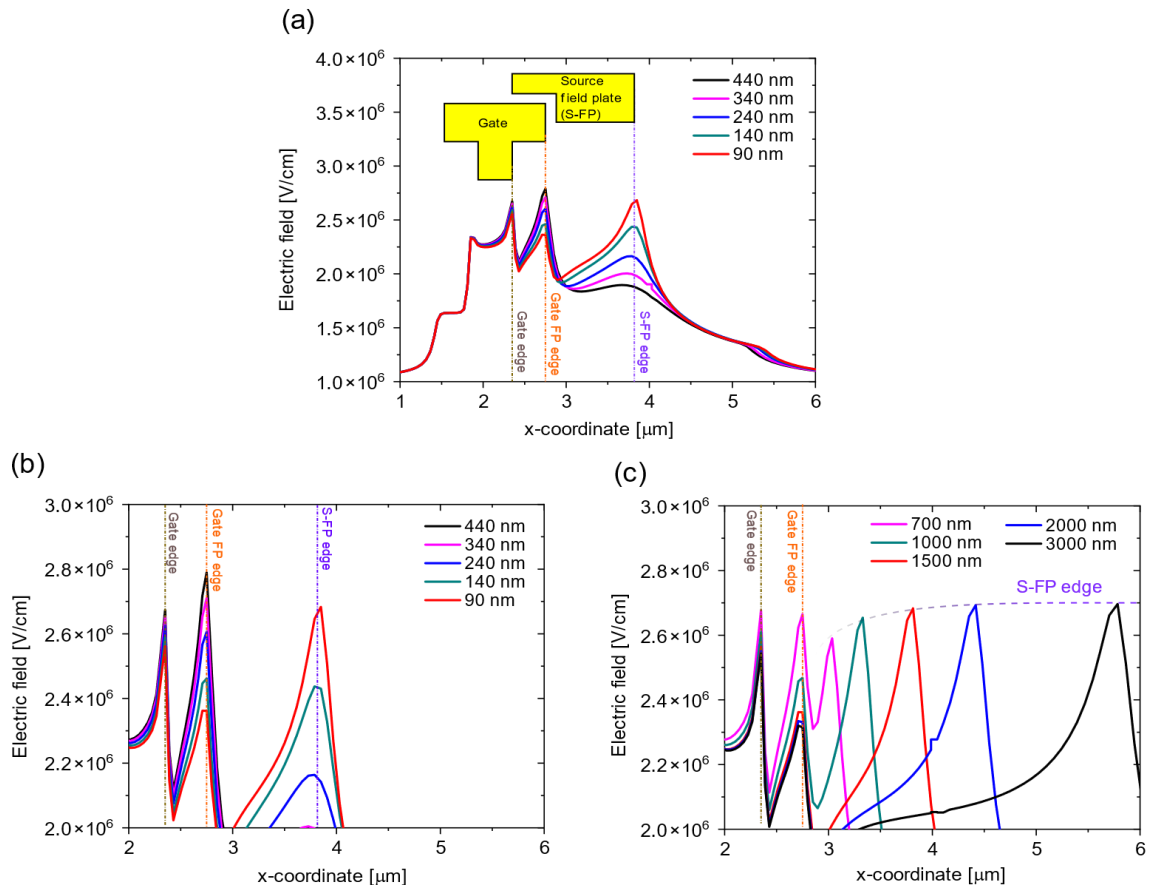


図⑤-5-10 ソースフィールドプレート構造最適化に使用したデバイス構造の模式図



図⑤-5-11 フィールドプレートない場合の耐圧で規格化した各ソースフィールドプレート高さの耐圧依存性。凡例は半導体表面からフィールドプレートまでの高さを示す。

一方で、ソースフィールドプレートを長くしていく場合、ゲートフィールドプレート端での電界強度は $0.7 \mu\text{m}$ から $1.5 \mu\text{m}$ までは低下するが、 $2 \mu\text{m}$ 以上においては大きな変化が見られなかった。対照的にソースフィールドプレート端がゲートから非常に遠くなるため、ソースフィールドプレート端の最大電界強度は高くなっており、 $2 \mu\text{m}$ 以上のソースフィールドプレート長さではゲート $0.7 \mu\text{m}$ 時のゲートフィールドプレート端での電界強度よりも高くなっており、ソースフィールドプレート端で絶縁破壊が起きるため、耐圧が低下したものであると考えられる。これらの結果から、ソースフィールドプレートを最適化することによって最大で約 15% の耐圧向上を実現できることを示した。これは、最大出力を現状からさらに 15% 向上できることを示唆しており、電界緩和構造を適切に利用することが高出力化に向けて重要と考えられる。

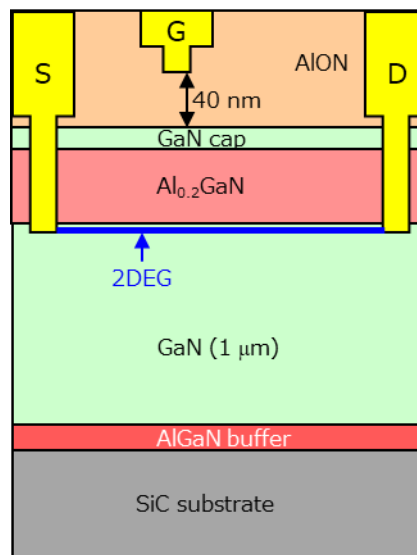


図⑤-5-12 (a) $V_{gs} = -3$ V, $V_{ds} = 100$ V時の2DEG領域の電界分布ソースフィールドプレートの高さ依存性計算結果。(b)高さおよび(c)長さ依存性計算結果の高電界領域を拡大したもの。計算構造は図⑤-5-10である。(a), (b)の凡例はフィールドプレートの半導体面からの高さ, (c)の凡例はフィールドプレート長さを示す。

3.5.6 SiN および SiN/AlON 絶縁ゲート構造 HEMT の試作

3.5.6.1 AlON 膜に対する酸素雰囲気中及び窒素雰囲気中熱処理の効果

AlO 絶縁膜の効果を検証するために使用したデバイス構造を図⑤-6-1 に示す。AlO 絶縁膜は”④高耐圧絶縁ゲート形成技術”にて検討した酸素プラズマを用いて界面処理を行った後に、一般的に用いられる SiC 基板上的 GaN HEMT へ AlO 絶縁膜を 40 nm 堆積した。AlO 絶縁膜を形成後に N₂ 雰囲気および O₂ 雰囲気において 1 分間のアニール処理を行い、その特性変化を調べた。ホール効果測定によって得られた、シート抵抗、電子移動度、2DEG 濃度を表⑤-6-1 に示す。AlGaIn/GaN-HEMT 構造を成長した直後では、結晶表面の固定電荷が少ないため 2DEG 濃度は低い ($0.60 \times 10^{13} \text{ cm}^{-2}$) が、SiN 絶縁膜堆積後では 2DEG 濃度が高くなったため、シート抵抗は大きく低下した。しかし、電子移動度が大きく低下してしまうことが観察された。今回使用したデバイスでは、AlGaIn 供給層と GaN チャネル層の間に AlN スペース層が存在しないため、合金散乱及び表面の固定電荷による電子散乱の効果がより顕著に表れる。すなわち、SiN 絶縁膜の場合は正の固定電荷が表面に形成されているため、2DEG 濃度の増加や表面固定電荷によるポテンシャルで電子の平均自由行程が短くなったことを示唆している結果となった。一方で、AlO 絶縁膜の場合は、2DEG 濃度および移動度の変化がほぼなく、電子輸送の観点から優れた絶縁膜となっていることが分かった。さらに、N₂ または O₂ 雰囲気において 600°C 1 min. の Post deposition annealing (PDA) を行うことで、移動度を維持したまま 2DEG 濃度が増加する傾向が得られた。高い耐圧を実現するためには 2DEG 濃度が低い方が望ましいが、十分なゲート-ドレイン間距離が取れている非パンチスルー型のデバイスであれば、過剰に 2DEG 濃度を減らしてしまうと、シート抵抗増加につながり最大電流値が下がってしまうため、キャリア濃度変調の観点から、SiN 絶縁膜よりもキャリア濃度が低くシート抵抗も低い N₂ または O₂ 環境下で PDA プロセスを行った AlO 絶縁膜を適用することが有用であると考えられる。

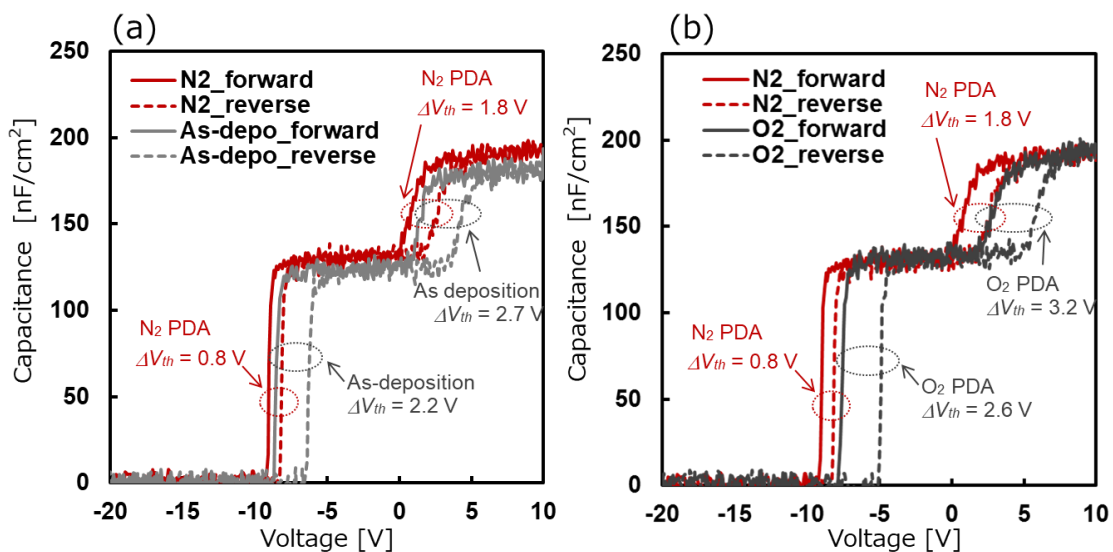


図⑤-6-1 AlO 絶縁膜の効果検証用デバイス構造

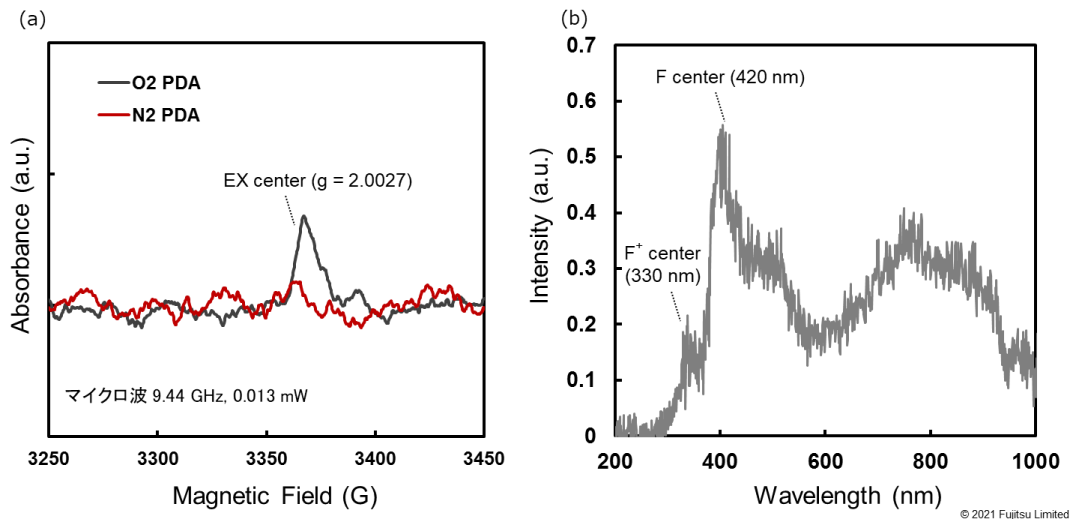
表⑤-6-1 各種絶縁膜適用後のホール効果測定結果

	As-grown	SiN	AIO	AIO + PDA (N ₂)	AIO + PDA (O ₂)
Rsh [ohm/sq.]	467	396	441	320	337
μ [cm ² /Vs]	2230	830	2180	2200	2240
N _s [cm ⁻²]	0.60x10 ¹³	1.9x10 ¹³	0.65x10 ¹³	0.89x10 ¹³	0.83x10 ¹³

N₂およびO₂環境によるPDAプロセスの変化を調べるため、各プロセス後にCV特性の取得を行った。図⑤-6-2にCV評価特性結果を示す。N₂環境によるPDAプロセス後では、表⑤-6-1で示したようにAIO絶縁膜As-depositionに対して閾値V_{th}変動が小さいことが分かる。閾値変動は2DEGが絶縁膜やGaN層のトラップに捕獲されて引き起こされるため、電流コラプスの増減の指標となる。今回の場合、PDAプロセスが600℃とGaN結晶層の成長温度よりもきわめて低いため、絶縁膜中の変化のみを考慮している。したがって、N₂環境下によるPDAプロセスはAs-depositionのAIO絶縁膜からの何らかの特性が変化した結果、低いシート抵抗と低コラプス率を実現できることを示している。一方で、図⑤-6-2(b)に示したようにO₂環境下のPDAプロセス後では、シート抵抗はN₂環境でのPDAプロセス後と同様の結果が得られたが、閾値シフトは増加している様子が観察された。このように、酸素の有無によって閾値変動に差が出ることから、AIO絶縁膜中の酸素について着目した。N₂およびO₂環境下でのPDA処理後のESR(Electron spin resonance)測定結果とカソードルミネッセンス(CL)の測定結果を図⑤-6-3に示す。O₂環境下でのPDAでは、3370 G付近にN₂環境下でのPDAでは観察されなかったピークが観察される。これは、g因子2.0027に該当し酸素欠損を示すEX centerがO₂環境下のPDAプロセスで形成されていることを示している。事実、O₂環境下でのPDAプロセス後のCL測定結果からは酸素欠損による2重のアクセプタおよび単一のアクセプタ型のトラップにより電子が束縛されていることを示すF、F⁺ Centerのピークが観察できることが分かった。つまり、O₂環境下でのPDAプロセスはAIO絶縁膜中の酸素脱離を促し、電子トラップを形成してしまうことが分かった。結果として、N₂環境下におけるPDAプロセスが低いシート抵抗とコラプス率改善の両立を実現できることを示唆している。



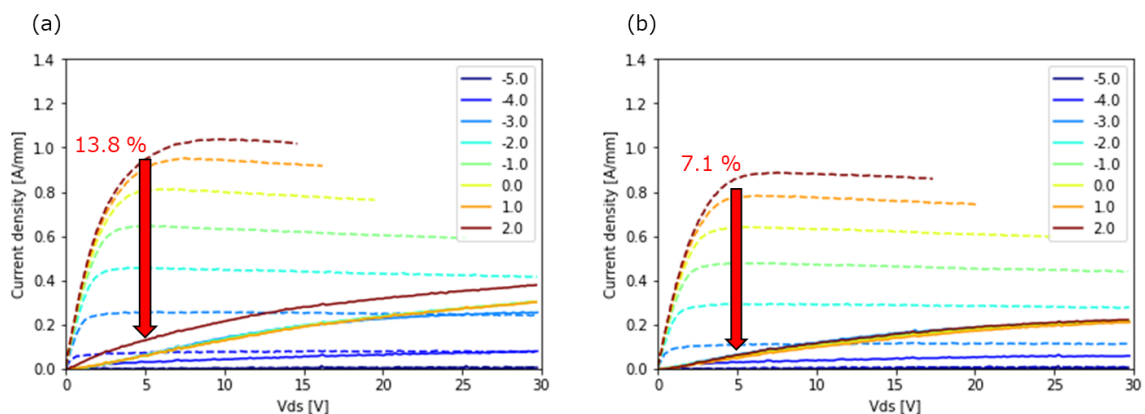
図⑤-6-2 (a) AIO as-deposition 後と N₂ 環境 PDA プロセス後の CV 特性比較、(b) N₂ 環境と O₂ 環境の PDA プロセス後の CV 特性比較



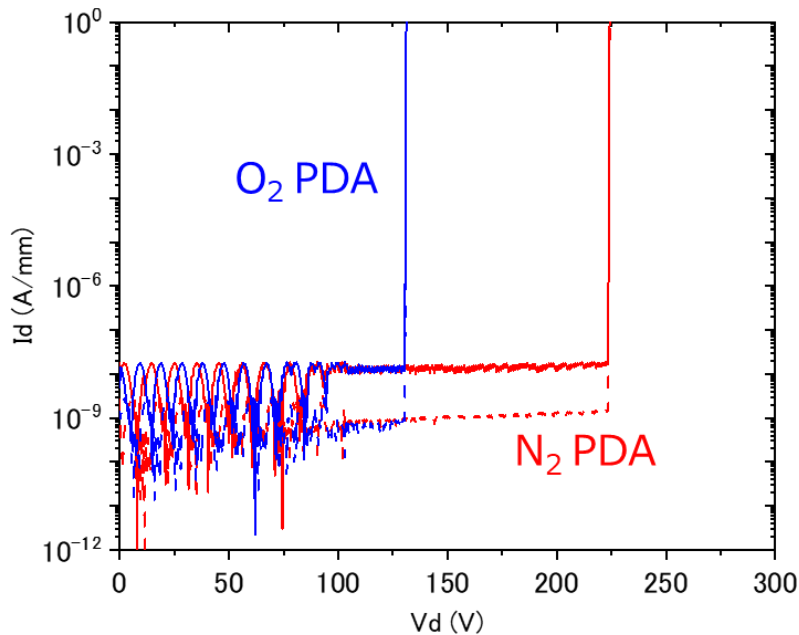
図⑤-6-3 (a) N_2 および O_2 環境下での PDA プロセス後の ESR スペクトルと (b) O_2 環境下での PDA プロセス後の CL 測定結果

実際にそれぞれの PDA プロセス後のコラプス率を評価した結果を図⑤-6-4 に示す。今回の測定では、A10 絶縁膜そのものの特性を評価するため、デバイス再表面に 40 nm の A10 絶縁膜のみが堆積されておりコラプス率をよくするために用いられる厚い SiN キャップ層は形成されていないため、コラプス率はこれまで評価していたデバイスと比較して劣化する。しかし、 N_2 、 O_2 環境下での PDA プロセス後のコラプス率は十分な優位さがみられている。これまで得られてきた、CV 特性および ESR の測定結果を反映するように N_2 環境下での PDA プロセスの方がおよそ 2 倍コラプス率が良くなっていることが分かる。さらに、それぞれの DC オフ耐圧の測定結果を図⑤-6-5 に示す。オフ耐圧の観点においても N_2 環境下での PDA プロセスが高い耐圧を実現できており優れた特性を実現できていることが分かる。これは、絶縁膜中に形成された電子トラップによりゲートドレイン間の電界分布が変化したために耐圧の変化が起きたものと考えられる。

結果として、A10 絶縁膜の特性向上のためには N_2 環境下での PDA プロセスが有用であることが分かった。



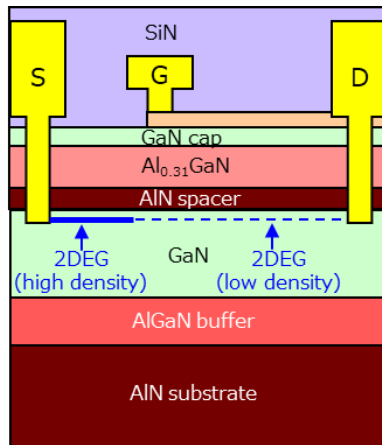
図⑤-6-4 (a) N_2 及び (b) O_2 環境下での PDA プロセス後のパルス IV 測定結果。バイアスストレスは $V_{gs} = -5\text{ V}$, $V_{ds} = 30\text{ V}$



図⑤-6-5 $V_{gs} = -5$ V でのオフ耐圧評価結果

3.5.6.2 窒素雰囲気中 PDA を行った AlON および SiN 絶縁膜によるキャリア密度変調効果

3.5.6.1 で検討した N_2 雰囲気での PDA 処理を行った AlON 膜及び SiN 絶縁膜を用いることで、GaN HEMT 中のキャリア密度変調を行った。キャリア変調を適用したデバイス構造を図⑤-6-6 に示す。ここでは、“⑩要素技術統合”でも記載するように、シート抵抗の低下により絶縁膜形成後に 800°C 程度の再成長プロセスによる熱履歴も考慮して、キャリア変調構造の適用が可能かどうかについて検討した。そのため、図⑤-6-6 の構造に加えて、 $n^+\text{GaN}$ 層を適用した場合においても SiN 単一絶縁膜と AlO/SiN 積層絶縁膜の 2DEG 濃度についてもホール効果測定を行った。表⑤-6-2 にホール効果測定の結果を示す。再成長適用前では SiN 単層絶縁膜のシート抵抗は AlO/SiN の積層絶縁膜と比較して低く、AlO/SiN 積層絶縁膜では 2DEG 濃度が SiN 単層絶縁膜と比較して低下している。これにより SiN 単層の絶縁膜を適用したソース下-ゲート間と AlO/SiN 積層絶縁膜を適用したゲート-ドレイン間でシート抵抗に 10 %以上の抵抗差をつけることを実現した。その結果、高い電流密度と高い耐圧を最適化するようなデバイス構造が実現できていることが分かる。一方で、再成長適用後においてはどちらのシート抵抗も一致していることが分かった。特に AlO/SiN の積層絶縁膜では、2DEG 濃度は再成長適用前に比べて 2DEG 濃度に変化はないものの、電子移動度が向上している様子が観察された。これは、 $n^+\text{GaN}$ の成長環境が酸素を ppm オーダーまで低減し NH_3 環境下での成長となるため、前記していたようなより高品質の PDA プロセスとなり AlO 絶縁膜の特性向上につながったためであると考えられる。その結果、SiN 単層絶縁膜を使用する利点がなくなってしまった。今後、さらなるプロセス最適化によって、再成長適用後もキャリア密度変調によるさらなる高出力化を狙うことが可能であると考えられるものの、現状では再成長プロセスを使用する場合、AlO/SiN 積層絶縁膜をソースからドレインまでの全領域にわたって使用することが望ましいことが分かった。



図⑤-6-6 GaN チャンネル層のキャリア変調を適用したデバイス構造の概念図

表⑤-6-2 核絶縁膜条件でのホール効果測定結果

	SiN single (High density)	AlO/SiN laminate (Low density)	SiN single (High density) After re-growth	AlO/SiN laminate (Low density) After re-growth
Rsh [ohm/sq.]	318	351	312	312
μ [cm ² /Vs]	1580	1610	1610	1880
N _s [cm ⁻²]	1.24x10 ¹³	1.10x10 ¹³	1.25x10 ¹³	1.11x10 ¹³

3.5.7 まとめ

平成29年度は、歪(応力)によるキャリア変調効果計算環境の構築を行った。さらに、実際にSiN、MgO、AlO絶縁膜による応力について検討した。実験結果から、SiNおよびMgOがその強い応力から、一定のキャリア変調効果を呈する可能性があるかと判断した。一方、AlOに関しては、大きな応力を得ることは難しいことが分かった。絶縁膜内部電荷によるキャリア変調に関しては、ALD製AlOを成膜した前後のR_{sh}測定結果から、AlOにより伝導帯を押し下げる効果の兆候が確認できた。

平成30年度は、固定電荷を含んだ絶縁膜の製法検討および、デバイスシミュレーションを用いた熱平衡状態でのキャリア濃度変調状態の解析することにより、前述二手法の優劣を比較評価した。検討の結果、半導体内部でのキャリア濃度変調度が局在しない、固定電荷によるキャリア変調手法を選択した。検討結果を経て、固定電荷を含む絶縁膜のキャリア濃度変調機構を明確にするために、固定電荷極性による半導体内電子輸送特性の変化を調べた。実験の結果、正の固定電荷を含んだ絶縁膜は、電子移動度を保ったままキャリア濃度を増大可能であることが分かった。また、負の固定電荷を含んだ絶縁膜は、やや電子移動度が低下するもののキャリア濃度を減少させる効果があることが分かった。デバイス試作の結果から、低屈折率絶縁膜をゲートフィールドプレート直下およびゲートドレイン間アクセス領域の一部に配置することにより、少なくともゲート電極形成直後かつ配線層間膜形成前では、ゲートリーク電流等が低減できることを実証した。また、ゲート電極ドレイン側でのキャリア濃度変調による電界集中緩和効果の影響の一つとして、電流コラプスが大幅に緩和することが実証できた。

平成31年度は、絶縁膜を用いたシート抵抗変調の効果をさらに高め、約50%程度のシート抵抗差を発現させることに成功した。しかしながら、デバイスのオフ耐圧向上は確認できなかった。この点について検討を重ねた結果、オフ状態では、ゲート空乏層がドレイン電極付近まで到達し、熱平衡状態でのキャリア濃度変調がデバイスの耐圧に対して与える影響が大きいとの結論に達した。一方、測定結果から、例えば増幅器のAB級動作における入力振幅中心付近の電圧条件(オン状態)では、耐圧の向上およびばらつき改善に効果があることが分かった。これは、増幅器

の高電圧動作に大きく貢献する。また、実施項目⑥においてセルオートマトン法により得た電界-電子速度(v - E)特性を算出し、その v - E 特性を既存デバイスシミュレータに組み込み、構造設計に反映させる手法の確認を行った。

令和2年度は、キャリア密度変調構造として厚膜 GaN キャップ及び AlON 絶縁膜を利用する構造について検討を行った。キャリア密度変調、変調後のオフ耐圧、電流コラプス現象の大きさを総合的に判断し、今後“要素技術統合向けインテグレーション(実施項目⑩)”にて技術統合を進めるキャリア変調技術として、“AlON キャリア変調構造”を選定した。さらに、実施項目⑥にて得られた v - E の計算結果を Technology CAD (TCAD)へ適用し計算を行い、低電界の移動度が通常の GaN HEMT と同程度の QW HEMT 構造を実現することで QW HEMT は従来の GaN HEMT を凌駕する高い電流を実現することが可能であることを示した。また電界緩和構造としてデバイスシミュレータを利用して S-FP 構造の検討を行い、適切な S-FP 構造の設計で電界緩和が可能であることを示した。

令和3年度は、AlO 絶縁膜について、窒素処理及び酸化処理の検討を行った結果、PDA プロセスにより特に窒素処理において、絶縁膜中の負電荷が減少することが示唆された。実際に窒素処理を行った AlO 絶縁膜をデバイスに適用することで、耐圧および電流コラプスの向上が観察された。同一デバイス上に SiN 単層領域と AlO/SiN 積層領域を作り分けることによって、シート抵抗に 10% 以上の差がつくことが確認された。しかしながら、AlO 絶縁膜の熱安定性が非常に高く、再成長プロセス時に絶縁膜の特性向上がされた結果、再成長プロセス適用時には AlO/SiN 絶縁膜のみを使用するほうが、より高いデバイス出力を実現できることが分かった。

3.6 ⑥ 電子輸送状態シミュレーション

3.6.1 はじめに

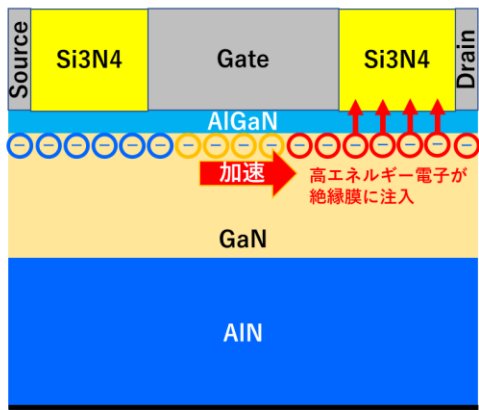
本研究は、電子の強い量子閉じ込め効果をチャネルに適用し、その特異な量子状態で発現する物理現象の究明を通じて、従来技術の延長では成し得ない次世代デバイスの創出を目指している。本項テーマは、目指すデバイスの動作原理をとらえることを可能とする、デバイスシミュレーション手法のプログラムを適用・検証し、最終的にデバイス設計の指導原理を導こうというものである。

量子閉じ込めによるバンド構造や、キャリアの加速走行と散乱をマイクロな物理に基づいて扱うボルツマン輸送方程式に立ち返り、量子井戸内の二次元電子ガスのキャリア輸送を高精度に求める必要がある。キャリアが加速された高エネルギーでの速度を正確に見積もるには、放物線エネルギーバンドやフェルミディラックのエネルギー分布の近似では不十分であり、キャリアのエネルギー分布を広範かつ高精度に求めるシミュレーション手法が不可欠である。

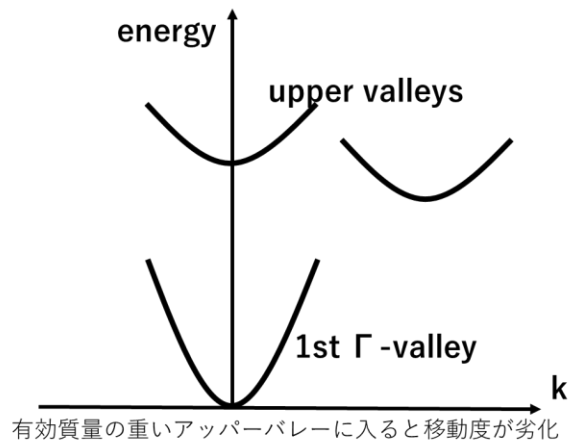
本研究のデバイスでは、高速動作によりキャリアのエネルギーが高くなり、強い量子閉じ込めによりサブバンド間のエネルギー差も広くなると想定され、扱うべきキャリアのエネルギーが広範囲に渡る。このように広範囲なエネルギーのキャリア輸送を安定して求める手法として、我々の考案した補間フラックス型セルオートマトン法[1]を採用し、量子井戸のキャリアのエネルギー準位と存在確率分布を求めるポアソン・シュレーディンガー法と組み合わせることで、そのようなキャリア輸送の高精度計算を可能にしている。

図⑥-1-1 は従来の HEMT の課題を示している。高電圧でパワーを引き出すため、電子が高エネルギーとなり、絶縁膜に注入して固定電荷となり電流が劣化する、といったデバイス信頼性上の問題や、電子が有効質量の重いアップバレーに遷移することで、移動度が劣化するという問題がある。図⑥-1-2 は本提案の基本アプローチの概念図である。高い障壁のバリアで電子を閉じ込めることによって電子の高エネルギー化を抑制し、電子のアップバレーへの遷移を抑制し、移動度劣化を防ぐ。

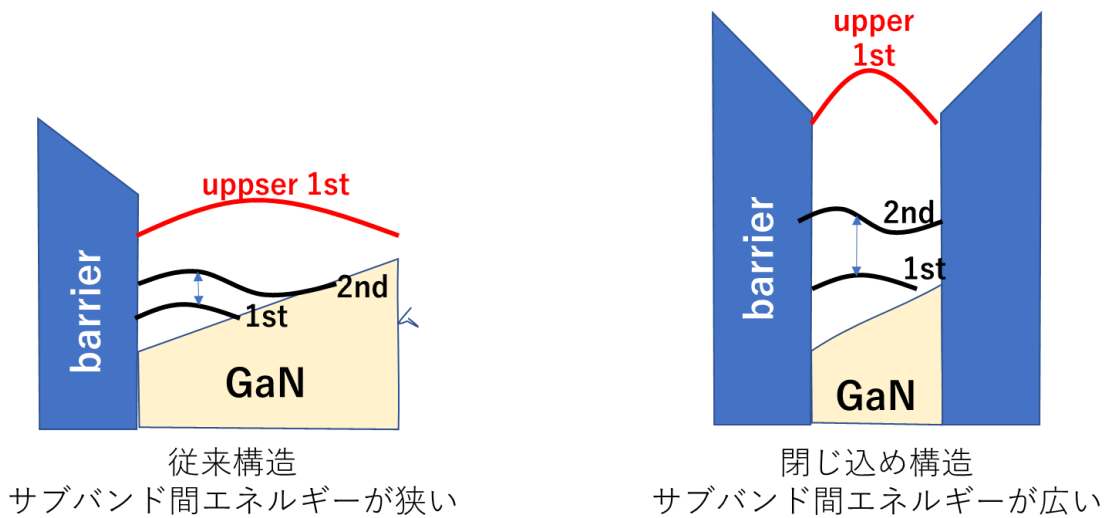
令和3年度はこれまで開発してきたポアソン・シュレーディンガー法とセルオートマトン法の連成計算プログラムを高精度化し、実験グループの試作実験で得られた移動度の傾向をよく説明できることを検証した。そのプログラムを用いて電流を向上するためのデバイス設計指針を検討し、高加速電界の高移動度を実現するために量子閉じ込めが有効であることを理論的にも検証できた。一方で低加速電界の高移動度を維持するためには、量子閉じ込めを狭くしすぎないことと、伝導帯の傾きをできるだけ平らにすることの2点が重要であることもわかった。以上の設計指導原理を実験グループのデバイス設計に反映し、開発したデバイスで高移動度が確認できた。さらに得られた移動度を TCAD に反映し、IV 特性で実デバイスとよく一致することを確認した。最後に本デバイスの発展形としてさらに移動度の高いデバイスの実現可能性も検討した。



高エネルギー電子の絶縁膜注入による電流劣化



図⑥-1-1 従来型 HEMT の課題。高エネルギー電子による信頼性劣化や移動度の低下という問題がある。



従来構造
サブバンド間エネルギーが狭い

閉じ込め構造
サブバンド間エネルギーが広い

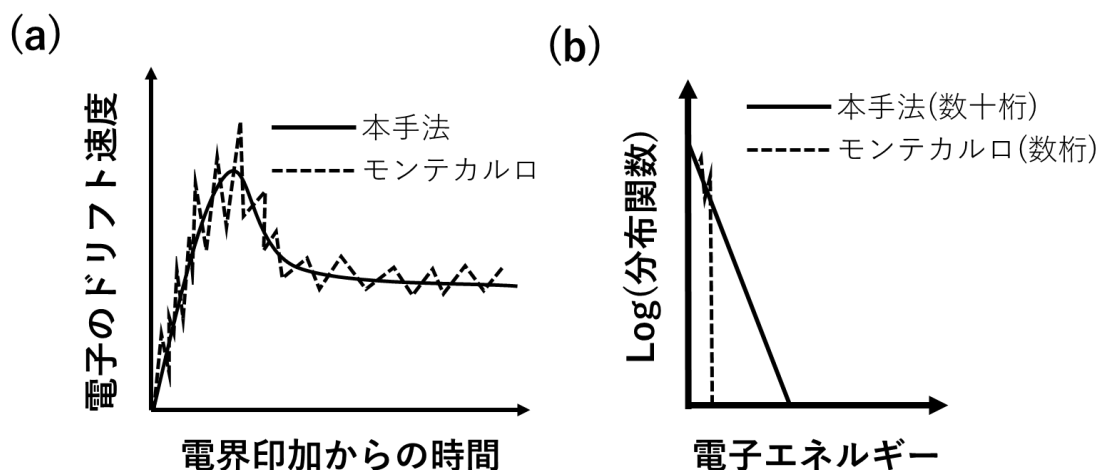
図⑥-1-2 本提案の基本アプローチの概念図

3.6.2 バルク半導体におけるキャリア輸送特性の解析

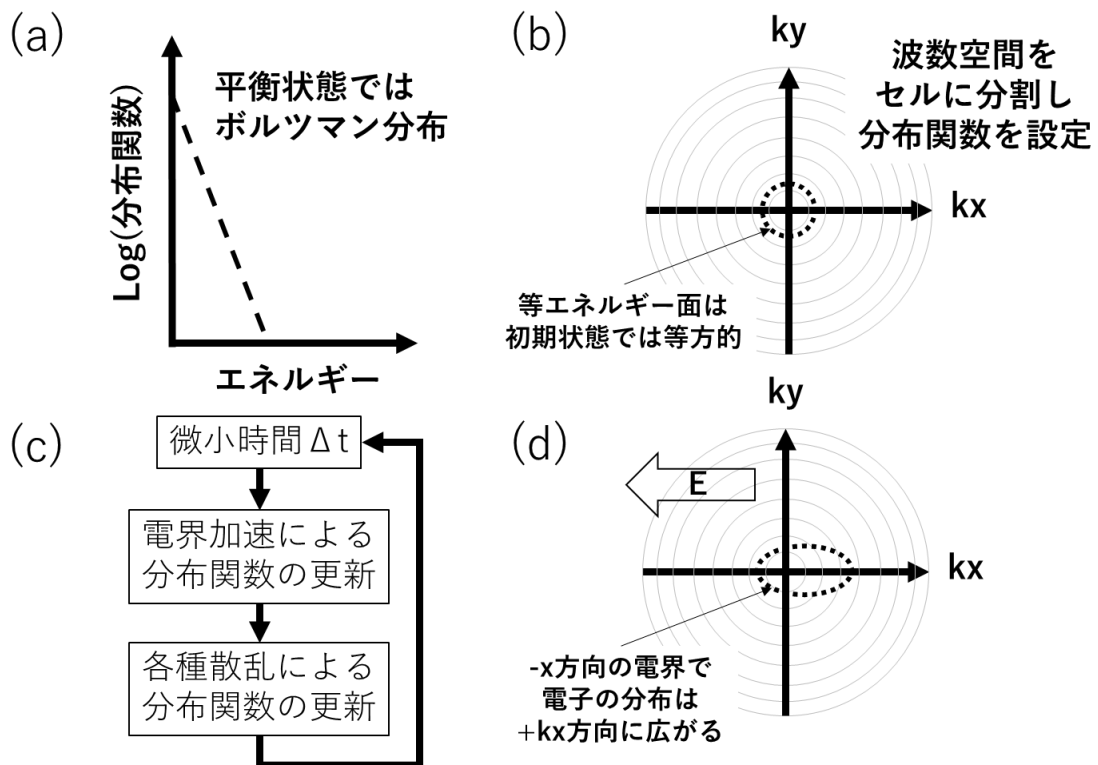
3.6.2.1 セルオートマトン法プログラムの開発

キャリアのエネルギー分布を広範囲に渡って安定して求めることが可能な手法として、補間フラックス型セルオートマトン法[1]を検討した。目指すようなキャリア輸送計算が可能かどうか、バルク半導体の v - E 特性を求めることで手法の妥当性を検証する。

図⑥-2-1 にモンテカルロ法に対する本手法の特徴を説明した。(a)は電界印加直後の電子のドリフト速度の時間変化、いわゆる速度オーバーシュート特性と呼ばれる特性である。モンテカルロ法の場合、散乱現象を乱数で扱うため、結果には常に統計的なばらつきが含まれている。このばらつきは電子を代表する粒子数 N を増やすことでは $1/\sqrt{N}$ にしか減らすことができないことが知られている。(b)はエネルギーに対する電子の存在確率、つまりエネルギー分布関数である。キャリアのエネルギーが高い電子は低い確率で存在し、衝突イオン化・絶縁膜注入などのホットキャリア現象を通じてデバイスの信頼性を劣化させる。モンテカルロ法は分布関数を数桁の範囲でしか求めることができないが、本手法は数十桁に渡って求めることができる。



図⑥-2-1 モンテカルロ法(破線)と比較した本手法(実線)の特徴。(a)は速度オーバーシュート特性と呼ばれるもの。(b)はエネルギー分布関数。モンテカルロ法はノイズに阻まれて結果の信頼性が常に問題となる。

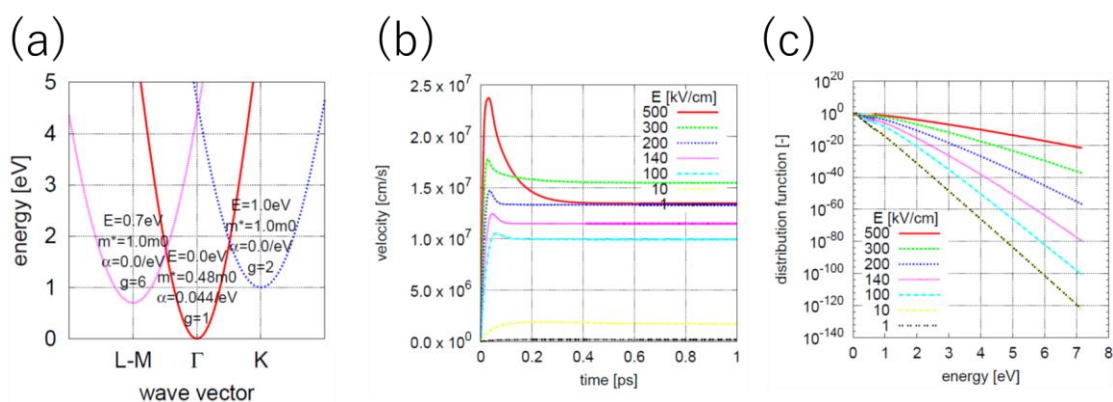


図⑥-2-2 本テーマで用いるセルオートマトン法概念図。電界のない平衡状態では電子の分布関数は(a)のようにボルツマン分布となる。この分布関数値に運動量の方向を考慮して波数空間(図は二次元だが実際は三次元)を分割したセルに設定する(b)。初期状態では等分布関数面は等方的になる。セルに割り当てられた分布関数値は(c)のように微小時間ごとに周囲の電界による加速や散乱によって、再分配される。この更新を繰り返していき、ある電界に対する定常分布が求まる(d)。例えば $-x$ の方向に電界がかかっていたら、電子は正方向に加速され、分布関数の等値面は $+x$ 方向に広がる。

図⑥-2-2に補間フラックス型セルオートマトン法概念図を示す。電界のない平衡状態では電子のエネルギー分布は(a)のようなボルツマン分布となる。このエネルギー分布関数値を運動量の方向を考慮し、3次元の波数空間を分割したセルに設定する(b)。このとき分布の等値面は等方的となり、電子のドリフト速度は0となる。各セルの分布値は、細かい時間ステップ Δt 後に、電界による加速・各種散乱(音響フォノン、光学フォノン、不純物イオン)によって、別のセルに再分配される。この処理を繰り返し行うことで分布関数は時間を追って変化していく(c)。電界を $-x$ 方向に印加した場合、電子は正方向に加速され、等値面は(d)のように $+x$ 方向に広がり、ドリフト速度が $+x$ に向かうと同時に、高エネルギーのキャリアが増加する。この分布関数の更新で、 k 空間メッシュによって対数補間型のフラックスを考慮することで、 k 空間メッシュの削減と、広エネルギー範囲で安定した解が得られる。与えられた電界に対し、十分な時間になるまで Δt のループを回すことで、平衡状態のキャリアエネルギー分布が求まる。

この手法によって求めたバルクAINのキャリア輸送計算の結果を図⑥-2-3に示す。このときAINエネルギーバンドは伝導帯の低いエネルギーから3つのバンドを考慮した(a)。(b)は電界を印加してからのキャリア速度の変動を、様々な電界強度で計算した結果である。ここでフォノン等の材料パラメータは文献[2]の値を用いた。モンテカルロ法で計算した場合、低電界のキャリア速度はノイズが目立ち不安定な結果となるが、本手法によれば図のように電界強度によらず安定したキャリア速度を求めることができる。(c)はエネルギー分布の電界依存性である。このように

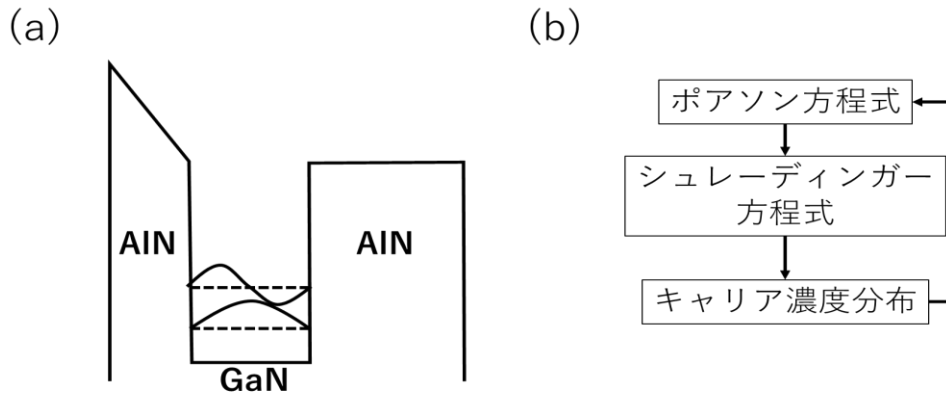
本手法を用いることで広範囲に渡る電子のエネルギー分布が安定して求まる。一般的なモンテカルロで用いる粒子数としては多めの 100 万個を用いたとしても、乱数を用いた統計的な計算のため、分布関数は 3~4 桁しか求めることができない。それに対し本手法は数十桁に渡る広範なエネルギー分布を安定して求めることが可能である。



図⑥-2-3 フラックス補間型セルオートマトン法による AlN の電子輸送特性の計算例。(a) 想定したエネルギーバンド、エネルギーが低い方から 3 つの伝導帯を考慮した。(b) はキャリア速度の時間依存であり、高電界ではいわゆる速度オーバーシュートが見られている。(c) はキャリアのエネルギー分布であり高エネルギー状態まで広範囲に渡って安定した解が得られている。バルクに対する v-E 特性が安定して得られることが検証できた。

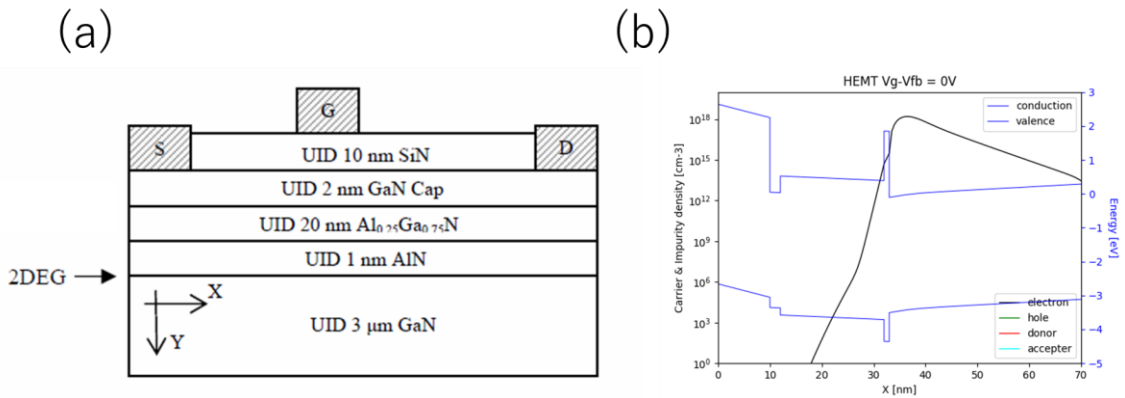
3.6.2.2 2次元量子サブバンドプログラムの開発

本テーマが目指すデバイスのキャリア輸送の解析に重要なのは GaN や AlN を層状に重ねた際にできる 2次元量子サブバンド構造を得ることである。これにはポアソン方程式とシュレーディンガー方程式を自己無撞着に解く、いわゆるポアソン・シュレーディンガーソルバーが必要である。図⑥-2-4 に本手法の概念図を示す。図中左の (a) は層構造を横にとった場合の伝導帯エネルギーの例を示す。この場合 AlN 層に挟まれた GaN 層に量子サブバンドが発生し、キャリアは図の奥行方向にこのサブバンドを通して輸送される。したがって任意の層構造に対してサブバンドを求めるプログラムを開発する必要があった。図中右の (b) は計算アルゴリズムで、ポアソン方程式から (a) のような伝導帯の一次元プロファイルを求め、シュレーディンガー方程式により波動関数を求め、波動関数からキャリア濃度分布を求める。これを再びポアソン方程式にフィードバックし、自己無撞着な解が得られるまでこのループを繰り返す。



図⑥-2-4 ポアソン・シュレーディンガー法の概念図。左図(a)は層構造が作る量子井戸とサブバンドの概念を表す。右図(b)はポアソン・シュレーディンガー法の自己無撞着ループを簡便に説明したもの。

図⑥-2-5 はポアソン・シュレーディンガー法のプログラムを用いた計算例である。図中左の(a)は想定した層構造、右の(b)はフラットバンドになる電圧条件でのキャリア濃度分布を求めた例である。量子効果を反映して障壁から離れた位置に電子濃度のピークが出ていることがわかる。本計算により層構造に対するサブバンドの計算が可能なることを検証できた。



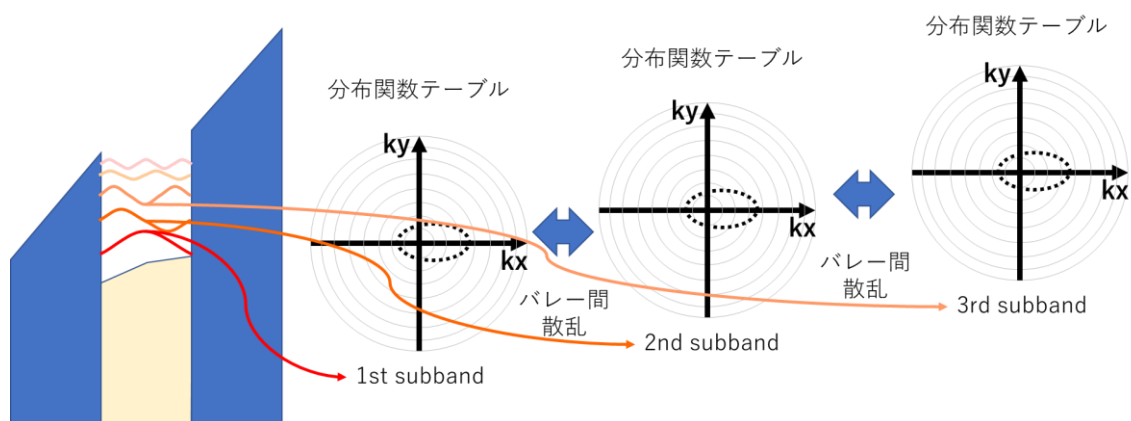
図⑥-2-5 ポアソン・シュレーディンガー法の計算例、(a)は想定した層構造、(b)は伝導帯と価電子帯及び求めた電子濃度。障壁界面から離れた箇所にキャリア濃度のピークが出ている。また障壁内にもキャリアの染み出しが見られる。

本プログラムは平成30年度にセルオートマトン法によるキャリア輸送プログラムと融合していくことで、量子構造での計算技術を確認していく。平成29年度はその準備としてポアソン・シュレーディンガー法の計算環境を整え、動作確認を行った。

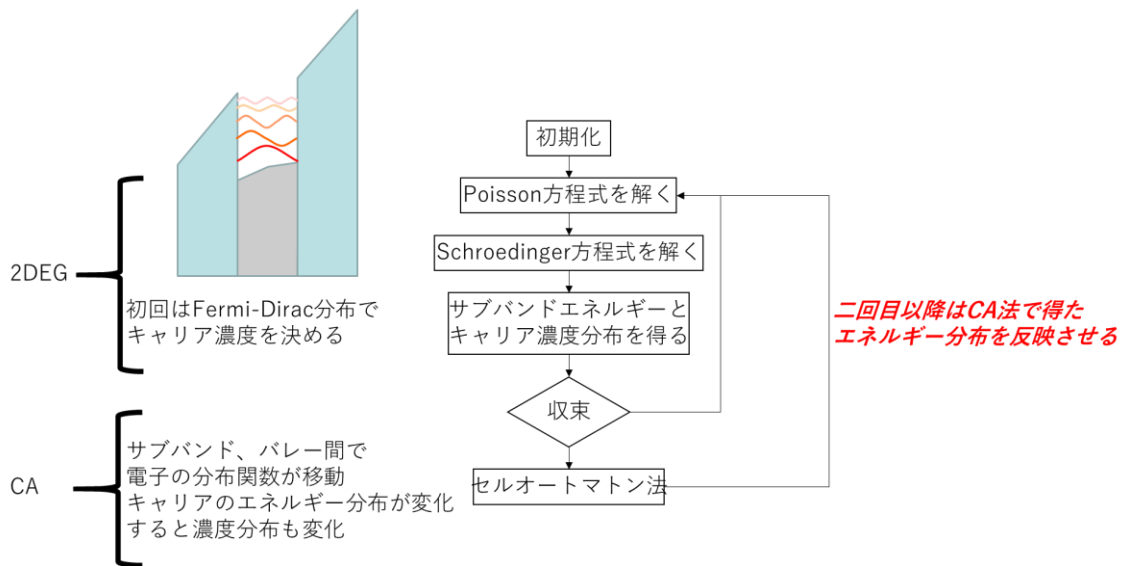
3.6.3 二次元電子ガスの電子輸送解析

3.6.3.1 量子井戸でのセルオートマトン法プログラムの開発

平成29年度に開発した量子井戸状態を計算するためのポアソン・シュレーディンガー法シミュレータと、電子のエネルギー分布を広範かつ高精度に安定して求めることが可能な手法として補間フラックス型セルオートマトン法の連成計算を実現し、量子サブバンドの電子輸送特性のシミュレーションを実現した。ポアソン・シュレーディンガー法で求めた量子サブバンド上の電子のエネルギー分布は、チャンネル方向の電界が強い場合に室温のフェルミディラック分布から、高エネルギーに広がる。高エネルギーに広がった電子は高いエネルギーのサブバンドに遷移することで、チャンネル垂直方向の位置の広がりも変化する。これは量子閉じ込め方向の電子濃度が変化することを意味しており、その影響を考慮して再度ポアソン・シュレーディンガー法の計算が必要となる。本プログラムはセルオートマトン法によって安定した濃度分布が求まるため、高精度な自己無撞着計算を可能とした。図⑥-3-1に本シミュレーションの概念図を、図⑥-3-2に本シミュレータの自己無撞着計算のアルゴリズムを示す。



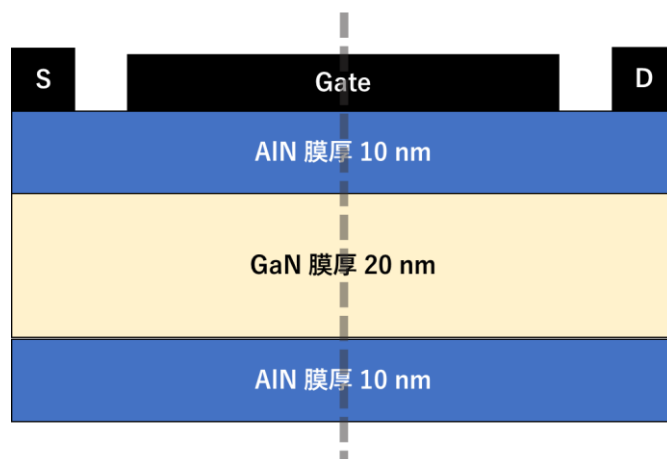
図⑥-3-1 開発したシミュレータの概念図。ポアソン・シュレーディンガー法で求めた量子サブバンド(左)のサブバンド毎にチャンネル方向の電子の輸送特性をセルオートマトン法によって求める(右)。本手法によりサブバンド毎の電子エネルギー分布が高精度に求まる。



図⑥-3-2 開発したシミュレータの自己無撞着計算アルゴリズム。セルオートマトン法によって濃度分布が広がった影響を、ポアソン・シュレーディンガー法にフィードバックし、自己無撞着な解を求める。

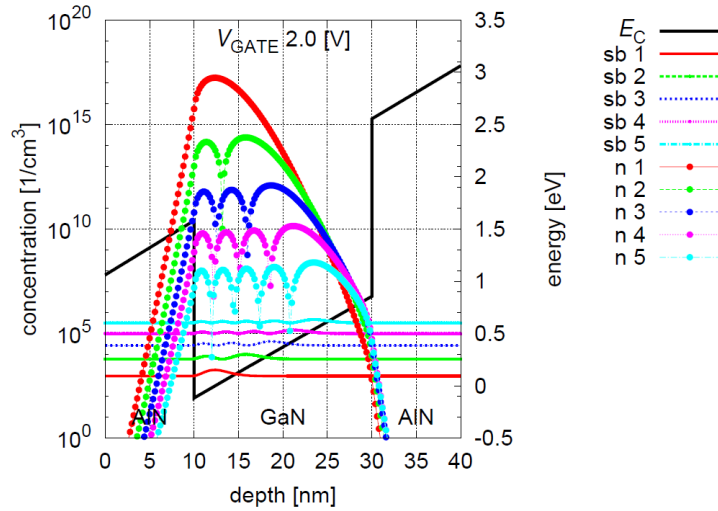
プログラムの検証は移動度実測値が報告されているシリコンの MOSFET の移動度によって行なった。p 型基板濃度 $2 \times 10^{16} \text{cm}^{-3}$ 、で面密度 $1.8 \times 10^{12} \text{cm}^{-2}$ の反転状態で文献値 [3] に近い $470 \text{cm}^2/\text{Vsec}$ の移動度が得られ、本プログラムの妥当性が確認できた。

次にプロジェクトのターゲットである HEMT デバイスの概略図を図⑥-3-3 に示す。ソース S から上層の窒化アルミニウム AlN の電荷供給層を通り、窒化ガリウム GaN 層に構築される二次元電子ガス 2DEG を通り、ドレインに電流が流れる。本シミュレータは 2DEG の電子輸送状態を得るため、破線の一次元垂直方向の電子量をポアソン・シュレーディンガー法によって計算し、そこに水平方向に電界を与えた場合の電子の速度やエネルギー分布をセルオートマトン法によって求める。



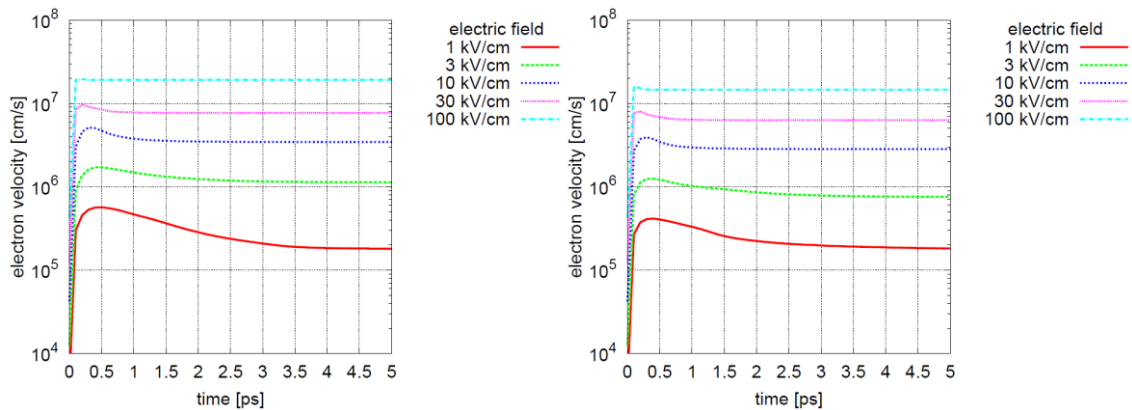
図⑥-3-3 シミュレーションを行う HEMT のデバイス構造概略図

ゲートに2 Vの電圧をかけた場合の物理量を図⑥-3-4に示す。黒の実線は伝導帯エネルギーであり量子井戸を示している。マークは各サブバンドの電子濃度、線はサブバンドのエネルギー位置に存在確率を示したものである。この例の場合、ほとんどの電子が第一サブバンドに所属し、第一サブバンドのキャリア輸送がデバイス特性を支配する。



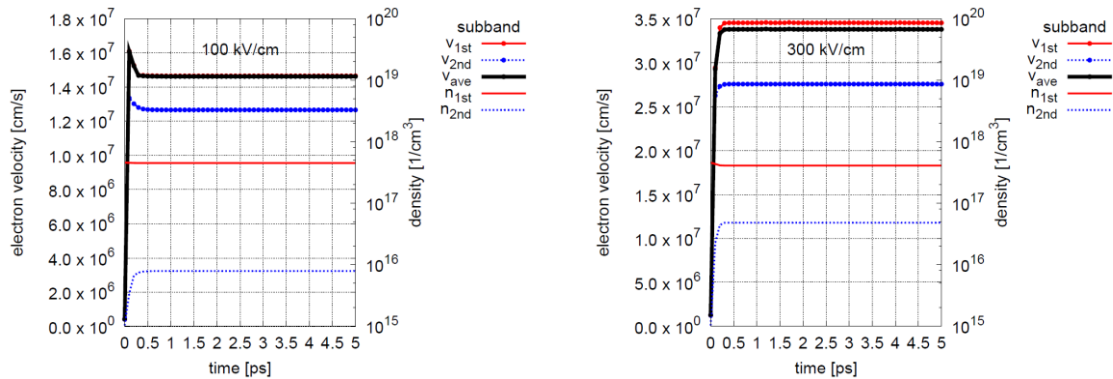
図⑥-3-4 ポアソン・シュレーディンガー法が求めたサブバンドと電子濃度分布

求められたサブバンドの電子にソース・ドレイン方向の水平電界が及ぼすキャリア輸送をセルオートマトン法によって求める。図⑥-3-4に示した例では第一サブバンドにほとんどの電子が存在するため、キャリア輸送は第一サブバンドが支配する。図⑥-3-5の左図は水平電界が印加された場合の、電子速度の経時変化を第一サブバンドのみで求めた結果である。電界が弱い場合、電子速度は長い時間オーバーシュートし低い速度に落ち着く。電界が強い場合オーバーシュートは短い時間となるが、これはバルク電子の傾向と同様である。第一・第二サブバンドを考慮した場合の結果であり、大きな差はないが電子速度が低下している。これはサブバンド間散乱の影響によるものであり、第一サブバンドのみでの検討は速度を過大評価することを示唆しているが、2DEGの形成が速度を下げているわけではない。



図⑥-3-5 各横方向電界に対する電子速度の時間依存
左はサブバンド一つのみを考慮した場合、右は二つ考慮した場合である。
大きな差はないものの、二つ考慮すると僅かに電子速度が低下している。

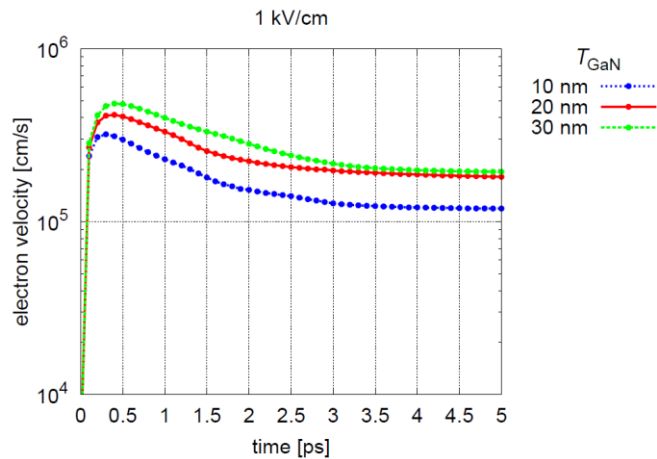
図⑥-3-6 は印加電界が 100 kV/cm (左)、300 kV/cm (右) の場合の電子速度である。100 kV/cm では第一サブバンドの割合が多くその速度が平均速度と一致、300 kV/cm では電子がエネルギーを得て第二サブバンドの割合が増加、平均速度に影響を与えた。



図⑥-3-6 電界 100 kV/cm(左)と 300 kV/cm(右)のサブバンドの平均電子速度への影響

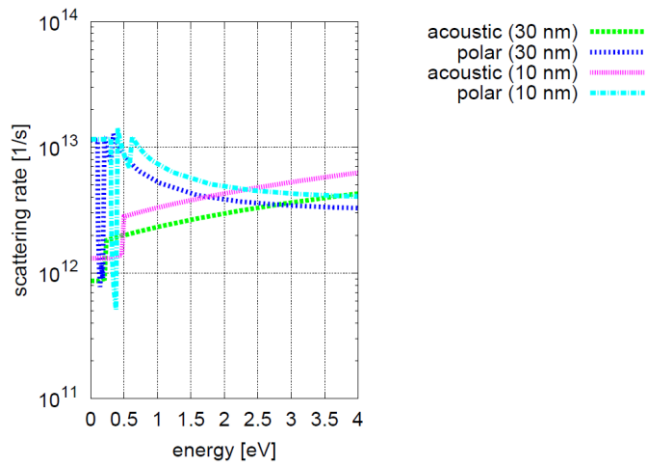
3.6.3.2 デバイス構造の影響

本プロジェクトでは HEMT の構造設計によって特性がどう変化するのが重要な研究課題である。その一例として電子速度の GaN 層の膜厚依存性を図⑥-3-7 に示す。20 nm のケースはゲート電圧を 2 V に設定し、他のケースはゲート電圧を調整して電子濃度を同レベルにして比較した。電子の速度は膜厚が薄くなると減少している。キャリアが狭い領域に閉じ込められた場合、2DEG 内電子が受けるフォノン散乱が増加することがその原因と考えられる。



図⑥-3-7 GaN 層の膜厚 10, 20, 30 nm の場合の電子の速度
ゲート電圧を調整して電子濃度を揃えて比較したもの。

図⑥-3-8 は二次元電子ガスの音響フォノンと極性光学フォノンによる散乱頻度を GaN 膜厚 10 nm、30 nm に対してプロットしたものである。狭い領域ではフォノン散乱の始状態と終状態の状態密度が増加するため散乱頻度が増加する。これが図⑥-3-7 で速度が変化した理由と考えられる。

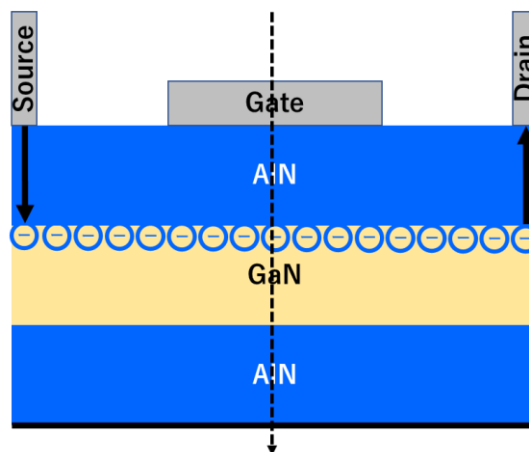


図⑥-3-8 GaN層膜厚 10, 30 nm での電子のフォノン散乱頻度

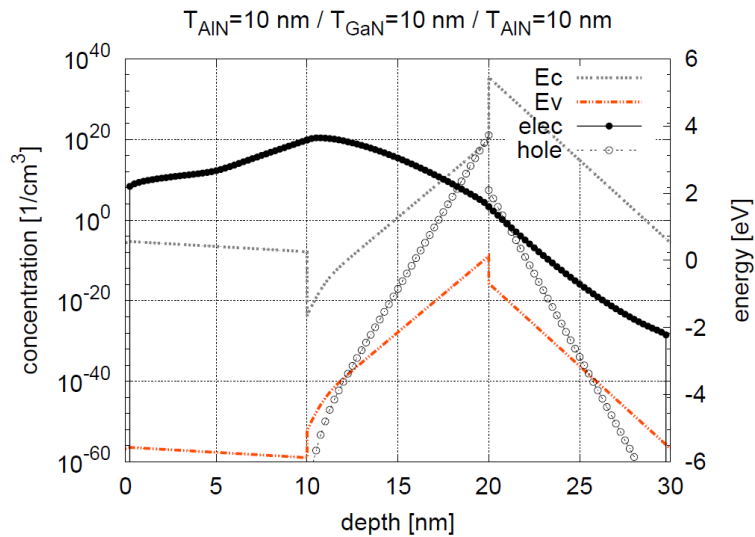
3.6.4 分極電荷を考慮した二次元電子ガスの電子輸送解析

3.6.4.1 量子井戸電子輸送の HEMT 層構造依存の検討

平成 31 年度はこのプログラムを用いて目指すべき層構造の検討を行った。検討の基準とした AlN/GaN/AlN を 10/10/10 nm とした三層構造を図⑥-4-1 に示す。ここでこれまでの実験グループで得た知見として、層構造の格子不整合歪がもたらす界面電荷を取り込んで検討を行った図⑥-4-2 はシミュレーションで得られたエネルギーバンドと電子・正孔濃度の一例である。ここで問題となるのは GaN 層の表面に誘起された電子よりも、裏面側に誘起される正孔濃度が大きいことである。この正孔は電子と GaN 層でわずかな距離しか離れていないため、ソース・ドレイン電極から接続して電流に寄与してしまう。正孔の速度は遅いため、この状態では高性能のデバイスは期待できない。正孔濃度が高くなってしまう原因は層構造によって誘起された裏面の界面電荷である。

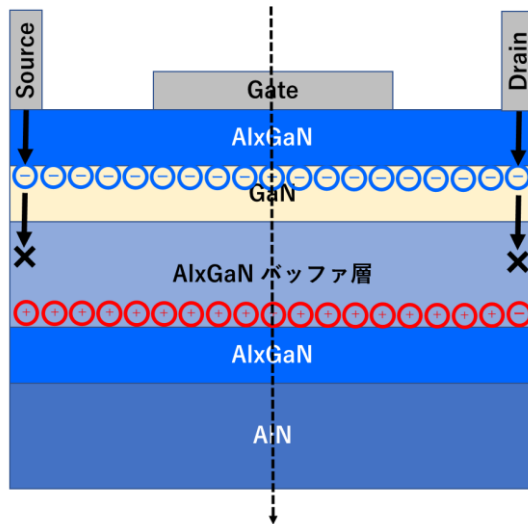


図⑥-4-1 デバイス層構造検討の基準構造
膜厚は AlN 10 nm/GaN 10 nm/AlN 10 nm で破線に沿う一次元シミュレーションを行う。

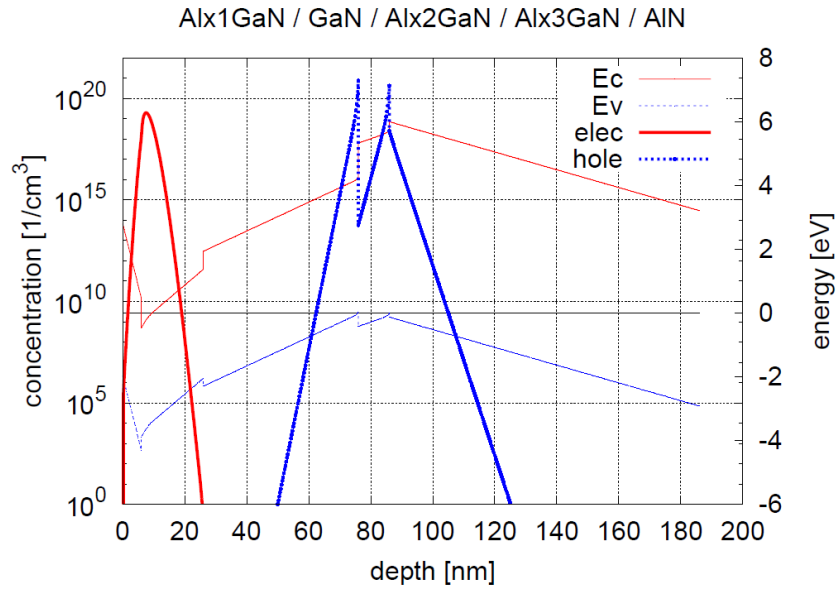


図⑥-4-2 三層構造のエネルギーバンドと電子、正孔濃度
裏面側(depth 20 nm)に高い正孔濃度が発生している。

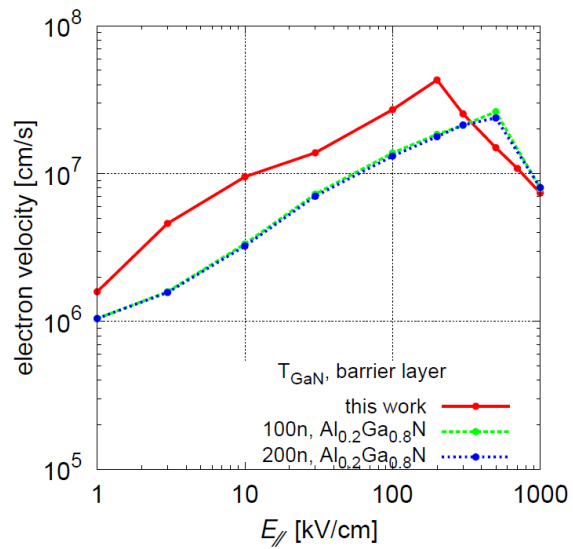
図⑥-4-3 の層構造を検討した。そのシミュレーション結果を図⑥-4-4 に示す。正孔濃度は高いものの、GaN チャンネルからかなり離れた深い位置にピークを持つため、図⑥-4-3 に示すようにソース・ドレインと接続せず、正孔が性能に影響しないことが期待できる。この例のように平成31年度はより現実に近い界面電荷の影響を取り込み、正孔に影響しない層構造などのデバイス設計指針を検討した。図⑥-4-5 はこのとき得られる v - E 特性を従来構造の HEMT と比較したものである。こうして得られる v - E 特性はテーマ⑤で用いる従来型デバイスシミュレータに渡せる仕組みをすでに構築しており、デバイス設計に反映することが可能である。



図⑥-4-3 新構造概略図



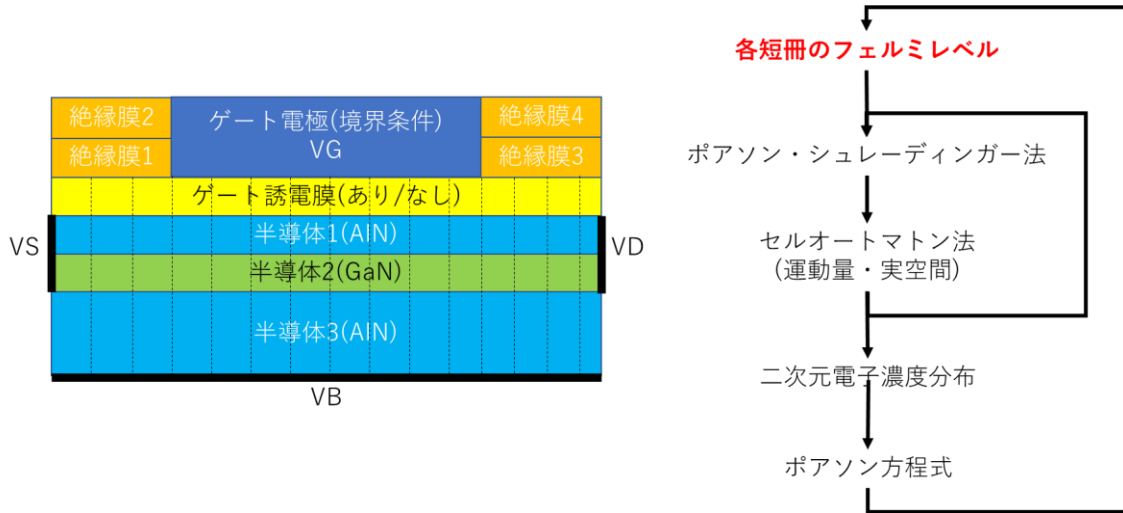
図⑥-4-4 新構造でのエネルギーバンドと電子・正孔濃度



図⑥-4-5 新構造の v-E カーブと従来構造の比較

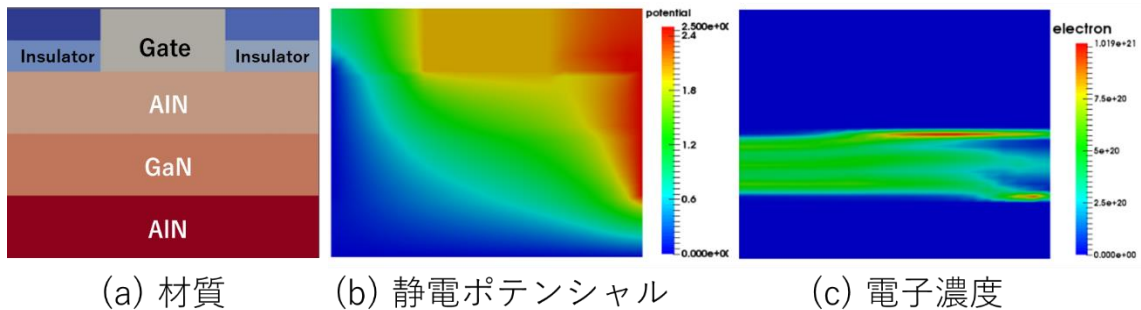
3.6.4.2 二次元シミュレーションの検討

前節の一次元シミュレーションの結果は従来法デバイスシミュレータに v - E カーブを渡すことでデバイス設計に反映させるが、量子化などを正確に取り入れた場合と、従来法のデバイスシミュレータとの差異が影響する可能性がある。開発した一次元のシミュレータを二次元化して大きな課題があるかどうかを検討することとした。図⑥-4-6 は二次元プログラムの概念図である。一次元断面のシュレーディンガー法を破線のように短冊状に並べ、ポアソン方程式は二次元で解くことでソースからドレインに至るまでの各箇所での物理動作を求めることが可能である。



図⑥-4-6 二次元シミュレータの概念図

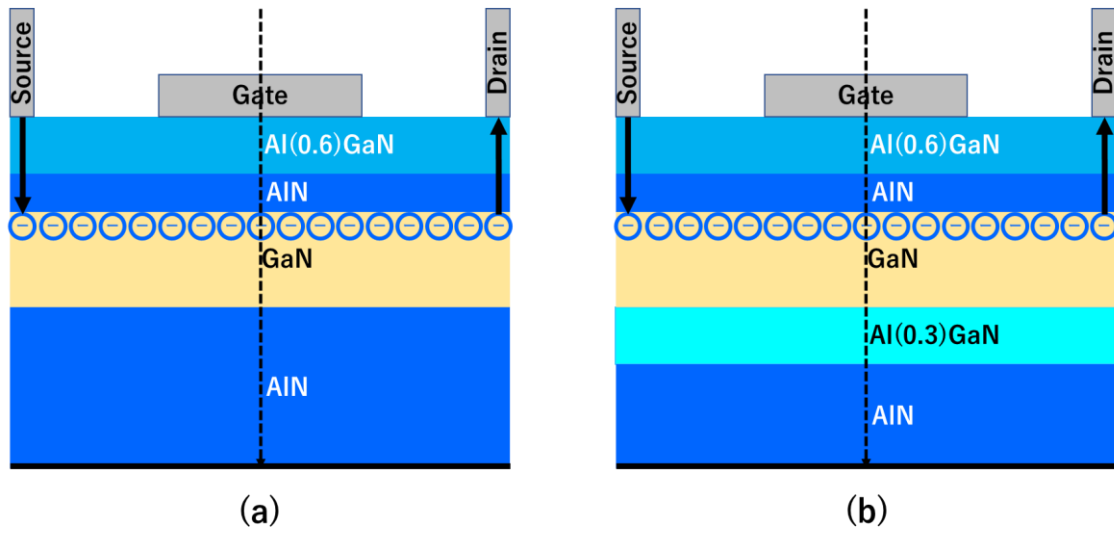
図⑥-4-7 に開発した二次元シミュレータのシミュレーション結果を示す。(a)は用いた材質構造、(b)はゲートに 2V、ドレインに 2.5V を印加した時の静電ポテンシャル分布、(c)はそのときの電子濃度分布である。ソース側とドレイン側では量子閉じ込め効果が異なるため、電子濃度がソースからドレインに向けて変化する様子がわかる。ソース側はゲートに向かって電子が表面方向に寄る。ゲートからドレインに向かっては電子が 3 つのピークに分かれて伝導している。この 3 つのピークは 3 つの量子サブバンドの影響によるものである。このような現象が実際のデバイス特性に与える影響については、シミュレーション同士で内部物理量の比較によって検討する。



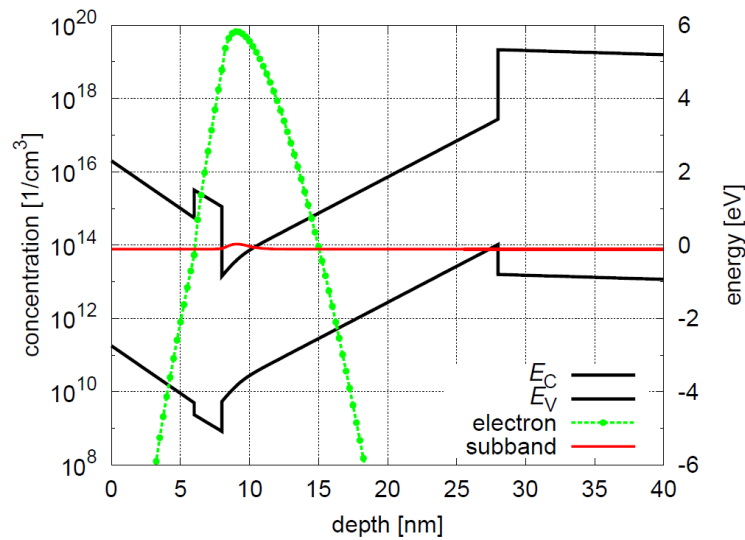
図⑥-4-7 二次元シミュレーションの計算結果例
(ゲートに 2V、ドレインに 2.5 V を印加)

3.6.5 AlGaNバッファ層を導入したHEMT構造の電子輸送解析

令和2年度は開発したプログラムを用いて、実験で用いたデバイス層構造の検討を行った。図⑥-5-1(a)はAlNで直接GaN層を挟んだ構造、図⑥-5-1(b)はGaNの裏面にAl(0.3)GaNバッファ層を適用した構造である。図⑥-5-2は構造(a)についてポアソン・シュレーディンガーシミュレーションで得られたエネルギーバンドと第一サブバンドエネルギー位置、電子濃度の一例である。このように本手法は広範に渡る電子濃度の精度を保持した計算が可能である。深さ方向にこのような計算をしたのちに、図⑥-5-1の水平チャネル方向に電界がある場合の電子の分布関数を求めることで、その電界に対する電子の速度が得られる。

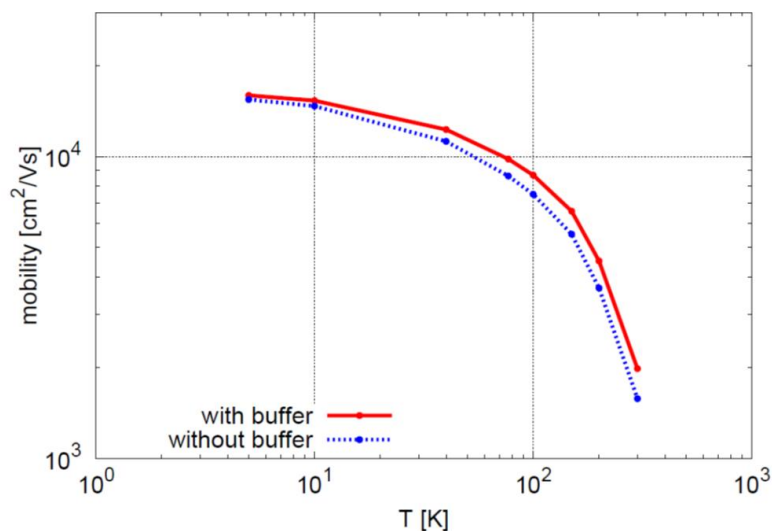


図⑥-5-1 実験で用いたデバイスの層構造（破線に沿った層構造でシミュレーションを行う）



図⑥-5-2 実験層構造(図⑥-5-1 (a))の伝導帯・価電子帯と第一サブバンド電子濃度は最大 $1 \times 10^{20} \text{ cm}^{-3}$ に達している。

図⑥-5-1 の層構造 (a) (b) の移動度の温度依存性を計算した結果を図⑥-5-3 に示す。令和 2 年度には室温から 5K の低温に至るまでの移動度を系統的に計算することが可能になった。構造 (a) はバッファ層なし、(b) はバッファ層ありであり、バッファ層がない場合は GaN 層の表面側に強く閉じ込められた波動関数によってフォノン散乱が強くなり、バッファ層のある場合は閉じ込めが弱まるため、フォノン散乱が抑制される。その差によってすべての温度範囲でバッファ層を設けることで移動度が上昇することが分かった。このことは本プロジェクトのデバイスにとって重要な設計指針である。またこの結果はホール移動度測定において温度依存性の実測値をととてもよく説明し、本シミュレーションが高精度であることの検証となった。この計算結果に関連して半導体の国際学会 SSDM2020 で発表、JJAP に論文化された[4]。

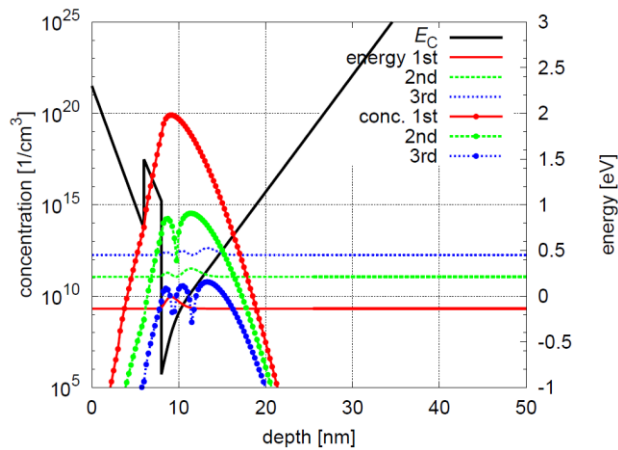


図⑥-5-3 バッファ層あり、なしの構造における移動度の温度依存性のシミュレーション結果 (加速電界 1 kV/cm)

3.6.6 量子チャネル構造の設計指導原理と v - E 特性に基づいたデバイスシミュレーション

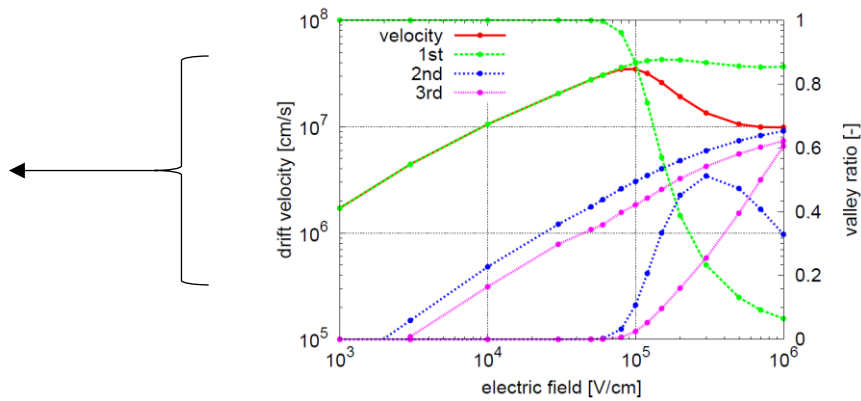
3.6.6.1 量子井戸電子輸送プログラムによるアップバレーの影響解析

図⑥-6-1 に本シミュレータで求めた量子閉じ込め状態を例示した。伝導帯(E_c)の深さ方向プロファイルに対し、サブバンド3つのエネルギー準位に存在確率を加えたものを示した。またマーク付きの線は3つのサブバンドの電子濃度を表している。このように本手法はオーダーの異なる電子輸送をシームレスに扱うことができる。



図⑥-6-1 本手法による HEMT の量子閉じ込め状態。黒線が伝導帯底のエネルギー、赤・緑・青のマーク無しの線は下から3つのサブバンドのエネルギーと電子の存在確率を足したもの(以上は右軸)、同色のマーク付き線はそのサブバンドの電子濃度プロファイル(左軸)である。濃度がオーダーで異なるサブバンドの電子輸送をシームレスに扱うことができる。

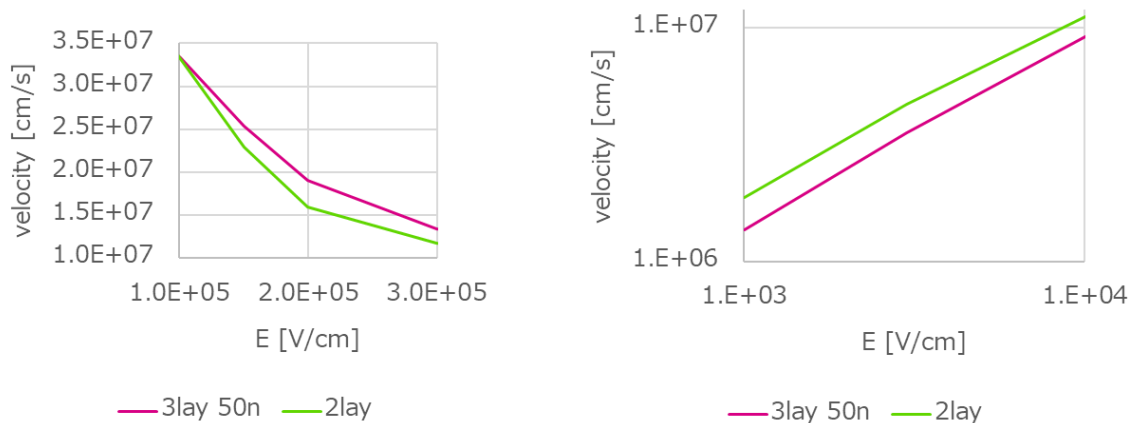
図⑥-6-2 に本手法で求めた電子速度の加速電界依存性を示す。加速電界が 100 kV/cm を越えると有効質量の重いアップバレー電子の比率が増加して移動度が低下する。本手法はこの電界依存においてもシームレスな計算が可能である。本手法によりプロジェクトのデバイス動作原理のモデル化が可能となり、デバイス設計の指導原理を導くことが可能となった。



図⑥-6-2 電子ドリフト速度の加速電界依存性。赤がドリフト速度、緑・青・桃色が 1st, 2nd, 3rd 各バレーの速度(以上左軸)、同色の右軸はバレー比率である。100 kV/cm の電界を越えると有効質量の重いアッパー(2nd, 3rd)バレーの比率が上がり、速度が下がる。

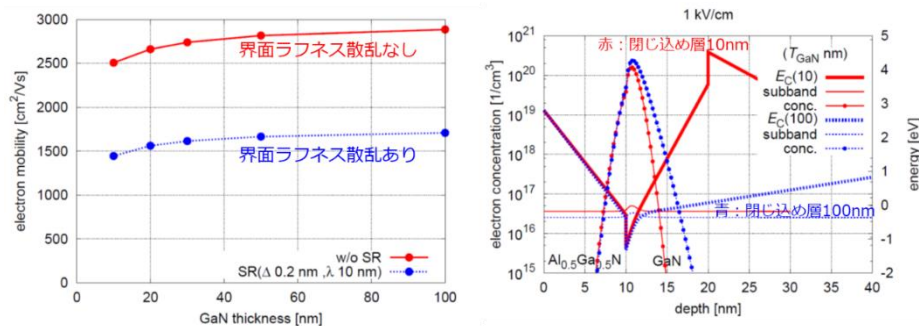
3.6.6.2 デバイス設計指針の検討

デバイス設計の指導原理を導くため様々な構造でのGaN HEMTの電子速度計算を行った。図⑥-6-3に従来型二層構造と、提案した三層構造の電子ドリフト速度を、高加速電界(左)と低加速電界(右)について示した。高電界の速度が増加する効果は理論的に検証できたが、同時に低加速電界の速度が低下してしまうことが判明した。



図⑥-6-3 従来の二層構造 HEMT(緑、2lay と記載)と、本プロジェクトで提案した三層構造(赤、3lay と記載)の高加速電界の速度(左)と低加速電界の電子速度(右) (3層構造のチャンネル厚は 50 nm)

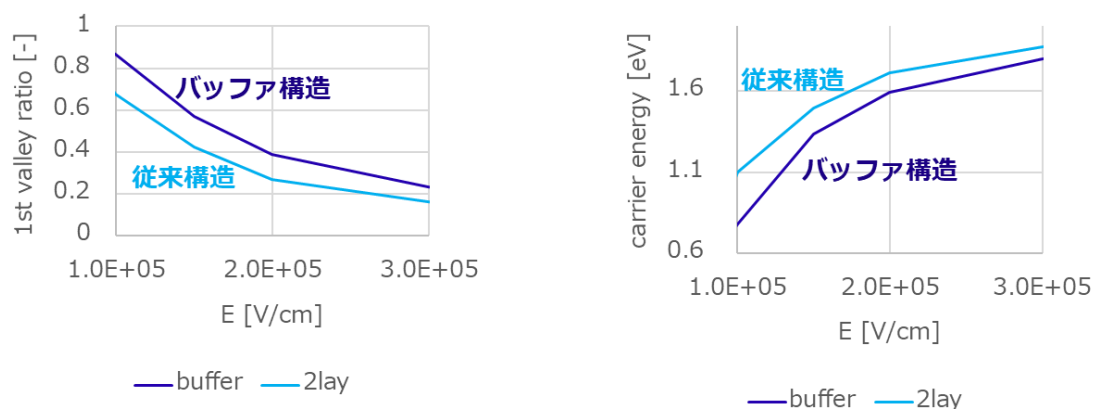
図⑥-6-4に低電界の速度が低下したメカニズムを示す。左図は低電界移動度のチャンネル膜厚依存を界面ラフネス散乱あり・なしについて計算したものである。膜厚が薄くなると移動度が低下する。この原因は右図において、一つは膜厚が薄いと電子の閉じ込め範囲が狭くなるため、フォノン散乱が増加するため、もう一つは伝導帯の傾きが急峻になると界面ラフネス散乱が増加するためである。



図⑥-6-4 ドリフト速度のチャネル層膜厚依存性(左)

界面ラフネス散乱あり、なし共に薄い膜厚で移動度が低下する。右図の赤(膜厚 10 nm)と青(膜厚 100 nm)で、膜厚が薄いと電子がより狭く閉じ込められるためフォノン散乱が増加する。また伝導帯の傾きも急峻になるためラフネス散乱も増加し、電子速度が低下する。

図⑥-6-5に従来構造とバッファ構造の高電界時の1stバレーの比率(左)と、キャリアの平均エネルギー(右)を示す。バッファ構造により、従来構造より1stバレーの占有率が向上しエネルギー上昇が抑制されている

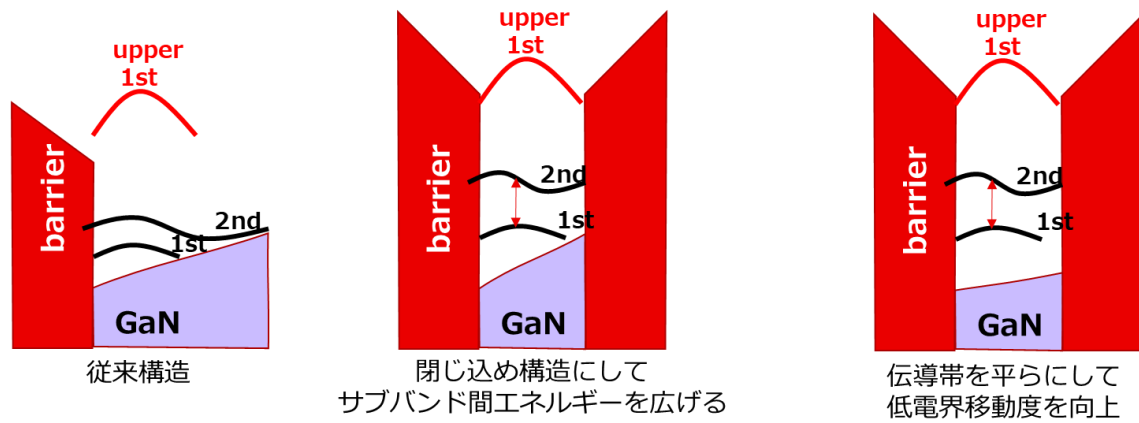


1stバレーの占有率

高電界電子のエネルギー

図⑥-6-5 従来構造と提案バッファ構造の高電界での1stバレー比率(左)と、キャリアの平均エネルギー(右)

図⑥-6-6は以上から導かれるデバイス設計の指導原理の概念図である。閉じ込め構造によりサブバンド間エネルギー差を増大させ、電子の高エネルギー化を抑制する。また伝導帯を垂直方向に平らにし、電子の散乱を抑制して低電界移動度を向上する。



図⑥-6-6 本テーマが導いたデバイス設計の指導原理の概念図

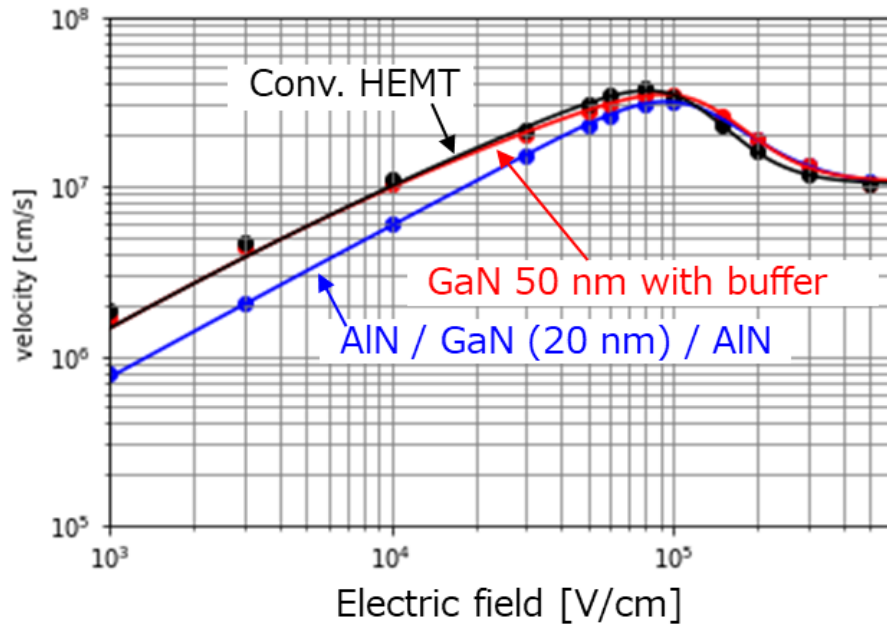
3.6.6.3 電子速度の計算結果と実デバイスとの比較

前節において、様々な構造でのGaN HEMTの電子速度計算を行った。その結果、AlN/GaN/AlNの量子井戸構造は高電界での電子速度が従来のAlGaIn/GaN構造よりも高いことが示された。一方、低電界での電子速度は従来のGaIn HEMTの方が高いことが分かった。さらに、”③量子閉じ込めチャンネル構造形成技術”において検討を行っていたAlGaInバッファ層を用いた量子井戸のGaIn HEMT構造は、低電界の電子速度は従来のGaIn HEMTに及ばないものの、AlN/GaN/AlN構造の低電界電子速度よりも劇的に改善した。また、高電界電子速度は従来のGaIn HEMTよりも高いことも計算により示された。これらの電子速度特性の変化が実際のデバイスに与える影響について検討するため、計算した電子速度をデバイスシミュレータに適用し、電気特性の影響について調査した。

得られた v - E カーブをTechnology CAD (TCAD)へ適用し計算を行うためには、 v - E カーブの定式化が必要である。高電界時の電子移動度は低電界時の移動度およびフィッティングパラメータを用いて、

$$\mu_H = \frac{\mu_L + v_{sat} \frac{E^{N_1-1}}{E_{CN}^{N_1}}}{1 + A_{nn} \left(\frac{E}{E_{CN}}\right)^{N_2} + \left(\frac{E}{E_{CN}}\right)^{N_1}} \quad (\text{式⑥-6-1})$$

と表される。ここで、 μ_L は低電界の移動度、 E は電界強度、 v_{sat} は飽和電子速度、 E_{CN} 、 N_1 、 N_2 、 A_{nn} はそれぞれフィッティングパラメータである。上記の式を用いて1 kV/cmから500 kV/cmまでの範囲において、前節までで得られた v - E 結果に対してフィッティングを行った。フィッティングの結果を図⑥-6-7及び表⑥-6-1に示す。これまで得られている通り、通常GaIn HEMTが低電界の移動度ではもっとも速度が速い。一方で、AlN/GaN/AlN構造では高電界領域で速度が速いが、低電界での電子速度が遅くなることを反映した v - E カーブの結果が得られることが確認できた。

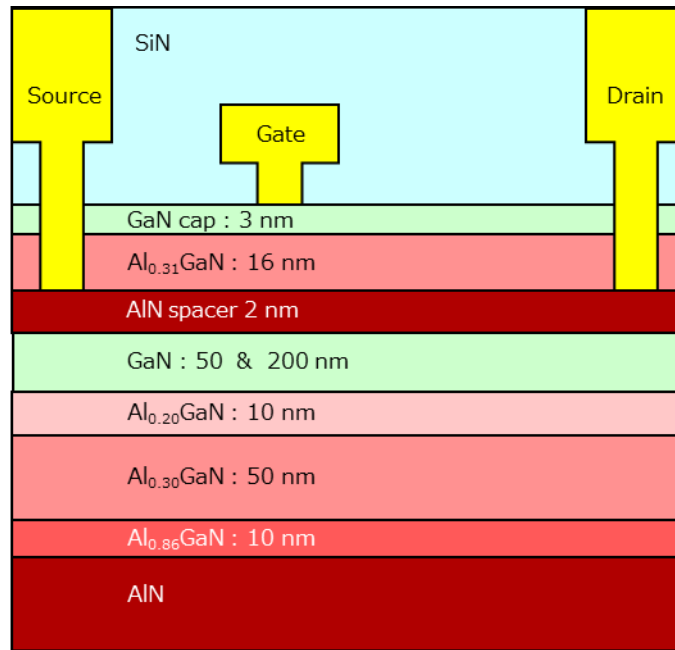


図⑥-6-7 v-Eカーブのフィッティング結果

表⑥-6-1 v-Eカーブのフィッティングパラメータ

Symbol	AlN/GaN/AlN	GaN 50 nm w/ buf.	Conv. HEMT
μ_L	1500	1500	1500
v_{sat}	1.001×10^7	1.059×10^7	1.026×10^7
N_1	3.779	4.550	4.588
N_2	0.194	0.672	0.588
E_{CN}	0.838×10^5	0.987×10^5	0.881×10^5
A_{nn}	2.375	2.598	1.930

式⑥-6-1でフィッティングしたv-Eカーブを計算に取り込み、実際のデバイスとの比較を行った。実際に作製したデバイス構造を図⑥-6-8に示す。AlN上へ”③量子閉じ込めチャンネル構成成長技術”により開発したAlGaNバッファ層を成長後、量子閉じ込め構造として50 nmのGaNチャンネル構造と通常のGaN HEMTとして200 nmのGaNチャンネル構造を採用した。図⑥-6-8で示したように、200 nmのGaNチャンネルは裏面のAlNを無視できるほど十分に厚くなるため、通常のGaN HEMTと同等のバンド図となる。この構造をTCADにも同様に取り込んだ。実際のデバイスでは、GaNチャンネルのひずみやGaN HEMT表面のラフネスによって、表面の界面電荷が異なるためキャリア濃度や移動度は理論計算値と完全には一致しない。そこで、計算に用いたデバイスパラメータとホール効果測定によって得られた、実際に作製したデバイスのパラメータを表⑥-6-2に示す。GaNチャンネル50 nmでは、理論計算で得られたように低電界の電子移動度が200 nmチャンネルと比較して遅くなっていることが分かる。さらに、GaNチャンネル後ろ側のバンドが持ち上がるため、2DEG濃度 N_s も200 nmチャンネルと比較して低くなっている。その結果、シート抵抗は200 nmチャンネルの方がわずかに低くなる。一方、TCADに取り込んだ計算では、実際にv-Eカーブの理論計算を行うために利用した $1.0 \times 10^{13} \text{ cm}^{-2}$ の N_s を利用している。 N_s が高い200 nmチャンネルの方が現実のデバイスではコンタクト抵抗が低くなっているものの、計算ではコンタクト抵抗は $1.00 \text{ } \Omega \text{ mm}$ とした。

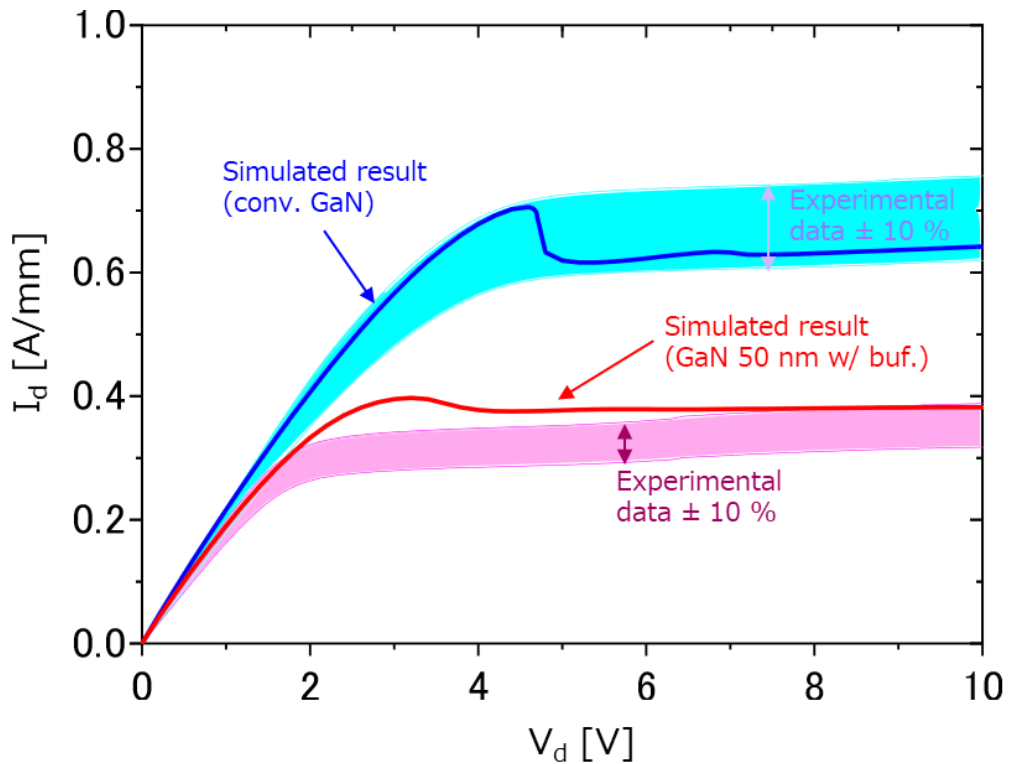


図⑥-6-8 実際に作製および計算に使用したデバイス構造

表⑥-6-2 実際のデバイスおよび計算に用いたパラメータ

構造	GaNチャネル 厚さ 50 nm	GaNチャネル 厚さ 200 nm	計算
R_{SH} [$\Omega/sq.$]	388	312	-
N_s [cm^{-2}]	0.99×10^{13}	1.07×10^{13}	1.00×10^{13}
μ [cm^2/Vs]	1620	1880	図X2
R_c [$\Omega-mm$]	1.01	0.87	1.00

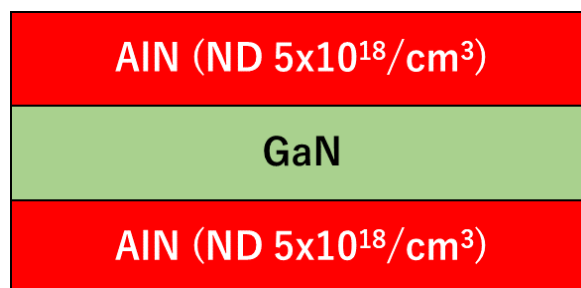
図⑥-6-9 に $V_{gs} = 0$ V での I_d - V_{ds} 特性を示す。通常の GaN HEMT では計算領域全域にわたって、実測値の $\pm 10\%$ の範囲内に計算結果が入っていることが確認できる。すなわち、今回得られた v - E カーブ及びその結果を取り入れたデバイスの計算結果は非常に正しいことを示している。Knee 電圧付近の電流値の不連続性は、今回得られた v - E 計算結果のフィッティングではピーク電子速度以降の負性微分が非常に強いため引き起こされていると考えられる。これは、 v - E カーブの計算点を増加することなどによってより正確なフィッティングを行うことで軽減できると考えられる。しかし、十分高い計算性は得られていることは確認できた。GaN チャネル厚さ 50 nm の場合、計算に使用したキャリア濃度が高いため、実際のデバイスよりもシート抵抗が低い。そのため、最大電流値は、計算結果の方がわずかに高くなってしまいが、 $V_{ds} = 10$ V では実測値の $\pm 10\%$ の範囲内に入っており、GaN チャネル厚さを変更した場合のデバイス特性の変化を明瞭に反映している。これらの結果から、デバイスの最大電流値は、高電界時の電子速度よりも低電界の電子速度をなるべく大きくすることが重要であることが分かった。つまり、GaN チャネル厚さを薄くすると、耐圧の劇的な向上がみられる一方で、電流値の低下を招いてしまうということが分かった。



図⑥-6-9 I_d - V_{ds} 特性。実線が計算結果、帯が実測値 $\pm 10\%$ を示す。

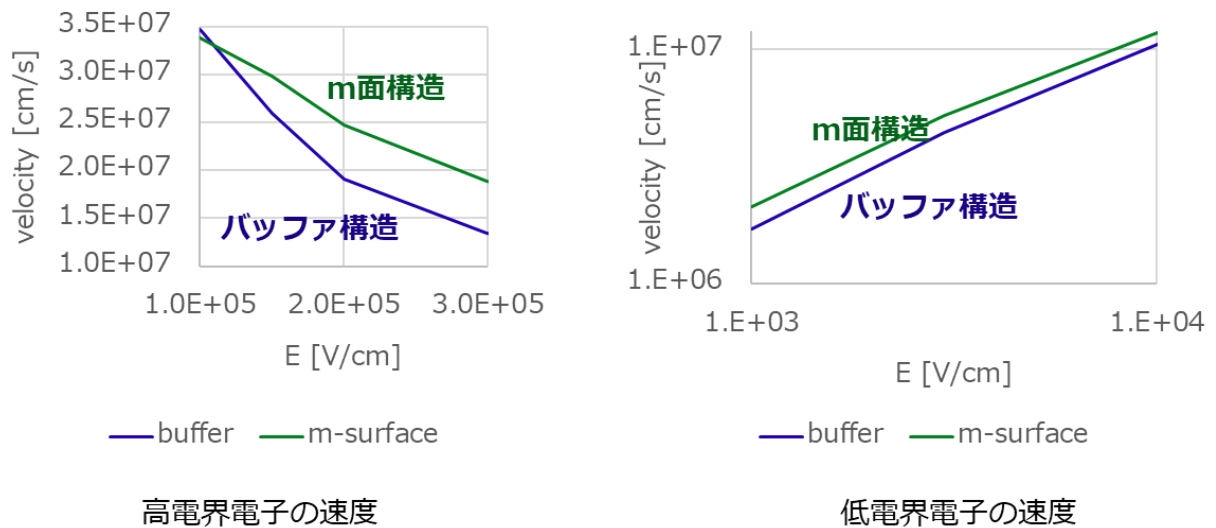
3.6.6.4 m 面結晶による移動度向上可能性の検討

以上でデバイス設計指導原理を明確にし、実デバイスでの高性能を確認できたが、その指導原理を徹底的に追求して、さらに移動度が向上できる可能性を検討した。図⑥-6-10 は、m 面基板の上に薄い GaN チャネル層を形成した HEMT 構造である。ドナー不純物を添加した AlN 層で GaN 層を挟むことにより、平らな伝導帯での閉じ込めが実現する。そのためには GaN 層に従来の c 面ではなく、m 面を用いる必要がある。



図⑥-6-10 ドナー不純物を添加した AlN で GaN 層を挟む m 面の HEMT 層構造。不純物の効果により伝導帯を平らに保った電子閉じ込め状態が実現できる。

図⑥-6-11は m 面構造を想定したシミュレーションの高電界時(左)と低電界時(右)の電子速度である。いずれも本プロジェクトで実現したバッファ構造に比べさらに電子速度が増加していることが分かる。この構造が実現できれば本プロジェクト提案デバイスの発展形としてさらなる性能向上が期待できる。



図⑥-6-11 m 面構造を想定したシミュレーションによる電子速度
左は高電界時、右は低電界時の速度であり、いずれも本プロジェクトが実現したバッファ構造よりさらに性能が向上する可能性を示唆している。

3.6.7 まとめ

ポアソン・シュレーディンガー法とセルオートマトン法の連成計算プログラムを開発・高精度化し、実験グループの試作実験で得られた移動度の傾向をよく説明できることを検証した。開発したプログラムを用いて電流を向上するためのデバイス設計指針を検討し、高電界領域における電子速度の向上を実現するためには、量子閉じ込めが有効であることを理論的に実証した。一方で低加速電界の高移動度を維持するためには、量子閉じ込めを狭くしすぎないことと、伝導帯の傾きをできるだけ平らにすることの二点が重要であることもわかった。以上の設計指導原理を実験グループの結晶構造設計に反映し、歪みを低減したバッファ構造を導入することで高移動度化を達成した。さらに、計算で得られた v-E カーブを TCAD へ取り込んで計算を行った。I_d-V_{ds} 特性において、実際に作製したデバイスの I_d-V_{ds} 結果の±10%内の計算結果が得られるような、高精度の計算を実現することができた。さらに、m 面を利用した GaN HEMT は GaN チャンネル内部の電界を低減と、強い量子閉じ込めを両立できることを示し、高電流化と高耐圧化を同時に満たすデバイスの実現可能性を示した。

参考文献

- [1] K. Fukuda, *et. al.*, IEEE Trans. Comput.-Aided Design Integr. Circuits Syst., 17, 553 (1998).
- [2] B. E. Foutz, *et. al.*, J. Appl. Phys., 85, 7727 (1999).
- [3] S. Takagi, *et. al.*, IEEE Trans. Electron. Devices, 41, 2357, (1994).
- [4] K. Fukuda, *et al.*, Japanese Journal of Applied Physics, 60(SB), SBB04.

3.7 ⑦表面放熱技術

3.7.1 はじめに

窒化ガリウム高電子移動度トランジスタ (Galium Nitride High Electron Mobility Transistor: GaN HEMT) は大きな絶縁破壊電界強度、高い二次元電子ガス (2 Dimensional Electron Gas: 2DEG) 濃度といった GaN の優れた材料物性を用いることができる。そのため、GaN HEMT は既存の Si 半導体デバイスと比較して高出力・高耐圧な半導体デバイスとして、無線通信やレーダーシステムへの応用が期待されている。しかし、GaN の熱伝導率が低いために、デバイス動作中の自己発熱により電気特性の劣化及び信頼性の低下を引き起こすという課題がある。そのため、基板として熱伝導率の低いサファイア基板 (35 W/mK) ではなく、高い熱伝導率を持つ SiC 基板 (330 W/mK) や基板裏面にダイヤモンド (2000 W/mK) を用いることによるデバイスの放熱技術が研究されている。しかし、GaN HEMT の優れた出力特性を最大限生かすためには、さらなる放熱効果を得る必要がある。そのため、さらなる放熱特性の向上を目指し、デバイス裏面だけでなく表面にダイヤモンド放熱構造を適用することを目的とする。デバイス表面へのダイヤモンド放熱構造適用は表面にデバイス構造による凹凸によって接合技術による適用が難しい。そのため、GaN HEMT 表面へ高放熱ダイヤモンドを適用するためには、化学気相堆積 (Chemical Vapor Deposition: CVD) 法により直接 GaN HEMT 表面にダイヤモンドを合成する必要がある。

平成 29 年度には、プラズマ CVD を用いた場合に GaN HEMT へプラズマダメージが顕著であることを示し、熱フィラメント CVD によるダイヤモンド成膜の検討を開始した。

平成 30 年度には、膜厚 3 μm 以上のダイヤモンドを GaN HEMT 上へ適用することによって十分な放熱効果を実現できることをシミュレーションによって示した。さらに、デバイスへのダメージ抑制を狙い、低温 (約 600°C) での厚膜ダイヤモンド成長を Si 基板上で検討した。

平成 31 年度には、平成 30 年度までに得られたダイヤモンド合成条件を GaN HEMT に適用し、電流増加およびデバイス動作温度の抑制を確認した。

令和 2 年度には、GaN パワーアンプに必要とされる高周波特性について、ダイヤモンド成膜前後において評価し、ダイヤモンド成長環境が与える影響について検討した。

令和 3 年度には、CVD で形成する多結晶ダイヤモンドの熱伝導率の向上について検討した。さらに、”④高耐圧絶縁ゲート形成技術”にて検討した AlN/SiN の 2 層の MIS 構造及び高温成膜 SiN-MIS 構造をもつ AlN 基板上のデバイスに対してダイヤモンド成膜を適用し、デバイスへの影響を調査した。

3.7.2 熱フィラメントCVD法によるダイヤモンド膜の成膜

3.7.2.1 CVDダイヤモンド技術の課題

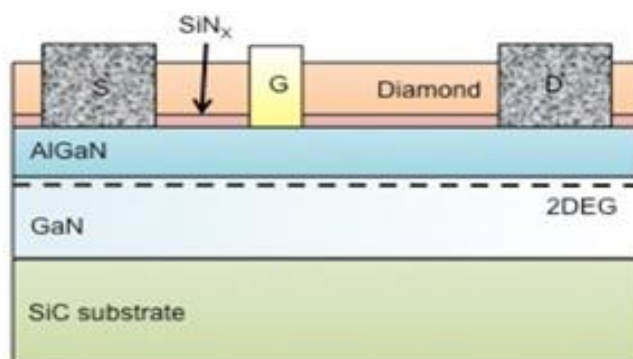
CVDダイヤモンドを用いたGaN HEMTの代表例として、図⑦-2-1に米国の海軍研究所 (Naval Research Laboratories: NRL)が開発したデバイス[1]の断面図を示す。NRLは、2012年のCSMANTECHでの発表をはじめ、CVDダイヤモンド技術を積極的に発表しており、現時点では業界トップレベルの技術を有すると思われる。NRLでは、CVDダイヤモンドの成膜方式として主流である“2.45 GHzのマイクロ波プラズマCVD”を用いて多結晶ダイヤモンドを形成しているが、以下の点が課題として挙げられる。

(1)ダイヤモンド成膜時の半導体層に対するダメージ

CVDダイヤモンドは成膜温度が750°Cと高温であることに加え、成膜レートが0.1 $\mu\text{m/h}$ と非常に遅く、500 nmの厚さを成膜するために5時間を要する。また、原料ガスにはメタン(CH_4)と水素(H_2)が用いられているため、GaNやAlGaInが下地の場合には、高温の H_2 によってエッチングされてしまう。そこで、半導体表面の保護膜として窒化シリコン(SiN)を用いることが一般的に行われているが、 SiN の熱伝導率は30 W/mKと低く、ダイヤモンド(55~1300 W/mK [1, 2])による放熱効果を阻害してしまうため、保護膜は可能な限り薄いことが望ましい。しかし、プラズマを用いる高エネルギープロセスであることから、本質的に保護膜の薄層化と低ダメージ化の両立が難しい。

(2)ダイヤモンド成膜時の熱履歴

750°Cの成膜温度では、ゲートやソース・ドレイン電極が劣化するため、電極形成前にダイヤモンドを成膜する必要がある。放熱効果を高めるためには厚膜のダイヤモンドが好ましいが、厚膜化によりゲート開口(ドライエッチング)時のアスペクト比が増加した際に、ゲート電極のカバレッジ不良が懸念される。なお、配線工程において、ダイヤモンド上に層間絶縁膜が形成されると、ダイヤモンドからヒートシンクに直接熱を逃がすことができないため、効果的な放熱が期待できなくなる。



図⑦-2-1 NRLが開発したCVDダイヤモンド/GaN-HEMTの断面図

以上が課題として挙げられるが、成膜温度を600°C以下に低減できた際には、高温 H_2 による窒化物半導体表面のエッチングが抑制され、 SiN 保護膜が不要になる可能性がある。さらに、電極形成後にダイヤモンドを成膜できる可能性も考えられるが、マイクロ波プラズマCVDではプラズマパワーにより成膜温度を制御しており、成膜温度の制御性が低い。また、低温成膜を行うにはプラズマパワーを低減する必要があるが、プラズマの分布が変化することで、面内均一性の低下が懸念される。よって、マイクロ波プラズマCVDを用いてダイヤモンドを低温、且つ均一に成膜するの

は困難と想定される。一方、高融点フィラメントを用いて原料ガスを解離する“熱フィラメントCVD”では、成膜温度はフィラメント温度により調整できるため、成膜温度の制御性が高く、面内の均一性も良好である。

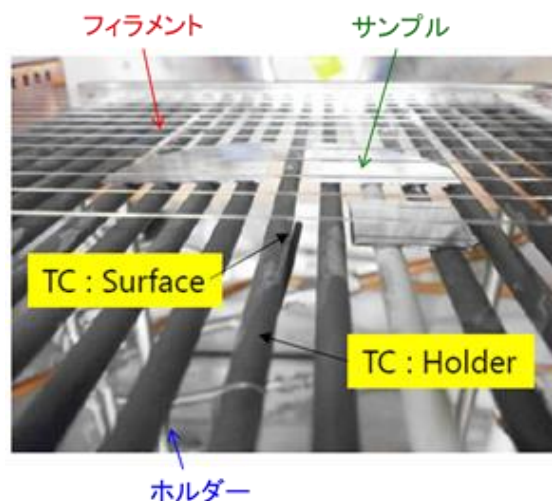
そこで本研究では、熱フィラメントCVDを用いてダイヤモンドの低温成膜を実現するため、フィラメント温度とダイヤモンドの成膜温度、ならびに結晶品質や熱伝導率との関係を調査した。成膜を行った装置仕様を以下に示す。

- ・成膜可能なウェハサイズ： 4インチ
- ・成膜温度： 700 - 900℃
- ・原料ガス： CH₄、H₂

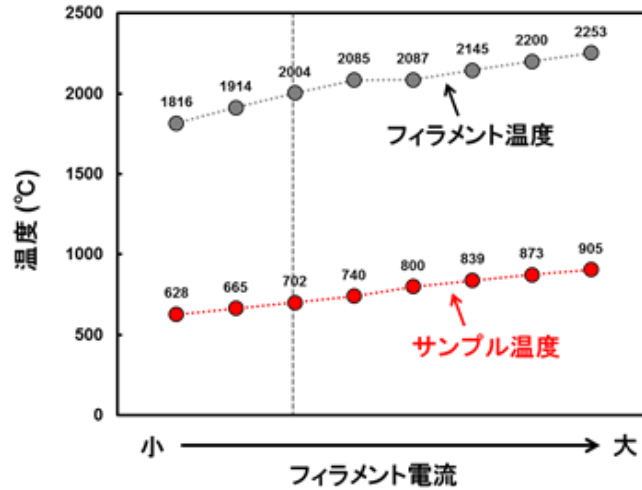
3.7.2.2 ダイヤモンドの成膜温度と結晶品質の関係

図⑦-2-2に本研究で用いた熱フィラメントCVD装置の内部構造を示す。パイプ状ホルダーの上にサンプルが置かれ、その上にタングステン製のフィラメントが設置されている。フィラメントの温度は電流によって制御されており、2300℃程度まで昇温可能である。ホルダーの内部と側面には熱電対（Thermocouple: TC）が設置されており、側面のTCについては、サンプルに接触させて表面温度を測定することが可能である。

図⑦-2-3にフィラメント温度を変化させた際のサンプルの表面温度を示す。ここでは、サンプルとフィラメント間の距離は10 mmとした。なお、原料ガスであるCH₄とH₂を解離するためには、2000℃以上のフィラメント温度が必要とされるため、本装置仕様では700℃前後が成膜温度の下限となる。



図⑦-2-2 熱フィラメントCVD装置の内部構造

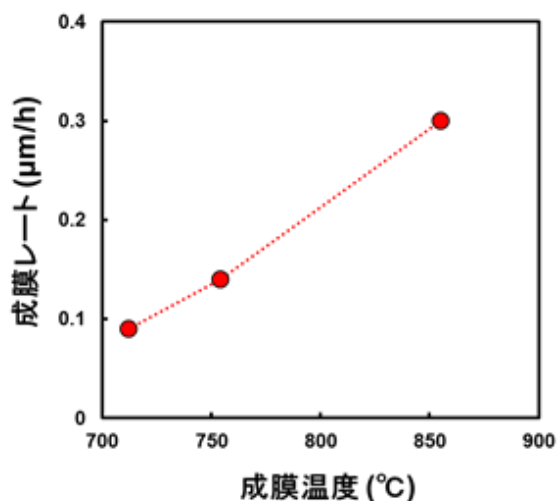


図⑦-2-3 フィラメント温度とサンプルの表面温度の関係

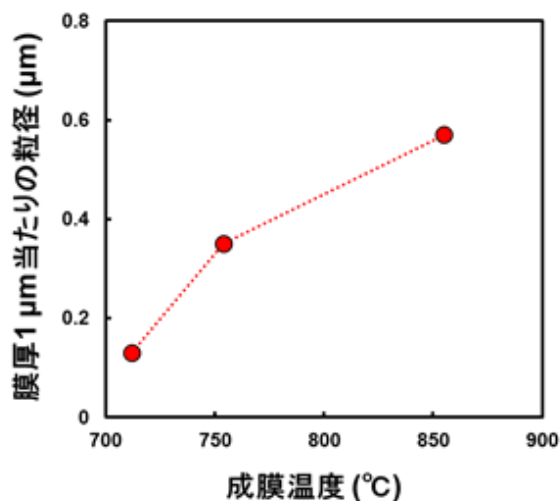
そこで、ダイヤモンドを712～855°Cのサンプル温度で成膜し、膜厚と粒径をSEMにて評価した(図⑦-2-4)。一般的に、多結晶ダイヤモンドは粒径が大きいほど熱伝導率が高いことがわかっている。これは、粒界には熱伝導率が低いグラファイトが存在しており、その影響は粒界が多いほど大きくなるためである。また、ダイヤモンドの粒径は、膜厚が厚いほど大きくなる傾向があるため、本評価では膜厚1 μm当たりの粒径を算出し、成膜温度との関係を調査した。成膜レートと粒径を図⑦-2-5、図⑦-2-6にそれぞれ示す。これらの結果から、成膜温度の低下に伴い、成膜レートと粒径が低下しており、ダイヤモンドの結晶成長が阻害されていることが分かる。低温成膜によりダイヤモンドの結晶成長が阻害された理由としては、フィラメント温度が低下したことで、原料ガスであるCH₄とH₂の解離が抑制されたためと推察される。

	712°C成膜	754°C成膜	855°C成膜
表面			
断面			

図⑦-2-4 異なる温度で成膜されたダイヤモンドの表面及び断面SEM観察結果



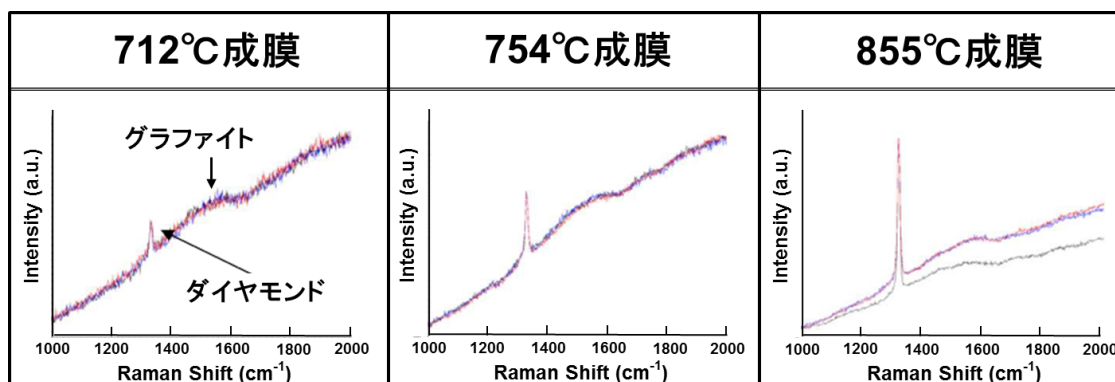
図⑦-2-5 ダイヤモンドの成膜レート
(温度依存性)



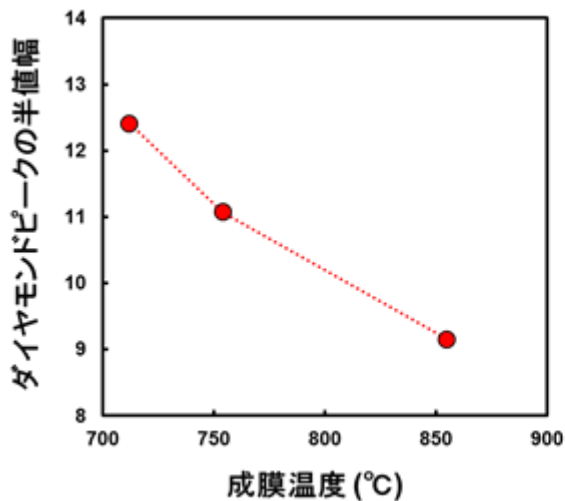
図⑦-2-6 ダイヤモンドの粒径
(温度依存性)

図⑦-2-7にダイヤモンドのラマン分析結果を示す。この結果から、成膜温度の低下に伴いダイヤモンドピークの低下、半値幅の増加（図⑦-2-8）が確認されており、これはダイヤモンドの粒径が減少し粒界が増えたことで、グラファイトの含有率が増えた影響と考えられる。図⑦-2-9は、ダイヤモンドのピーク（Id）とグラファイトのピーク（Ig）の強度比を示しており、成膜温度の低下に伴い、強度比が減少し、グラファイトの割合が増えていることが分かる。

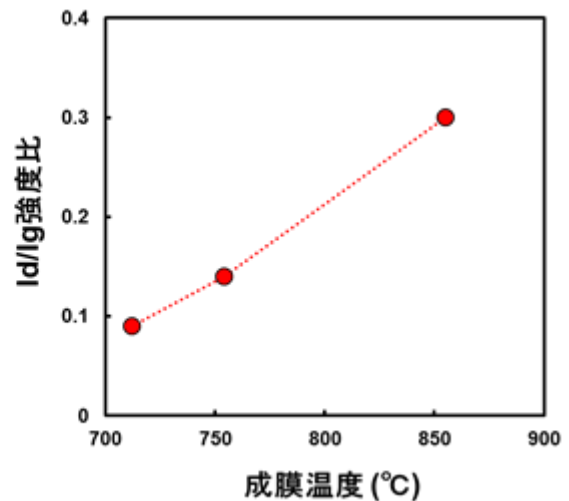
以上の結果から、フィラメント温度の制御によるダイヤモンドの低温成膜は、熱伝導率の低下に繋がることが分かった。



図⑦-2-7 異なる温度で製膜されたダイヤモンドのラマン分析結果



図⑦-2-8 ラマンピークの半値幅
(温度依存性)

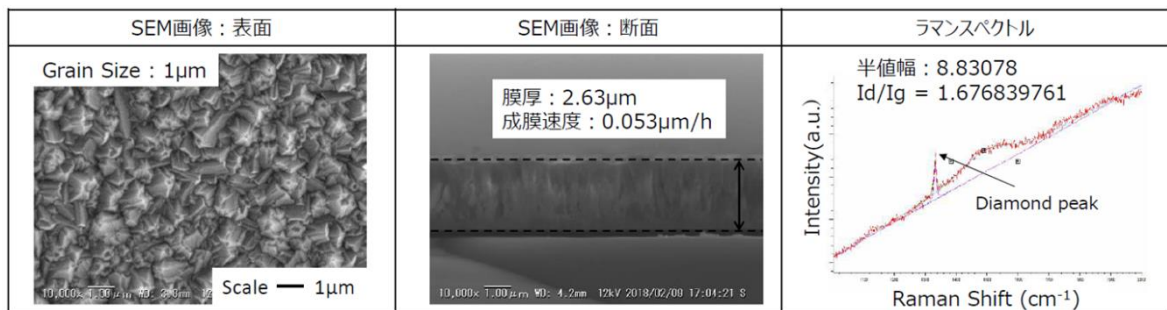


図⑦-2-9 ラマンピークの強度比
(温度依存性)

3.7.2.3 サンプル-フィラメント間距離の制御による低温成膜検討

次に、フィラメント温度を2000°Cで固定し、サンプル-フィラメント間の距離を広げることで、成膜温度の低温化を試みた。サンプル-フィラメント間距離が10 mmの際には、サンプルの表面温度は712°Cであったが(図⑦-2-4)、20 mmとすることで602°Cまで低減することを確認した。本条件にてダイヤモンドを成膜し、SEMとラマンにて評価した結果を図⑦-2-10に示す。この結果から、膜厚1 μm 当たりの粒径は0.38 μm と、図⑦-2-6に示した712°C成膜サンプルの結果(0.13 μm)よりも高い値を示している。また、ラマン分析からも、ダイヤモンドピークの半値幅が12.41から8.83に低減しており、結晶品質の向上が示唆されている。しかしながら、成膜レートは0.053 $\mu\text{m}/\text{h}$ と低下しており、この点は、熱履歴を低減するためにも改善しなければならない。

本結果については詳細メカニズムの解析が必要だが、現時点での考察としては、フィラメント温度を維持した状態でサンプル間距離を広げることで、原料ガスの解離を阻害することなくサンプル温度を低減でき、低温成膜と結晶品質の両立に繋がったのではないかと考えている。



図⑦-2-10 表面温度 602°Cで成膜したダイヤモンドの評価結果

3.7.2.4 CVD ダイヤモンドの熱伝導率評価

次に、602℃、712℃、855℃で成膜したダイヤモンドに対し、パルス加熱型のサーモリフレクタンス法により、熱伝導率の評価を行った（表⑦-2-1）。サーモリフレクタンス法では、膜表面を加熱パルス光により加熱し、同位置の温度応答を測定した結果から、熱伝導率を解析する。しかしながら、855℃成膜サンプルについては、表面ラフネスの影響により測温光が散乱し、解析に必要な反射光強度を得ることができなかった。これは、855℃成膜サンプルの粒径（膜厚1 μm当たり）が0.57 μmと、他のサンプルに比べて大きいためと考えられる。602℃、712℃で成膜したサンプルについては問題なくサーモリフレクタンス信号を検出でき、得られた熱伝導率はそれぞれ300、290 W/mKと、本委託研究の中間目標値である200 W/mKを達成することができた。

今後は、今回得られたCVDダイヤモンドの熱伝導率を用いて熱シミュレーションを行い、放熱効果の検証を進めるとともに、ダイヤモンドの成膜温度を600℃と想定した場合のデバイス構造やプロセスフローについて検討を進める。また、更なる成膜温度の低温化に向け、フィラメント温度やサンプル間距離について検討を継続するとともに、ダイヤモンド成膜時のサンプル冷却についても検証を進める。

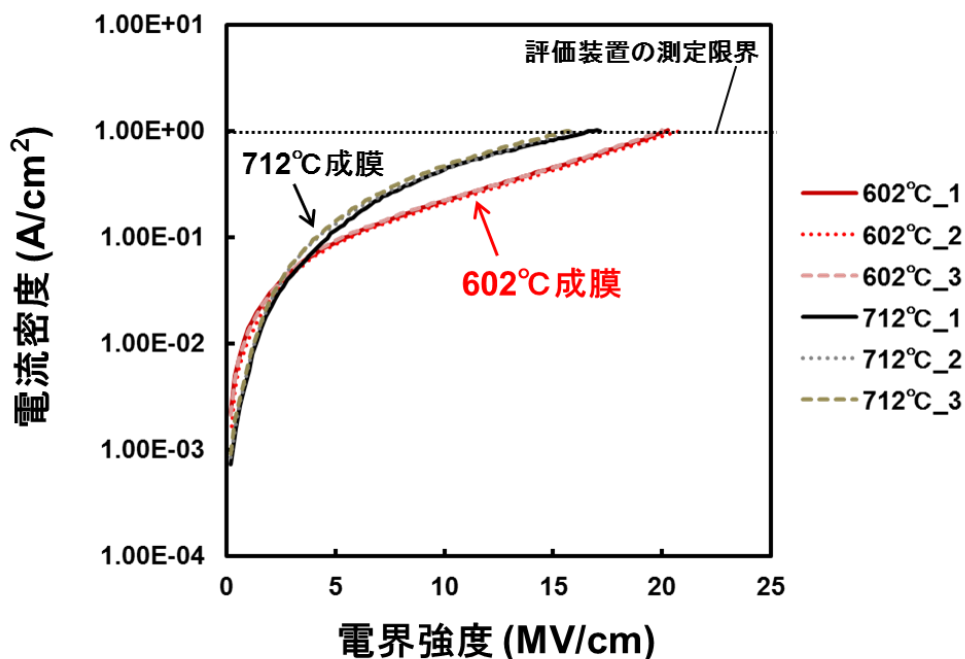
表⑦-2-1 異なる温度で成膜された CVD ダイヤモンドの熱伝導率評価結果

成膜温度	602℃	712℃	855℃
熱伝導率 (W/m・K)	300	290	測定不可

3.7.2.5 CVD ダイヤモンドの絶縁特性評価

CVDダイヤモンドをGaN HEMT表面に形成する際には、積層された層間絶縁膜の一つとして、各電極（ゲート、ソース、ドレイン）や、それらを繋ぐ配線を電氣的に分離する必要があるため、絶縁性が求められる。そこで、602℃、712℃で成膜したダイヤモンドについて、絶縁特性の評価を行った（図⑦-2-11）。どちらのサンプルも絶縁耐圧は15 MV/cm以上と高く、評価装置の測定限界（1 A/cm²）においても絶縁破壊は見られなかった。リーク電流値を比較すると、602℃成膜サンプルの方が712℃品よりもリーク電流は小さく、各条件で3回ずつ測定を行ったが、全て同じ傾向であった。これは図⑦-2-6および、図⑦-2-10で確認されたように、602℃成膜サンプルは712℃品よりも粒径が大きく、リークパスとなり得る粒界が少ないためと考えられる。

以上の結果から、サンプル-フィラメント間距離の制御によるダイヤモンドの低温成膜は、絶縁性の維持・向上に対しても有効であることが明らかとなった。



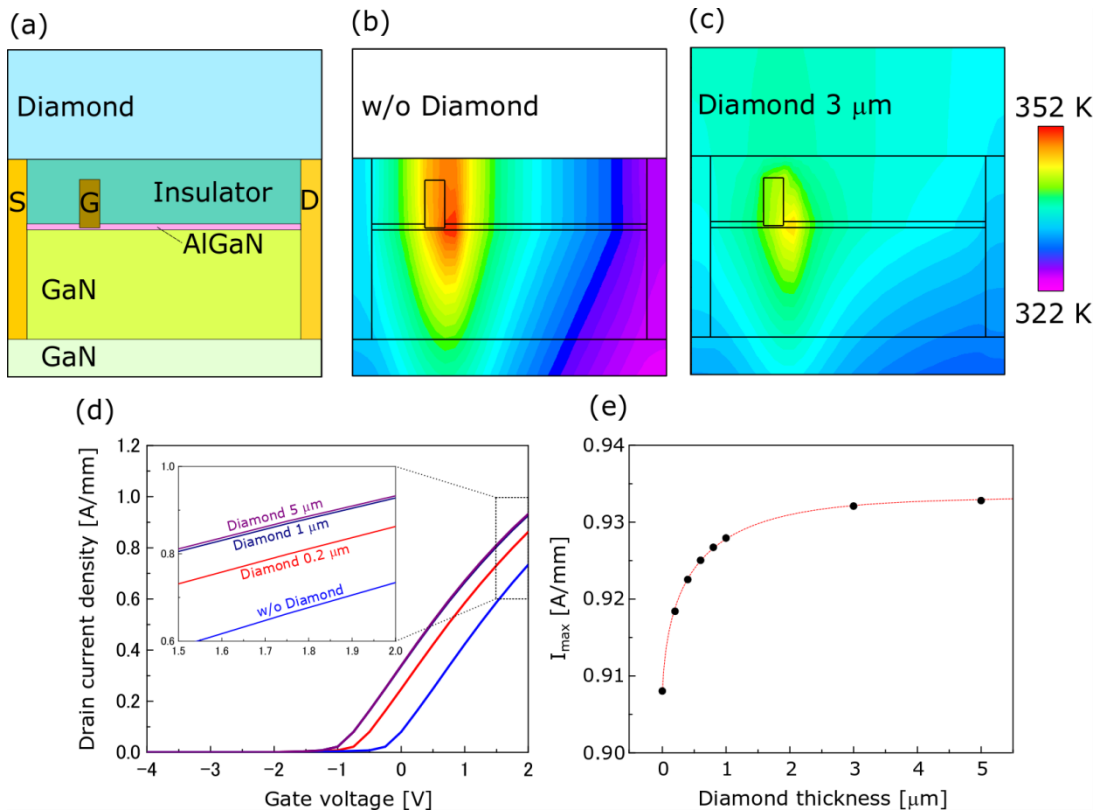
図⑦-2-11 表面温度602°C，712°Cで成膜したCVDダイヤモンドの絶縁特性評価結果

3.7.3 表面ダイヤモンド膜による放熱効果の検討と成膜手法の選定

3.7.3.1 表面ダイヤモンド膜による放熱効果のシミュレーション

GaN HEMT 表面へダイヤモンドを成膜し、動作温度を効果的に低減させるには、表面放熱材料として使用するダイヤモンドの熱伝導率を高くすること及び膜厚を厚くすることが必要である。これまで報告されている GaN HEMT 上の表面放熱ダイヤモンドは多結晶であるため、単結晶のダイヤモンドと比較して熱伝導率が低い[2]。しかし、“⑨高放熱構造設計技術”で示されるように多結晶ダイヤモンドの熱伝導率は 300 W/mK 以上あれば、十分な放熱効果が得られることがわかっている。一方で、放熱効果に対するダイヤモンド膜厚の影響は詳しく調査されていない。そこで、シミュレーションにより表面放熱構造に必要なダイヤモンドの膜厚を調査した。

シミュレーションに用いた GaN HEMT の構造を図⑦-3-1(a)に示す。ダイヤモンドの熱伝導率は多結晶ダイヤモンドにて報告のある 500 W/mK を用いた[4]。トランジスタがオン状態 ($V_{gs} = 2\text{ V}$ 、 $V_{ds} = 10\text{ V}$) 時における半導体内部の温度分布計算結果を図⑦-3-1(b)，(c)に示す。ダイヤモンド表面放熱構造がない場合の半導体内部の最高温度 352 K(図⑦-3-1(b))と比較して、表面放熱構造を適用した場合(図⑦-3-1(c))では、半導体内部の温度が 330 K に低下することが確認された。 I_d - V_{gs} とダイヤモンド膜厚依存性の結果(図⑦-3-1(d))から、放熱効果の上昇に伴って電流の増加が確認できる。室温以上では、GaN 中の電子移動度(μ)は温度上昇とともにフォノン散乱により低下するが[3]、放熱効果の上昇に伴って μ の低下が抑制され電流が増加したと考えられる。しかし、ダイヤモンド膜厚が 1 $\mu\text{ m}$ 以下の領域においては、ダイヤモンドの膜厚に対して I_{max} が大きく上昇するのに対して、3 $\mu\text{ m}$ 以上では I_{max} の変化が飽和することが分かった(図⑦-3-1(e))。すなわち、3 $\mu\text{ m}$ 以上の膜厚があれば十分な放熱効果を得られる。そこで、本研究ではダイヤモンド膜厚の目標を 3 $\mu\text{ m}$ とした。



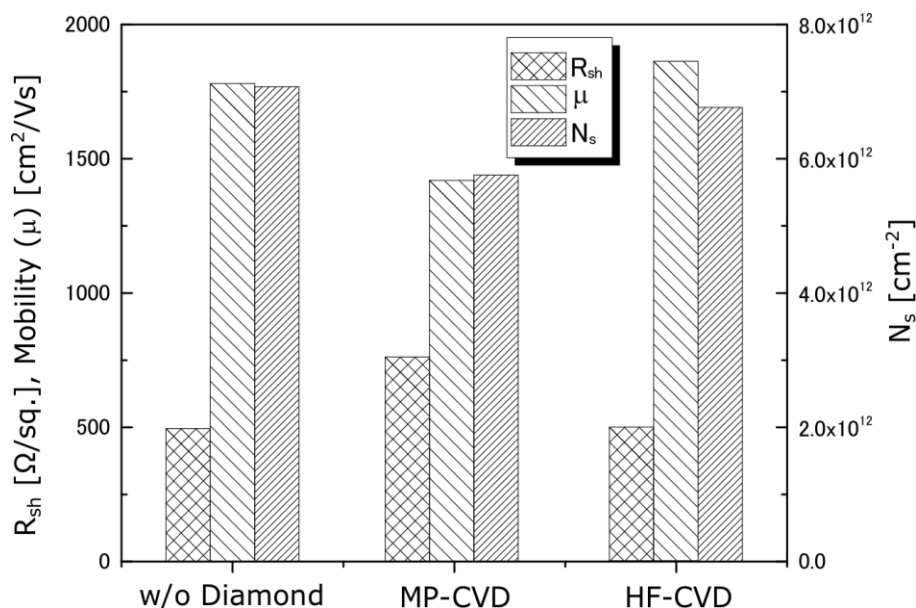
図⑦-3-1 表面側ダイヤモンドのシミュレーションによる放熱解析結果；(a)シミュレーションに用いたデバイス構造、(b)表面側ダイヤモンド未成膜構造時のデバイス無内部の温度分布、(c)表面側ダイヤモンド成膜構造時のデバイス内部の温度分布、(d)ダイヤモンド膜厚の I_d - V_{gs} 特性への影響、(e) I_{dmax} のダイヤモンド膜厚依存性

3.7.3.2 ダイヤモンド成膜 CVD 法の選定

上述のように、ダイヤモンドを表面放熱材として用いるためにトランジスタ上へのダイヤモンド成膜法について検討を行った。人工ダイヤモンドは、一般的に高温高压 (High Pressure High Temperature: HPHT) 法 [4] もしくは CVD 法を用いて形成される。HPHT 法は $\sim 2000^\circ\text{C}$ かつ数 GPa の環境下で炭素から直接相転移を行うことで高品質なダイヤモンドを形成することができるが、GaN HEMT が上記のような過酷な環境に耐えることができないため適用は困難である。一方で、CVD 法は $400\text{--}1200^\circ\text{C}$ かつ大気圧以下の領域で成膜可能であるため GaN HEMT への適用が期待できる [2, 5]。CVD 法によるダイヤモンドの成膜には一般的にマイクロ波プラズマ (Microwave Plasma Assisted: MP)-CVD 法 [6] と熱フィラメント (Hot Filament: HF)-CVD 法 [7] がある。それぞれの方法を用いてダイヤモンドの成膜を行い、ダイヤモンド成膜が GaN HEMT に与える影響を調査した。

ダイヤモンドの成膜条件は MP-CVD 法では、圧力 10 kPa、温度 850°C 、メタン濃度 1%、HF-CVD 法では圧力 650 Pa、温度 850°C 、メタン濃度 1% である。AlGaIn/GaN HEMT 構造上にダイヤモンド成膜を行い、ダイヤモンド成膜前後の電子移動度及び 2DEG 濃度を Hall 効果測定により評価した。図⑦-3-2 に各 CVD 法でのダイヤモンド成膜前後の GaN HEMT の μ 、2DEG 濃度 (N_s) 及びシート抵抗 (R_{sh}) を示す。MP-CVD 法によるダイヤモンド成膜では、 N_s 及び μ の低下が観察された。結果として R_{sh} が上昇するため、トランジスタへの適用の際にはその特性を悪化させることが懸念される。一方で、HF-CVD 法を用いた場合には、 μ 、 N_s に大きな変化が見られず、 R_{sh} もダイヤモンド成膜前と

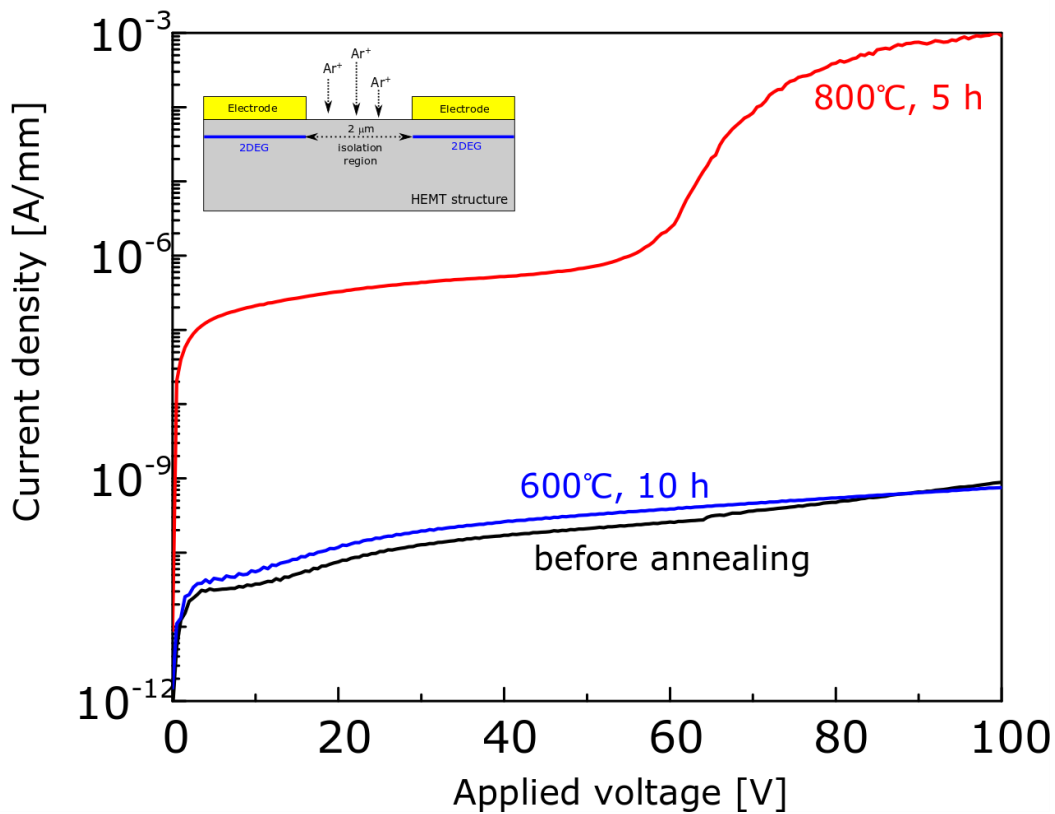
変化はなかった。これらの結果から、GaN HEMT 上へのダイヤモンド成膜では HF-CVD 法が適していることが分かった。



図⑦-3-2 HF-CVD 及び MP-CVD によるダイヤモンド成膜処理による GaN HEMT の R_{sh} 、 μ 、 N_s の変化

3.7.3.3 デバイスアイソレーション特性への影響

HF-CVD 装置を用いて GaN HEMT 上へのダイヤモンド成膜の検討を行った。高品質なダイヤモンドを成膜するためには通常 800 - 1000°C で成膜を行う。図⑦-3-2 に示す通り、850°C でダイヤモンド成膜を行う場合、HF-CVD 法を用いることで μ 、 N_s への影響は無かったが、上述したように本研究ではトランジスタ形成後にダイヤモンドを成膜するため、単純な 2DEG 輸送特性だけでなく、デバイスアイソレーション領域の絶縁性についても維持されることを確認する必要がある。デバイスのアイソレーションは Ar^+ によるイオン注入を用いて行っている。今回、電極間の距離が 2 μm のアイソレーション構造を用いて加熱処理による影響を調査した。加熱処理は 600°C 及び 800°C にて行った。HF-CVD によるダイヤモンドの成膜速度は 1 $\mu m/h$. 程度であるため [7]、十分な放熱効果を得るために必要な膜厚 (3 μm) を実現するためには、ダイヤモンド成膜温度において数時間の加熱処理後にアイソレーション特性を保つ必要がある。そのため、600°C では 10 時間、800°C では 5 時間の加熱処理を行った。加熱前後のアイソレーション電極間の I-V 特性を図⑦-3-3 に示す。600°C の加熱条件においては 10 時間の加熱処理後もリーク電流の変化は見られず、高い絶縁性を保っていることが確認できた。しかし、800°C の条件下で 5 時間加熱処理を行った場合にはリーク電流の大幅な増加が観察された。この理由として、 Ar^+ の注入によって破壊された結晶構造が高温の長時間アニール処理によって回復したためであると考えられる。イオン注入後、結晶回復した GaN は浅いドナーセンターである窒素空孔欠陥を形成するため [8]、アイソレーション領域に伝導電子が存在し、電極間の絶縁性が低下したと考えられる。そのため、GaN HEMT 上に 3 μm 以上の厚さを持つダイヤモンドを成膜するためには 800°C 未満で成膜することが必要であることが分かった。そこで、本研究では GaN HEMT へのダイヤモンド表面放熱構造実現のため、10 時間のアニール処理後もアイソレーションを保つことが確認できた 600°C 付近の温度領域においてダイヤモンド成膜条件の探索を行った。



図⑦-3-3 加熱処理前後のアイソレーション領域の I-V 特性評価結果。図中挿入図はアイソレーション評価サンプルの模式図

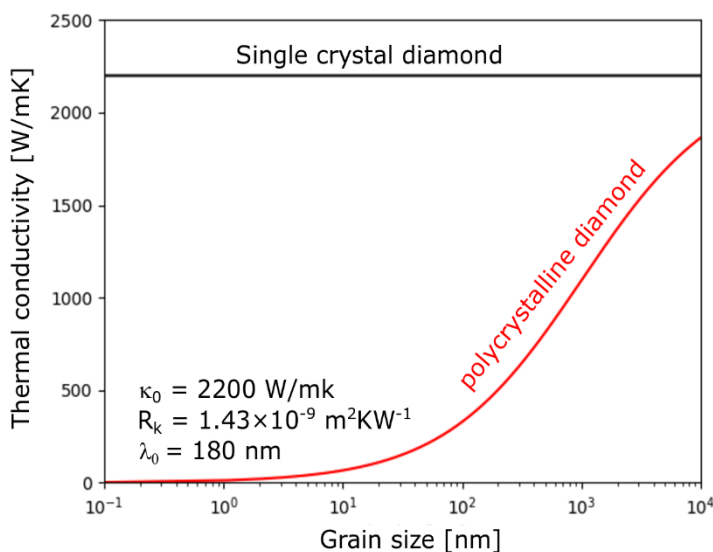
3.7.3.4 HF-CVD 法によるダイヤモンド成膜

ダイヤモンドを 600°C という低温で成膜する上で重要なことは成膜されたダイヤモンドの熱伝導率を高く保つことである。多結晶ダイヤモンドの熱伝導率を高くするために重要な要素の一つとして、結晶粒径を大きくすることがあげられる。単結晶の場合、半導体中の熱伝導は主にフォノン散乱によって決定されるが、多結晶の場合結晶粒径がフォノンの平均自由行程よりも小さいと結晶粒界によって散乱の影響を受けてしまうため、多結晶の熱伝導率 κ は以下のようなになる [9]。

$$\kappa = \frac{\kappa_0 / (1 + \lambda_0 / d^{4/3})}{1 + R_k / d [\kappa_0 / (1 + \lambda_0 / d^{4/3})]} \quad \text{式⑦-3-1}$$

ここで、 κ_0 は単結晶の熱伝導率、 λ_0 はフォノンの平均自由行程、 d は結晶粒子の大きさ、 R_k はカピッツァ抵抗である。(式⑦-3-1) を用いて計算した多結晶ダイヤモンドの熱伝導率と粒径の関係を図⑦-3-4 に示す。図⑦-3-4 に示すように、多結晶でも高い熱伝導率を維持するためには結晶粒子の大きさ d を大きくする必要がある。そこで、アイソレーション特性を保つことが可能な 600°C において、①フィラメントとサンプル間の距離、②キャリアガスである水素に対するメタン濃度、③圧力を変更し、結晶粒径の変化 SEM により観察した。ダイヤモンド成膜の標準条件として、圧力 1 kPa、メタン濃度 1%、フィラメント-サンプル間距離 2.2 cm を用いた(図⑦-3-5(a))。ダイヤモンドの成膜核はナノアモンド製のダイヤモンドコロイドをインフィルトレーションにより

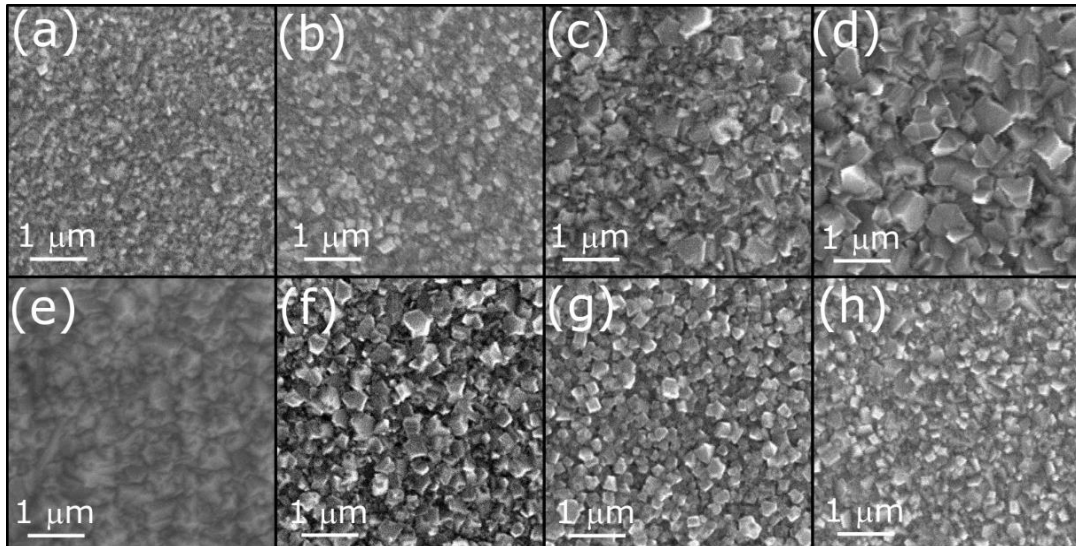
Si 基板の上に添加し、ダイヤモンドの成膜を行った。成膜したダイヤモンドの膜厚は 500 nm 程度とした。



図⑦-3-4 単結晶ダイヤモンド及び多結晶ダイヤモンドの熱伝導率の粒径依存性

① フィラメント-サンプル間距離依存性

図⑦-3-5(a), (b), (c), (d)にフィラメント-サンプル間距離を変化させて成膜を行ったダイヤモンド膜のSEM像を示す。また、図⑦-3-6に各成膜条件と成長速度の関係を示す。フィラメント-サンプル間の距離を長くすることによって、成膜速度及び結晶粒径に関しても増加する傾向が観察された。今回の実験では基板表面の温度を 600°Cに保つため、フィラメント-サンプル間の距離を長くするごとに、フィラメントの温度を上昇させた。これにより、フィラメント付近のメタンガスはフィラメント-サンプル間の距離を長くするごとに分解が促進される。これによって、ダイヤモンドのプリカーサが増加したため成膜速度が増加したと考えられる。また、ダイヤモンド成長に寄与するプリカーサとしては主に C₂H_x ラジカル及び CH_x が考えられているが、C₂H_x は反応性に富むため形成したダイヤモンド粒子に対してエピタキシャルな結合を行うだけでなく、非エピタキシャル粒子の形成(2次核形成)を行う。一方で、CH_x は C₂H_x と比較してダイヤモンドに対してエピタキシャルな関係を持って結合を行うことができる。フィラメント-サンプル間の距離を長くしたことによって、衝突断面積の大きな C₂H_x ラジカルは基板に到達しにくいため、衝突断面積の小さな CH_x ラジカルは基板に選択的に基板へ到達し、ダイヤモンドのプリカーサとして働く。そのため一つの粒子が単結晶を保ったまま成長することができ結晶粒径を大きくすることができたと考えられる。結果として、HF-CVD 装置を用いてダイヤモンドの成膜を行う場合、フィラメント-サンプル間距離を長くすることが有効であることがわかった。



図⑦-3-5 ダイヤモンド成長後の表面 SEM 像 ; (a) 標準条件 (圧力 1 kPa、メタン濃度 1%, フィラメント-サンプル間距離 2.2 cm、フィラメント-サンプル間距離 (b) 1.7、(c) 2.7、(d) 3.2 cm、メタン濃度 (e) 0.3、(f) 0.7 %、圧力 (g) 0.65、2 kPa.

② メタン濃度依存性

図⑦-3-5(a), (e), (f)にダイヤモンド成膜条件のメタン濃度依存性を示す。成膜後のダイヤモンド粒子の大きさは、同一膜厚では大きな変化はなかった。一方で成膜速度はそれぞれ、メタン濃度 0.3%、0.7%、1% で 12、21、26 nm/h. であった。通常、多結晶ダイヤモンドの成膜速度は成膜中に使用する水素ガス中のメタンガスの割合によって増加する。しかし、メタン濃度が高すぎると、ダイヤモンドの構造を維持するための水素原子が不足するため、 sp^3 軌道を持つダイヤモンドではなく sp^2 軌道の炭素材料が成膜される。本研究結果で用いた 0.3-1%のメタン濃度の範囲ではメタンの濃度に対して成膜速度は線形の関係性を有しており、高いメタン濃度で成膜することによって成膜速度が早くなることが観察された。すなわち、HF-CVD 法では、メタン濃度を高くすることで成膜速度を早くすることに対しては有用であるが、結晶粒径は大きく変化しないことが分かった。

③ 圧力依存性

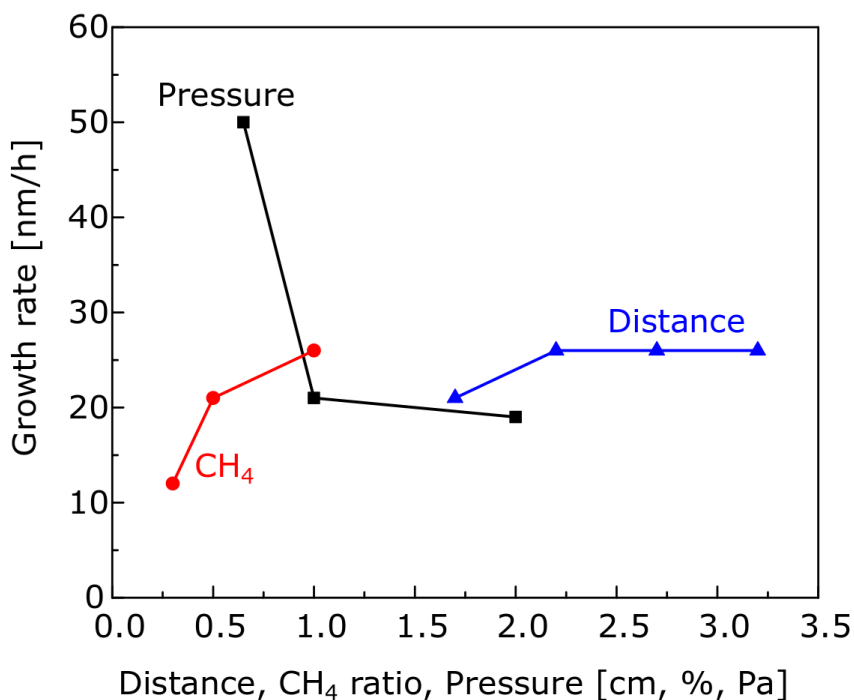
図⑦-3-5(a), (g), (h)にダイヤモンド成膜条件の圧力依存性を示す。また、図⑦-3-6にも示すように、圧力の増加とともにダイヤモンドの結晶粒径及び成膜速度が小さくなっていることが分かる。また、それぞれのダイヤモンドの成膜速度はおよそ 0.65、1、2 kPa において 50、21、19 nm/h. であった。ダイヤモンドの成膜に寄与するのが主に CH_3 ラジカルであると仮定すると、ダイヤモンドの成膜速度(v)は以下ようになる[10]。

$$v = \frac{a(n_H^s)^2}{b + cn_{H_2}^s} \quad \text{式⑦-3-2}$$

ここで、 a 、 b 、 c は定数、 n_H^s 、 $n_{H_2}^s$ はそれぞれ基板表面の原子状水素および水素分子の密度である。つまり、基板付近の原子状水素が多いほど、ダイヤモンドの成膜速度は増加する。水素は $H + CH_4 \leftrightarrow CH_3 + H_2$ の反応によってダイヤモンドのプリカーサである CH_3 ラジカルの生成に寄与する。この反応を起こすために十分なフィラメント温度が得られている場合、基板表面に到達する原子状水素

の数は、圧力が上がるほど平均自由行程が短くなるため、反応速度定数が大きくなり、基板表面に存在する原子状水素の数は少なくなる。そのため、圧力を上げるほど粒径および成膜速度が低下したものと考えられる。

これらの実験結果より HF-CVD 法を用いた場合のダイヤモンドの最適な成膜条件を各条件においての粒径の大きさ及び成膜速度から判断し、圧力 0.65 Pa、メタン濃度 1%、フィラメントーサンプル間距離 3.0 cm とした。



図⑦-3-6 各成膜条件と成長速度の依存性. フィラメントーサンプル間距離依存性(青線), メタン濃度依存性(赤線), 圧力依存性(黒線).

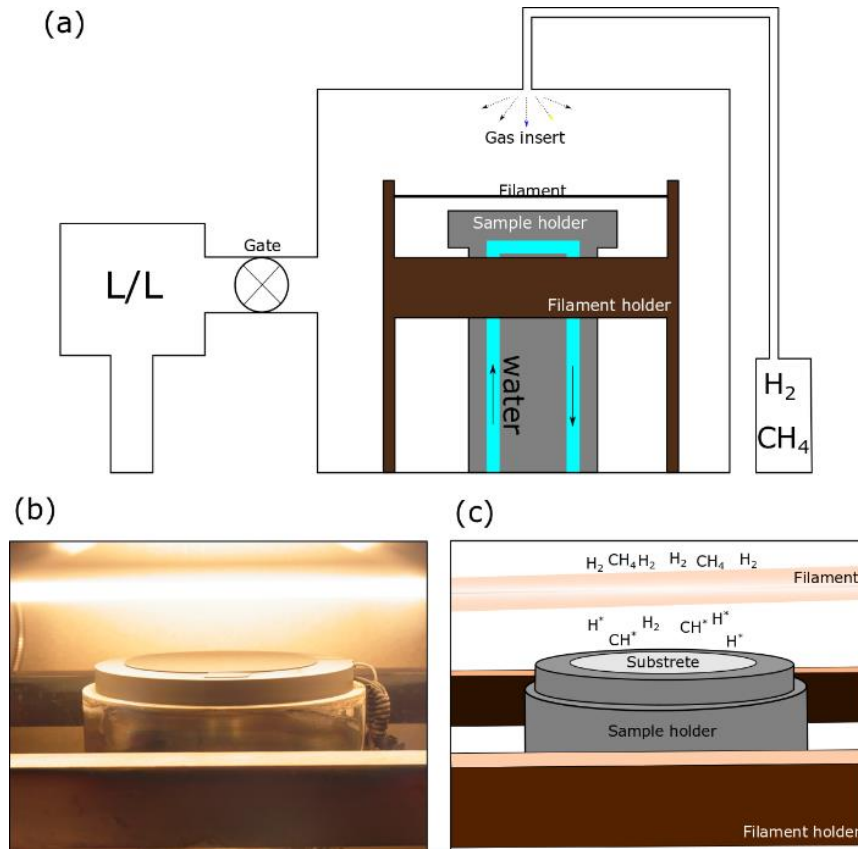
3.7.3.5 本研究にて導入した HF-CVD 装置によるダイヤモンド成膜

上記検討結果を踏まえ、選定・導入したダイヤモンド成膜用 HF-CVD 装置の模式図とダイヤモンド成膜中の写真を図⑦-3-7 に示す。GaN HEMT 上にダイヤモンドを成膜するために必要な要素として、①不要な熱履歴を印加しないこと、②可能な限り低温でダイヤモンドを成膜すること、③1 インチ以上の領域で均一性のあるダイヤモンド成膜することがあげられる。それぞれの要素の必要性とそれらを解決するために本装置に適用した構成を以下に示す。

- ① 表面放熱構造ダイヤモンド成膜時には、電極やデバイス間にアイソレーションを持たせるための領域が形成されている。加熱することで、電極構造の変化やアイソレーションの破壊を引き起こす可能性がある。そのため、可能な限り低温でダイヤモンド成膜を行う必要がある。しかし、HF-CVD 法では、タングステンのフィラメントを 2000 - 3000°C 程度まで加熱しフィラメントの炭化処理を行う必要がある。この時に、サンプルが CVD チャンバー内に導入されているとデバイスへ不要な熱履歴を残してしまう。そこで、フィラメントの炭化処理中にサンプルを加熱させないようにロードロック機構を取り付けた。
- ② ①と同じ理由により低温でダイヤモンドを成膜することが望ましいが、低温にするためにフィラメント温度を低下させるとダイヤモンドのプリカーサであるメタンの分解効率が低

下する。そこで、フィラメント温度を高温に保ちつつ基板温度を低減するために、サンプルホルダ直下に水冷機構を導入した。

- ③ 本研究で最終的に用いる予定の AlN 基板は 1 インチ以上の大きさであるため、1 インチ以上の領域に均一にダイヤモンドを成膜する必要がある。そのため、CVD チャンバー内へのガスの導入は、成膜時の不均一性を緩和するために、基板上方に吹き出し口を上下左右対称に複数設置して、面内均一性の向上を図った。



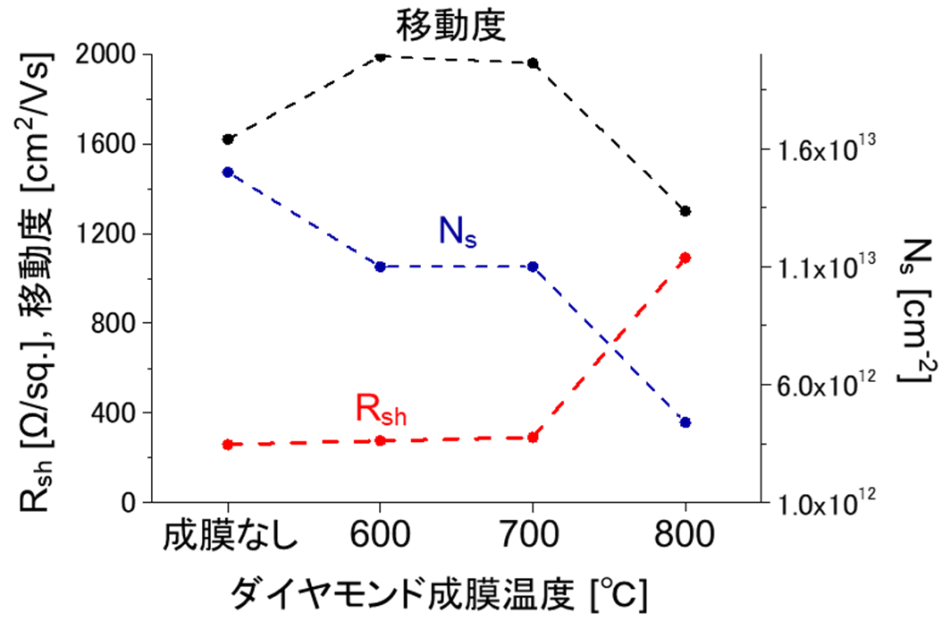
図⑦-3-7 (a)本研究で用いた HF-CVD 装置の模式図。本装置を用いたダイヤモンド成膜時の様子、(c)成膜雰囲気の様子の模式図

3.7.3.4 での成膜条件探索において最適とした温度 600°C 、圧力 0.65 Pa 、メタン濃度 1%、フィラメント-サンプル間距離 3.0 cm の条件を用いて、導入した HF-CVD 装置でダイヤモンド成膜を行った結果、成膜速度 430 nm/h が得られた。GaN HEMT へのダイヤモンド表面放熱構造として利用するために 7 時間成膜を行い、放熱材として十分な効果が期待できる $3\text{ }\mu\text{m}$ 膜厚のダイヤモンドを Si 上に成膜した結果を図⑦-3-8 に示す。Si 表面は完全にダイヤモンドに覆われている様子が分かる (図⑦-3-8(a))。この時のダイヤモンドの粒径はおよそ $2\text{ }\mu\text{m}$ であった。さらに、断面 SEM 像 (図⑦-3-8(b)) からダイヤモンドの膜厚が $3\text{ }\mu\text{m}$ あることが確認できた。図⑦-3-8(c) に成膜したダイヤモンドのラマンスペクトルを示す。基板として使用している Si ピーク (520 cm^{-1}) のほかに、 1260 cm^{-1} 及び 1560 cm^{-1} 付近のピーク及び明瞭なダイヤモンドピーク (1332 cm^{-1}) が観察できた。 1260 cm^{-1} 付近のピークはダイヤモンドのブリルアンゾーンの L 点に対応しており、ダイヤモンド膜内に微結晶のダイヤモンドが存在していることを示唆している。実際に、成膜したダイヤモンドの断面 SEM 像では、Si 基板から $1\text{ }\mu\text{m}$ ほどのダイヤモンドは結晶粒径が小さいことから確認できる。また、 1560 cm^{-1} 付近の G ピークは炭素の面内運動 (すなわち sp^2 軌道) の存在を示唆している。炭素原子のみからなるダイヤモンドはより安定な構造として sp^2 軌道があり、ダイヤモンドの結晶粒界では sp^2 軌道を取る炭素が存在しやすい。これによって、本研究で成膜したダイヤモンドにはわずかに sp^2 軌道の炭素が存在していると考えられる。

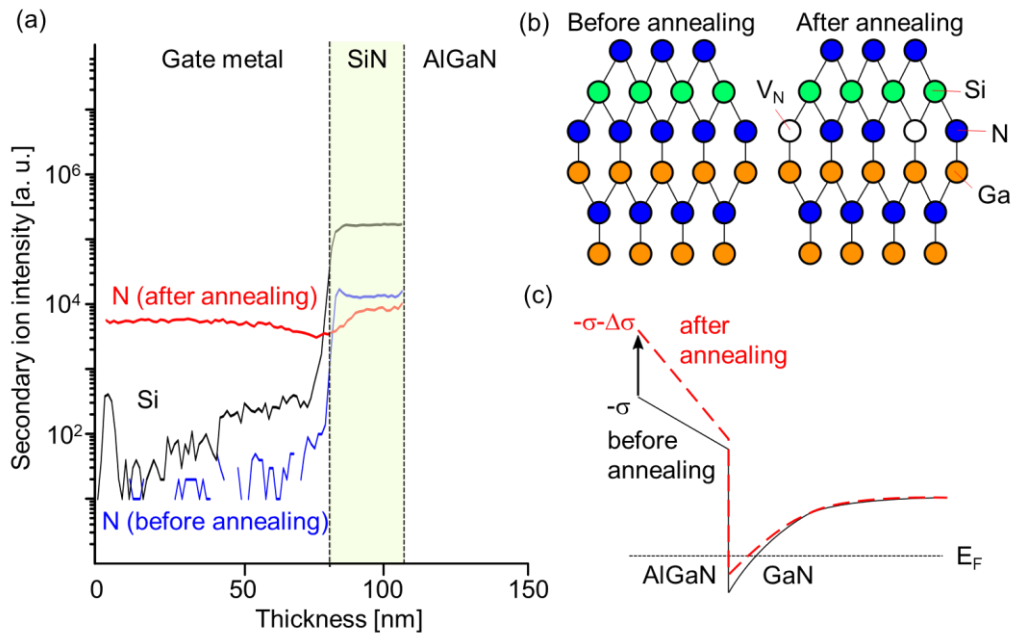
3.7.4 GaN HEMT 上へのダイヤモンド成膜

3.7.4.1 ダイヤモンド成膜後のトランジスタ特性

平成30年度までの結果から、数百 W/mK 程度のダイヤモンド膜を 3 μm 以上トランジスタに堆積することで放熱効果が期待できることを示した。さらに、Si 基板上に膜厚 3 μm かつ熱伝導率 300 W/mK のダイヤモンドを導入した HF-CVD にて実現できることを示した。さらに、表面ダイヤモンドは絶縁膜上に成膜を行うため、表面から放熱を行うためには SiN/ダイヤモンド界面の熱抵抗が重要である。そこで、平成 30 年度に作製したサンプルを用いて、ダイヤモンド/SiN の界面熱抵抗を測定した結果、 $3.3 \times 10^{-9} \text{ m}^2\text{K/W}$ の低い熱抵抗が得られた。絶縁膜として用いる SiN の熱伝導率がおよそ 1 W/mK であり、40 nm の膜厚があるため今回得られた界面熱抵抗は十分無視できるほど小さく、実際にこの表面ダイヤモンドを HEMT 上に適用することによって、放熱効果を得ることが期待できる。そこで、実際にダイヤモンドを GaN HEMT 上に適用することを見据え、初めに、ダイヤモンドを成膜したときのトランジスタ特性への影響を調査するため、GaN HEMT 上へのダイヤモンド成膜後に SiN/HEMT 構造のアクセス領域の変化を Van der Pauw によるホール効果測定により調査した。図⑦-4-1 に各ダイヤモンド成膜温度で成長したダイヤモンド成膜前後のホール効果測定の結果を示す。800°Cでのダイヤモンド合成後では、移動度及び 2DEG 濃度どちらも減少しており、シート抵抗 (R_{sh}) が大きく増加する様子が観察された。一方で、ダイヤモンドの合成温度が 600 - 700°C の範囲では、2DEG 濃度の減少が観察されたが、それに伴って移動度の上昇が観察された。移動度が上昇した理由は、2DEG 濃度の減少により合金散乱や界面ラフネスによる散乱が減少したためであると考えられる。2DEG 濃度が減少した理由を調べるため、加熱前後の絶縁膜の変化を調べた。図⑦-4-2(a) にダイヤモンド合成前後の MIS ゲート構造における絶縁膜中の 2 次イオン質量分析 (SIMS) 結果を示す。加熱後、絶縁膜中の窒素濃度が減少している様子が観察された。SiN 中の窒素が加熱されたことによって、脱離したものであると考えられる。SiN 中から窒素が脱離した場合、SiN 中の窒素サイトが空孔になり窒素空孔欠陥 (V_{N}) を形成する (図⑦-4-2(b))。この窒素空孔欠陥は SiN/AlGaIn 界面に負の固定電荷を形成する要因となる。すなわち、加熱処理前の SiN/AlGaIn 界面に存在していた $-\sigma$ からさらに $-\Delta\sigma$ だけ SiN/AlGaIn 界面のポテンシャルが変化した結果、2DEG 濃度は減少したものと考えられる (図⑦-4-2(c))。結果として、2DEG 濃度が減少しても移動度が上昇したためシート抵抗に大きな変化は見られなかった。600-700°Cでのダイヤモンド合成後、移動度及び 2DEG 濃度に変化が見られたものの、シート抵抗に大きな変化が見られなかったため、600 - 700°C の範囲で GaN HEMT 上へのダイヤモンドの合成を行った。



図⑦-4-1 ダイヤモンド合成前後の移動度、2DEG 濃度 (N_s)、シート抵抗 (R_{sh}) の変化



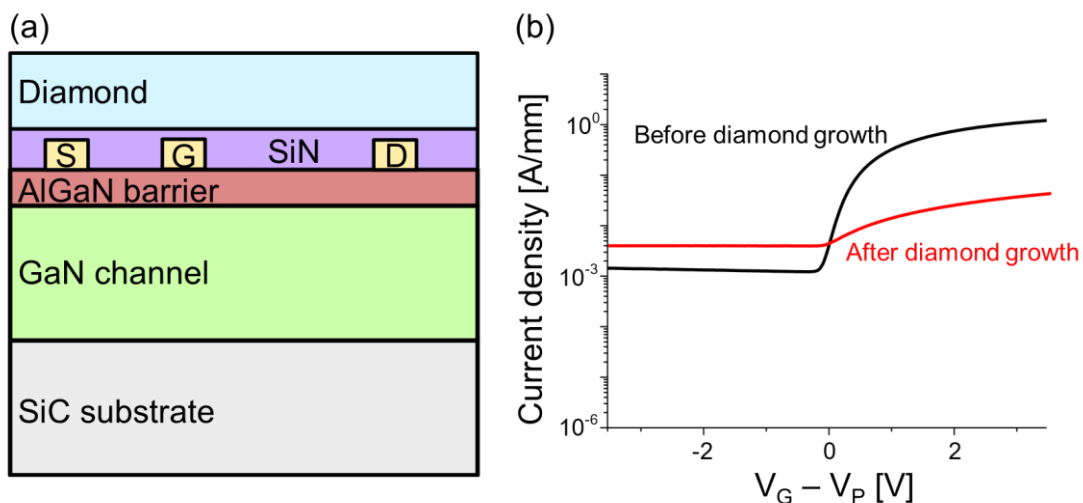
図⑦-4-2 (a) SIMS による加熱前後における SiN 膜中の窒素濃度検出結果、
(b) 加熱による窒素空孔欠陥生成の模式図、(c) 加熱前後のバンド図変化

適用したダイヤモンドの合成条件を表⑦-4-1 に示す。表面放熱ダイヤモンドを適用するために用いた GaN HEMT は SiC 基板上に MOCVD 法により GaN cap 層、Al_{0.5}GaN の供給層、AlN スパースー層、GaN チャネル層及びバッファ層を成長したものを用いた。デバイス構造として、ショットキーゲート及び MIS ゲートを適用したトランジスタ構造を作製した。図⑦-4-3 にショットキーゲートを用いたトランジスタについてダイヤモンド成膜前後の I_d - V_{gs} 特性を示す。ショットキーゲートでは、500°C 以上の高温環境下ではゲートメタルが半導体中へ拡散してしまうために [4]、今回

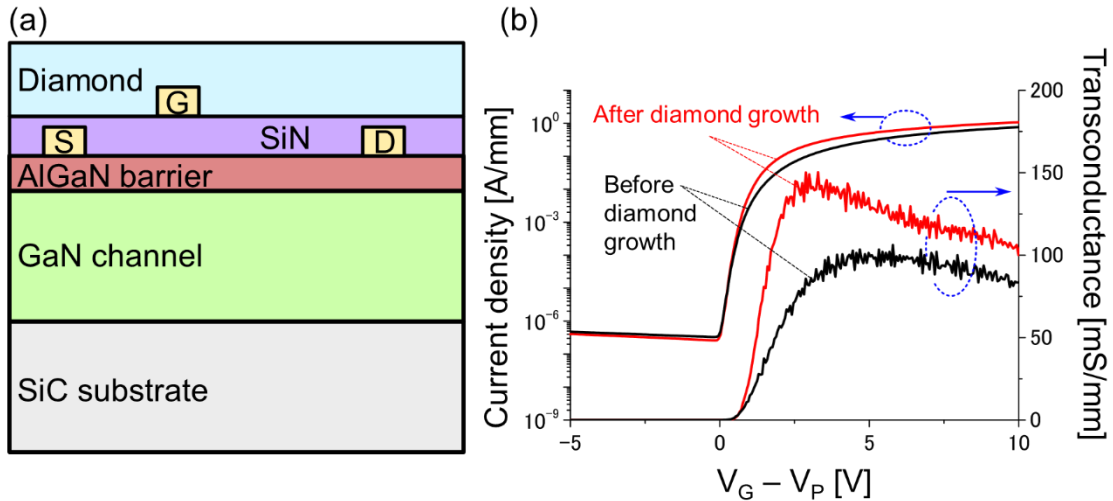
ダイヤモンドの成長で適用した 670°C の条件においてはピンチオフ電圧以下の電圧においてもリーク電流が非常に大きく、オンオフ比が十分に取れなかった。一方で、MIS ゲートを適用した GaN HEMT では、ピンチオフ電圧以下のリーク電流の変化も見られず、ダイヤモンド成膜後においても良好なトランジスタ特性を示した(図⑦-4-4)。さらに、ゲートオン時に最大電流値 I_{max} の増加及び相互コンダクタンス g_m の増加が観察された。 I_{max} および g_m はトランジスタ動作時に温度が上昇することによって、抵抗値の上昇及び移動度の低下により、発熱のないトランジスタよりも劣化する[11]。すなわち、今回の結果は、表面ダイヤモンドによってトランジスタ動作時の発熱が抑制され、各特性の向上が観察されたことを示唆するものである。

表⑦-4-1 トランジスタ上へのダイヤモンド成膜条件

Pressure	650	Pa
H ₂	1000	sccm
CH ₄	14	sccm
Filament temperature	2400	°C
Sample temperature	680	°C
Time	5	h.



図⑦-4-3 (a) ショットキーゲートの GaN HEMT 及び
(b)ダイヤモンド成膜前後の I_d - V_{gs} 特性



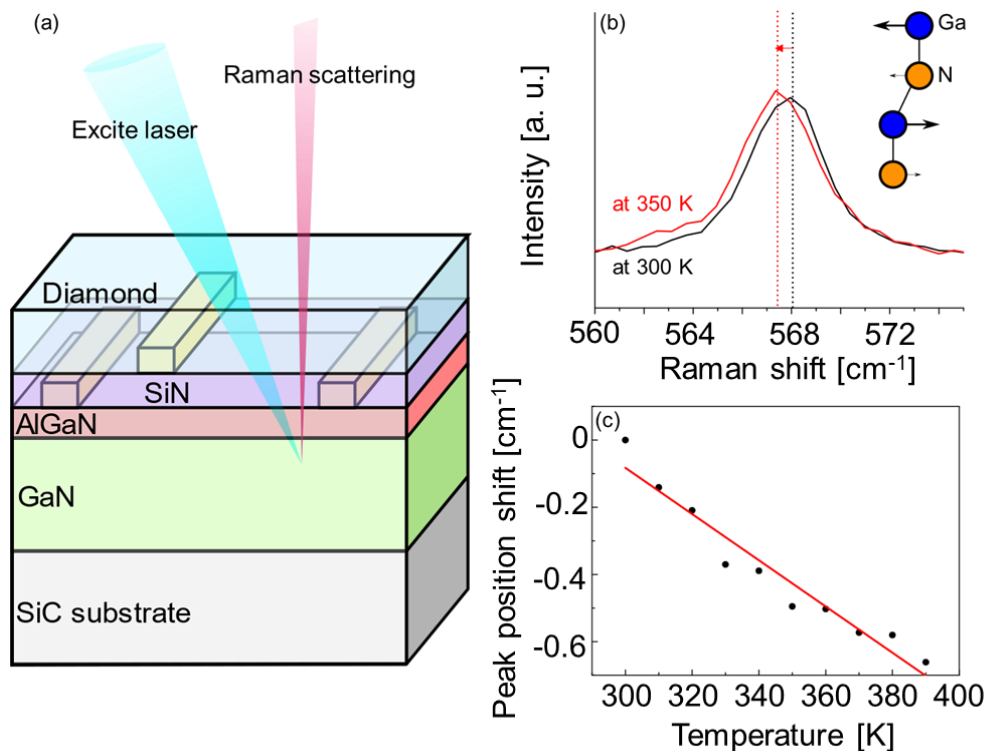
図⑦-4-4 (a) MIS ゲートの GaN HEMT 及び(b) ダイヤモンド成膜前後の I_d - V_{gs} 特性

3.7.4.2 表面ダイヤモンドによる GaN HEMT の放熱効果

図⑦-4-4 に示したように、MIS ゲートの GaN HEMT においては表面放熱ダイヤモンドの適用による電流の増加及び相互コンダクタンスの増加が観察された。これがトランジスタの動作温度上昇を抑制する効果によるものかを明確にするため、トランジスタ動作中の温度変化を測定する必要がある。そこで、トランジスタ表面にダイヤモンドを適用しなかった場合と適用した場合について、トランジスタ動作時の温度分布を調べた。トランジスタ動作時の温度は Raman 分光を用いて測定した。Raman 分光を用いた温度測定の模式図を図⑦-4-5(a)に示す。トランジスタの温度は、Raman ピークのシフト量を観察することで求めることが可能であり、温度に対するピーク位置は下記の式⑦-4-1 で示される [12]。

$$\omega(T) = \omega_0 - \frac{A}{\exp\left(\frac{B\hbar\omega_0}{k_B T}\right) - 1} \quad \text{式⑦-4-1}$$

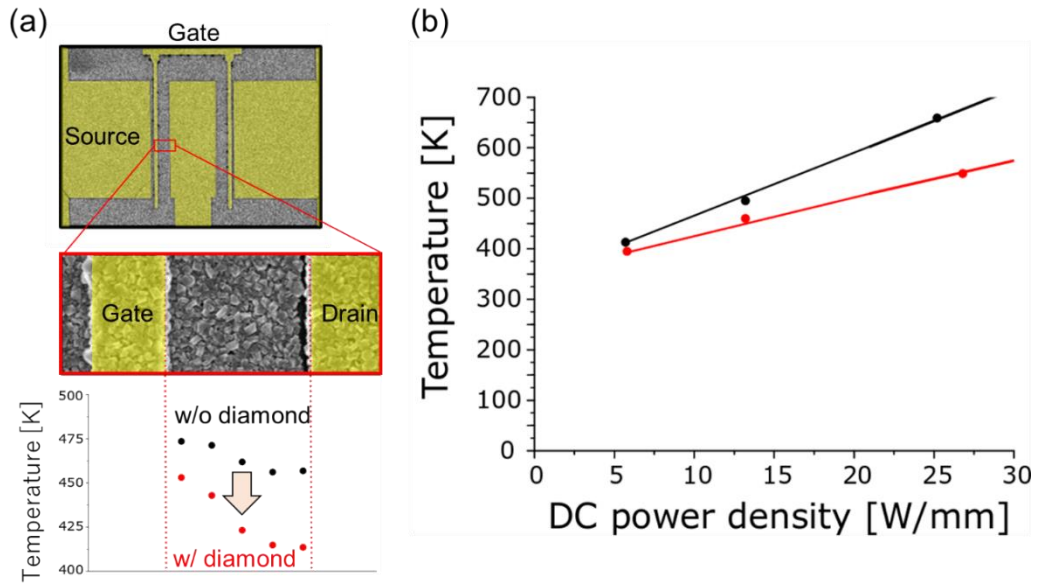
ここで、 ω_0 は 0 K での Raman シフト (GaN E2 high = 568 nm)、 \hbar はプランク定数、 k_B はボルツマン定数、 T は温度、 A 、 B はフィッティングパラメータである。トランジスタを加熱して GaN E2 high のピーク位置を調べた結果を図⑦-4-5(b) および図⑦-4-5(c) に示す。GaN E2 ピークを用いた理由としては、ピーク強度が高いこと及びトランジスタ表面ではなく、電子走行層である GaN チャネルの温度を測定することが可能なためである。GaN E2 high ピークは温度上昇に伴って低波数側にシフトしていることが観察された。300 K から 400 K 程度の温度範囲においてはおよそ線形にピークシフトが得られた。300 K 以下においては式⑦-4-1 に示す通り、exp 型の関数が観察されるが、300 K 以上の温度においてはおよそ線形に推移するため、今回は線形フィッティングを行うことで、GaN E2 high ピークの温度依存性を調べた。このフィッティング結果を用いて、GaN HEMT 動作時の温度を調べた。



図⑦-4-5 (a) Raman 測定による GaN HEMT 内の GaN チャンネル温度分布測定の様式図、(b) GaN E2 high ピークの温度依存性と GaN E2 high の格子振動の様式図、(c) 温度に対する GaN E2 high のピーク位置変化

図⑦-4-6 に DC 電力を与えたときのトランジスタの温度特性を示す。ゲート電極からドレイン電極にかけて温度が低下している様子が観察される(図⑦-4-6(a))。これは、平成30年度のシミュレーション結果でも示されていたように、付近の電子走行層が最も薄く高抵抗なため、ゲートでの温度が上がりやすいことに起因していると考えられる。さらに、ドレイン電極付近では、電極金属および、電極と接するダイヤモンドとの熱交換が行われやすいため、温度が低下しやすくなる。さらに、表面ダイヤモンドを適用していない GaN HEMT と適用したものを比較すると、ダイヤモンドを適用した GaN HEMT では、最大の温度差で 25℃以上の差が観察され、GaN HEMT に表面ダイヤモンドを適用することによって GaN HEMT の放熱効果が得られていることを確認した。各 DC 電力を与えたときの GaN HEMT の最大電流値をプロットしたものを図⑦-4-6(b)に示す。最大温度はダイヤモンドを適用した GaN HEMT で全体的に低下しており、線形フィッティングの傾きから求めた熱抵抗はダイヤモンドを非適用のもの及び適用のものでそれぞれ 12.7 mm・K/W と 7.3 mm・K/W となり、熱抵抗を 40%程度低下できることを実証し、表面ダイヤモンドが GaN HEMT の放熱に有用であることが示された。

今回得られた温度特性の結果から、図⑦-4-4 で観察された I_{\max} 及び g_m の変化を考慮する。 $V_{gs} = 2$ V, $V_d = 20$ V 時の電流値はダイヤモンド非適用時の 1.1 A/mm から 1.3 A/mm に増加しており、この時の GaN HEMT の最大温度は表面ダイヤモンド非適用時及び適用時でそれぞれおよそ 650 K 及び 500 K であった。各温度での移動度がシート抵抗に依存していると考え、それぞれの温度での移動度は約 350 cm²/Vs および 500 cm²/Vs であり、抵抗は 30%低下する。これに対して、電流の増加量は約 20%程度であり、実際のアクセス領域の温度分布を考慮すると近い値を得ることができた。そのため、 I_{\max} の変化は温度低下によるものであると考えられる。さらに、 g_m はソース側の抵抗に依存しており、その変化は下記のように記載することができる。



図⑦-4-6 (a)ダイヤモンド成膜後の GaN HEMT 表面 SEM 像と GaN チャンネル温度分布、(b) DC 電力に対する GaN HEMT 中の最大 GaN チャンネル温度

$$g_m(T) = \frac{1}{\frac{1}{g_{m0}} + R_s(T)} \quad \text{式⑦-4-2}$$

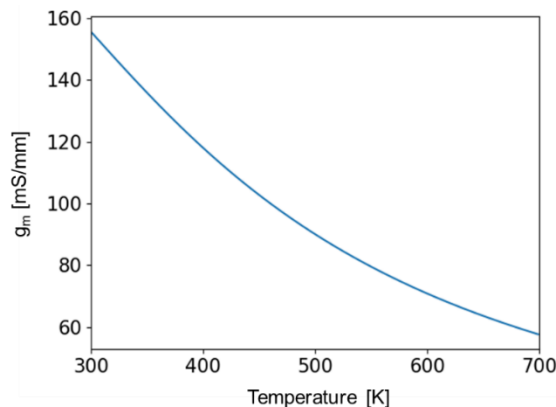
ここで、 g_{m0} は GaN HEMT が固有で持つ相互コンダクタンスである。 R_s は移動度、すなわち電子の散乱時間の関数になるため、

$$R_s(T) = \frac{1}{qN_s\mu(T)} = \frac{m^*L_{GS}}{q^2N_s} \frac{1}{\tau(T)} \quad \text{式⑦-4-3}$$

q は素電荷、 N_s は 2DEG 密度、 m^* は電子の有効質量、 L_{GS} はゲート-ソース間距離である。また、電子の散乱時間は光学フォノン等により、以下のように記載することができる。

$$\frac{1}{\tau(T)} = \frac{1}{\tau_{OP}(T)} + \frac{1}{\tau_{IR}(T)} + \frac{1}{\tau_{DP}(T)} + \frac{1}{\tau_{PE}(T)} + \frac{1}{\tau_{BI}(T)} \quad \text{式⑦-4-4}$$

これらの式を用いて g_m と温度の依存性を計算したものを図⑦-4-7 に示す。図⑦-4-4 から得られた g_m の変化は、ダイヤモンド非適用のもので 110 mS/mm であり、適用したもので 140 mS/mm であった。図⑦-4-7 のグラフからおおよそ 50°C 程度の温度差があれば g_m は 110 mS/mm から 140 mS/mm へ変化することが示されており、今回表面にダイヤモンドを適用した GaN HEMT の最大温度低下よりも低いことから、 g_m の変化についても表面ダイヤモンド適用したことによる温度低下に起因するものと考えられる。

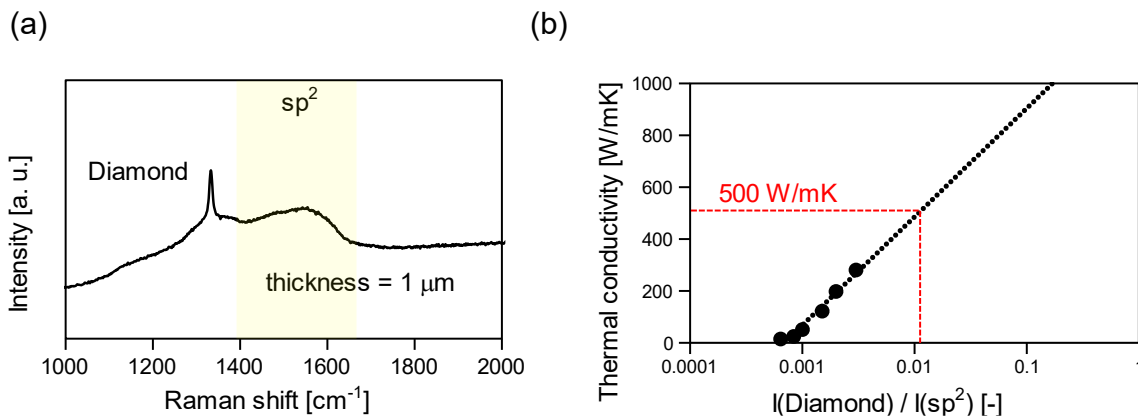


図⑦-4-7 温度に対する g_m の依存性

3.7.5 GaN HEMT 高周波特性への影響と成膜温度の低温化検討

3.7.5.1 厚膜化による CVD ダイヤモンドの高熱伝導率化

凡そ膜厚 $3 \mu\text{m}$ のダイヤモンドにおいて熱伝導率 200 W/mK 以上を実現し、十分な放熱効果を得られることを示した[13]。しかし、単結晶ダイヤモンドの熱伝導率は 2000 W/mK 以上であり、CVD 成膜条件の検討を重ねることで更なる熱伝導率の改善が期待できる。多結晶ダイヤモンドの場合は、フォノン散乱の影響や粒界等に存在する熱伝導率の低い sp^2 軌道成分の存在によって、理想的なダイヤモンドの熱伝導率よりも低くなってしまいが[14]、これまで得られた結果から膜厚を増加させることで粒径が拡大し、CVD ダイヤモンドの熱伝導率は向上することが分かっている。そこでこれまでに成膜したダイヤモンドよりも更に厚いダイヤモンド膜を形成することで、CVD ダイヤモンド膜の熱伝導率の改善を試みた。上記したように多結晶ダイヤモンドの熱伝導率は熱伝導率の低い sp^2 軌道成分により低下してしまうため、多結晶ダイヤモンド膜に含まれる sp^2 軌道成分含有量を調べるによりおおよその熱伝導率が推測できる。図⑦-5-1(a)に Si 基板上へ成長した $1 \mu\text{m}$ 膜厚のダイヤモンドの Raman スペクトルを示す。 1333 cm^{-1} の明瞭なダイヤモンドピークのほかに $1400 - 1600 \text{ cm}^{-1}$ に sp^2 起因のブロードなピークが観察できることが分かる。図⑦-5-1(b)に sp^2 起因のピークの積分強度で規格化したダイヤモンドピークとサーモリフレクタンス法によって得られたダイヤモンドの熱伝導率の関係を示す。ダイヤモンド膜厚を増加するほど熱伝導率は向上し、それと比例するように sp^2 成分の積分強度 ($I(\text{sp}^2)$) に対するダイヤモンドピークの強度 ($I(\text{Diamond})$) は増加していることが分かった。つまり、ダイヤモンド膜厚の増加によりこの傾向が維持されれば、最終的な CVD ダイヤモンドの熱伝導率目標である 500 W/mK を達成することが可能であると考えられる。この時、およそ膜厚 $2.5 \mu\text{m}$ 、 $5.0 \mu\text{m}$ において熱伝導率はそれぞれ 200 W/mK 及び 350 W/mK であったため、ダイヤモンド膜厚 $8 \mu\text{m}$ 以上において 500 W/mK が実現できると考えられる。



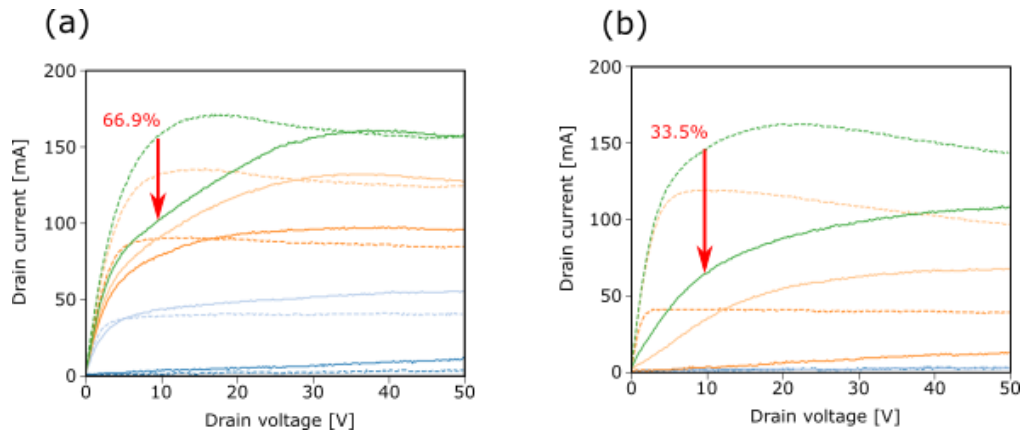
図⑦-5-1 (a)ダイヤモンド膜厚 $1 \mu\text{m}$ 時の Raman スペクトル。(b) sp^2 ピークの積分強度で規格化したダイヤモンドピークと熱伝導率の関係。

3.7.5.2 ダイヤモンド成膜が高周波特性に与える影響

3.7.4に示したように DC 特性においては、GaN HEMT 表面にダイヤモンドを適用したことにより、熱抵抗が小さくなり自己発熱を抑制できることを確認した。さらに、その時用いたダイヤモンド成長条件において膜厚を増加させることによって、ダイヤモンドの熱伝導率も目標値を達成できることを上記 3.7.5.1 に示した。一方、GaN HEMT は高周波で使用されるため電流コラプ

スや f_{max} といった特性へのダイヤモンド成膜の影響も考慮する必要がある。そこで、電流コラプス特性の評価としてパルス I-V 測定を、高周波特性評価として S-parameter の測定を行った。

図⑦-5-2(a), (b)にそれぞれダイヤモンド成膜前後の pulse-IV 測定の結果を示す。電流コラプス率は、電圧ストレス (V_{gs}, V_{ds})=(0, 0) および (-5, 50) V を印加したのち、(V_{gs}, V_{ds})=(2, 10) V にて測定したドレイン電流の比から算出した。ダイヤモンド成膜前では、 $V_{ds} = 10$ V でのコラプス率は 66.9%であったのに対して、ダイヤモンド成膜後においてはコラプス率が 33.5%と 30 ポイント以上の劣化が見られた。電流コラプス現象は、半導体中もしくは半導体表面付近のトラップ準位に電子が捕獲されることが原因と考えられるが、GaN 結晶の一般的な成長温度は 1000°C 程度であり、ダイヤモンド成膜時の 700°C 程度での熱履歴で大幅な特性劣化は考えにくく、SiN/半導体界面付近の状態変化によるものと推察される。3. 7. 4 に示した結果より、ダイヤモンド成膜後では GaN HEMT の表面パッシベーション膜として利用される SiN 中の窒素が拡散し窒素空孔欠陥を形成していることが二次イオン質量分析法測定の結果から示唆された。窒素空孔欠陥はおよそ 0.2 eV の深い準位を形成することが報告されており、このトラップ準位がダイヤモンド成膜後に形成され、トラップ電子が増えたことにより電流コラプスの劣化を引き起こしたものであると考えられる。



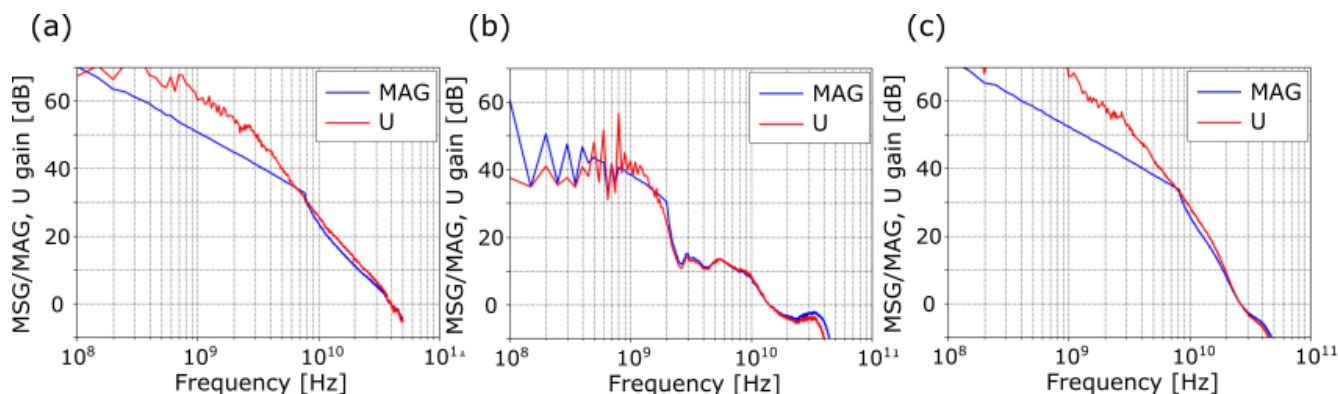
図⑦-5-2 (a)ダイヤモンド成膜前、(b)ダイヤモンド成膜後の pulse-IV 測定の結果。点線がバイアスポイント (V_{gs} [V], V_{ds} [V]) = (0, 0)、実線がバイアスポイント (-5, 50) を示す。パルス幅は 1 μ sec.、duty 比は 0.01% である。

次に、S-parameter の測定結果を図⑦-5-3 に示す。ダイヤモンド成膜前においては f_{max} がおよそ 40 GHz であったのに対して、これまで行ってきたおよそ 650 - 700°C のダイヤモンド成長温度では、ダイヤモンド成膜後の f_{max} は 10 GHz となり大きな劣化が観察された。 f_{max} は、等価回路から下記のようにあらわされ

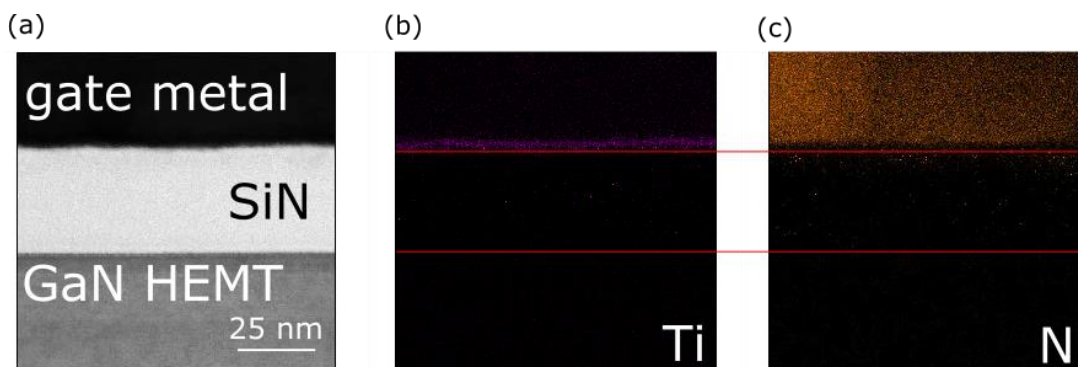
$$f_{max} = \frac{f_T}{2\sqrt{R_i g_d}} = \frac{g_m}{4\pi C_{gs} \sqrt{R_i g_d}} \quad \text{式⑦-5-1}$$

ここで、 R_i , g_m , g_d , C_{gs} , f_{max} , f_T はそれぞれソースからゲートへの抵抗、相互コンダクタンス、ドレインコンダクタンス、ゲート-ソース間容量、最大発信周波数、および遮断周波数である。 g_m , R_i および g_d に関してはダイヤモンド成膜により向上または変化しないことがこれまでの結果よりわかっているため、 C_{gs} の増加によって f_{max} が低下したものと考えられる。今回の測定では、ダイヤモンドの成膜によるキャパシタンス増加の影響を無視するため、ダイヤモンドの膜厚は 50 nm 程度で測定した。そのため、SiN の窒素が拡散したことや SiN 中への金属拡散によって、 C_{gs} が変化したためであると考えられる。一方で、600°C 程度の温度では、図⑦-5-4 に示すように加熱後においても Ti や Ni といったゲート金属の拡散が観測されず、SiN の特性変化が起こらないため f_{max} の低下が観察されないと考えられる。すなわち、DC 特性だけでなく高周波特性も考慮した場合、

CVD 法により表面にダイヤモンドを適用し GaN HEMT の特性向上を行うためには、およそ 600°C 程度以下まで成長温度を低下させることが必要であることが分かった。



図⑦-5-3 (a)ダイヤモンド成膜前、(b)650 - 700°Cでのダイヤモンド成膜後、(c) 600°C以下でのダイヤモンド成膜後の S-parameter 評価結果。青線、赤線はそれぞれ MSG/MAG およびゲインである。



図⑦-5-4 (a)600°C加熱後のゲート付近の断面透過電子顕微鏡像。(a)領域における(b)Ti, (c)Ni のエネルギー分散型 X 線分光法測定の結果。

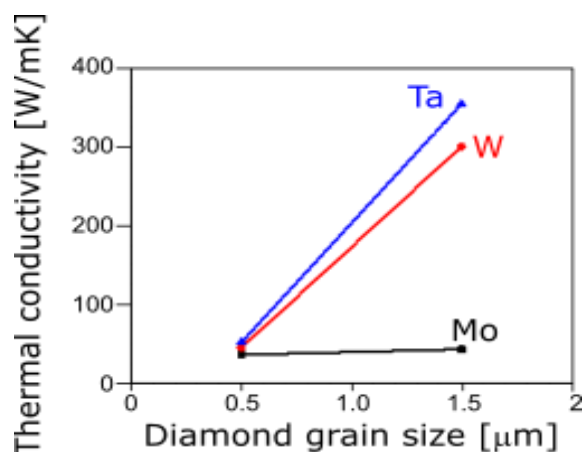
3.7.5.3 フィラメント金属とダイヤモンド熱伝導率の関係

DC 特性を維持するためには 700°C 程度、高周波特性を維持するためには 600°C 以下での合成が必要であることが分かった。通常、ダイヤモンドの成長温度は、アドアトムとなった炭素の sp^3 軌道の維持や sp^2 軌道のエッチングのため 800-900°C 程度が望ましく、熱伝導率も成長温度の低温化とともに低下してしまう。そこで、CVD による成長温度を低下させつつも、高い熱伝導率を維持させるため、熱フィラメント (HF-)CVD に利用する金属フィラメントとダイヤモンド熱伝導率の相関を調査した。

図⑦-5-5 にタングステン (W)、モリブデン (Mo)、タンタル (Ta) をダイヤモンド成長用のフィラメントとして用いた場合の熱伝導率測定の結果を示す。多結晶ダイヤモンドの熱伝導率は結晶粒径に大きく依存するため、結晶粒径に対する熱伝導率を示している。成長条件はこれまで用いた成長条件をもとに、フィラメント加熱用電流を 240 A で固定した。図⑦-5-4 に示したように、金属フィラメント材料を変えることによって、同一の条件であってもダイヤモンドの熱伝導率が異なることが分かった。しかし、同一電流においては、フィラメントの温度はタンタル、タングス

テン、モリブデンにおいてそれぞれ、およそ 2600、2400、2100°Cとなっていることが分かった。ダイヤモンド成長を行う基板はフィラメントからの放射熱によって加熱されるため、同じ電流であってもモリブデンの温度が低くそれに伴って基板の温度も低くなるためダイヤモンドの熱伝導率も低くなったと考えられる。すなわち、今回得られた金属フィラメント変更によるダイヤモンドの熱伝導率向上は、ダイヤモンド成長中の温度が Ta フィラメントを用いた場合に高いことが原因であると考えられる。

ダイヤモンドの成長温度に制約がない場合、炭化した金属各金属材料の融点は炭化タンタル(3880°C)、炭化タングステン(2870°C)、炭化モリブデン(2577°C)であるため、タンタルを用いることでより高温での成長が可能になり、CVD ダイヤモンドの高熱伝導率化が期待できる。しかし、今回のように成長温度に制約がある場合においては、金属フィラメントの変更による熱伝導率の改善は難しいことが分かった。

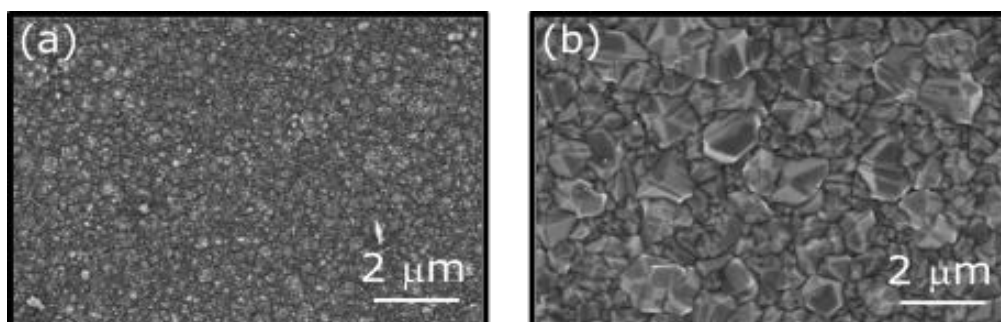


図⑦-5-5 ダイヤモンド粒径に対する熱伝導率の依存性。青、赤、黒線はそれぞれタンタル(Ta)、タングステン(W)、モリブデンフィラメント(Mo)を用いた場合の結果を示す。

3.7.5.4 酸素添加によるダイヤモンド品質の改善

ダイヤモンド成長低温化の別の方法として、成長中へ酸素を添加することが考えられる。ダイヤモンドの成長温度を低下させたときに熱伝導率が悪化する主な要因は水素ラジカルによる十分な sp^2 軌道のエッチングが起こらないため、 sp^2 リッチなダイヤモンドとなることである。そこで、炭素に対して水素よりも強いエッチング能力を持つ酸素を添加することで[15]、低温成長においても sp^2 軌道成分の残留を抑制し熱伝導率の向上を試みた。

図⑦-5-6 に酸素添加、非添加での Si 上へ形成したダイヤモンド表面の SEM 像を示す。その他の成長条件は同一のものを使用した。酸素添加した場合は、酸素添加しない場合に比べて結晶粒径の劇的な改善がみられており、結晶粒径増大によって熱伝導率が大きく向上していると考えられる。



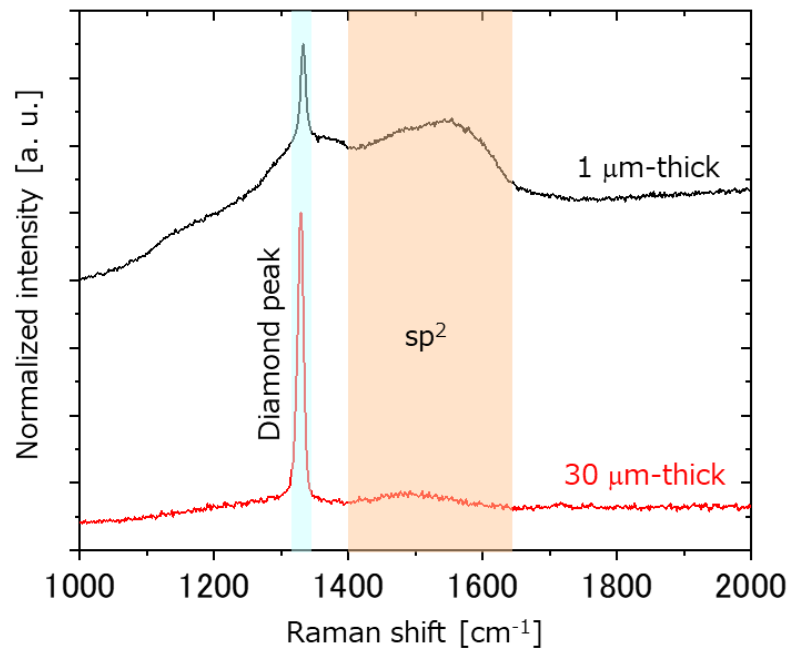
図⑦-5-6 ダイヤモンド成長中への酸素添加(a)あり、(b)なしの成長後 SEM

3.7.6 ダイヤモンドの高熱伝導率化と MIS ゲート構造 HEMT への表面ダイヤモンド膜の適用

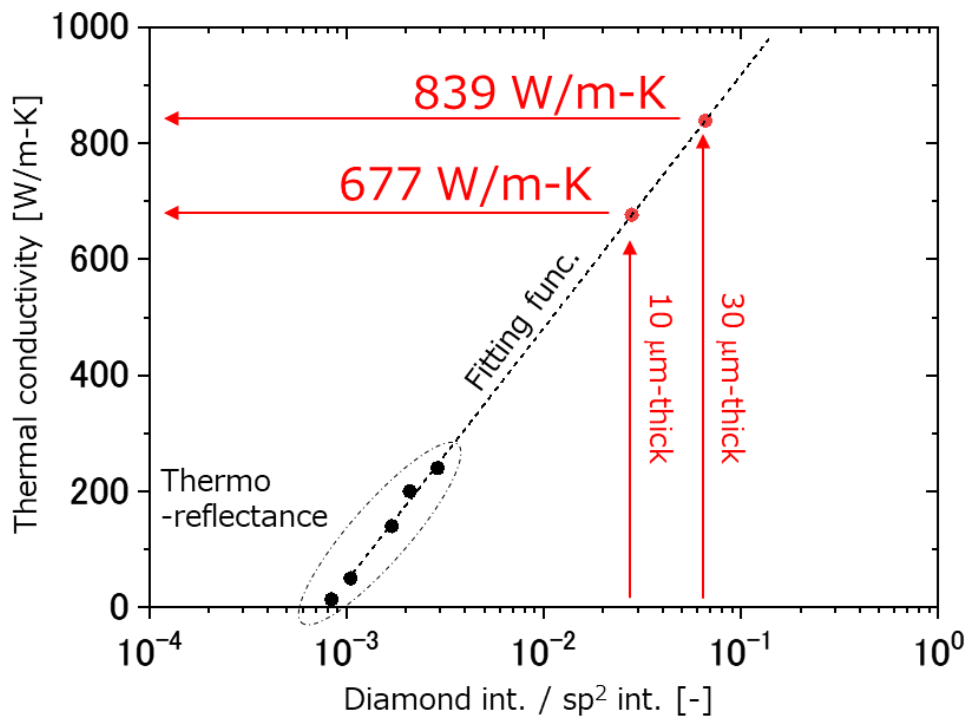
3.7.6.1 ダイヤモンド膜厚と熱伝導率の関係

多結晶の熱伝導率は結晶粒径に依存し、結晶粒径がフォノンの平均自由行程よりも十分大きくなると飽和するようになる。ダイヤモンドの場合はフォノンの平均自由行程が 600 nm 程度のため、1 μm 程度まで結晶粒子が大きくなると理想的にはダイヤモンドの理論的な熱伝導率である 2000 W/mK に近づくが、ダイヤモンドの場合、結晶粒界においてよりエネルギー的に安定かつダイヤモンドに比べて熱抵抗の高い sp^2 混成軌道を形成するため結晶粒界の熱抵抗によっても熱伝導率は大きく左右される。実際にダイヤモンドのラマンピークである 1333 cm^{-1} の強度比に対する $1400 - 1700\text{ cm}^{-1}$ に観察される sp^2 軌道の強度比と熱伝導率とに関係性があることを前述した。その結果、ダイヤモンドの膜厚を厚くするごとに sp^2 軌道のピークに対してダイヤモンドのピーク強度が上がり、熱伝導率も高くなることを示した。そこで、さらにダイヤモンドの膜厚を増加させることによって放熱材料として用いられる Al や Cu をも超える CVD ダイヤモンドの熱伝導率を達成することを目指した。ダイヤモンドの成長条件はこれまで用いた、圧力 650 Pa, メタン濃度 1%, 温度 $\sim 650^\circ\text{C}$ にて 40 時間成長することによって、30 μm までダイヤモンドを成長した。

成長後のダイヤモンド膜の Raman スペクトルを図⑦-6-1 に示す。ダイヤモンドの膜厚が 1 μm の時点では、ダイヤモンドピークに近い強度の sp^2 軌道成分が観察された。また、このダイヤモンド膜には強いバックグラウンドも観察されていることから、一定の原子間距離を持たないアモルファス層も形成されていることが分かる。一方で、30 μm までダイヤモンドを成長すると sp^2 軌道成分は非常に小さくなり、一方でシャープなダイヤモンドピークが観察された。このダイヤモンド膜の熱伝導率を測定するためにサーモリフレクタンス法により熱伝導率の測定を試みた。サーモリフレクタンス法では、熱伝導率の測定にレーザーの反射強度を用いるが、ダイヤモンドの膜厚と多結晶の粒径はおおよそ比例関係にあるため、厚膜にすると結晶表面が荒れてしまうために、入射したレーザー光が散乱されて熱伝導率の測定ができなかった。そこで、Raman 分光のスペクトルのダイヤモンドピークの強度と sp^2 軌道の積分強度比から熱伝導率を見積もった。図⑦-6-2 に熱伝導率と強度比の関係を示す。サーモリフレクタンス法を用いて熱伝導率を測定した熱伝導率と Raman の強度比には対数関数で精度よくフィッティングがかかることが分かる。ここで得られたフィッティング関数から、ダイヤモンド膜厚 10 μm および 30 μm の時の熱伝導率を求めるとそれぞれ、677 W/mK および 839 W/mK となり、10 μm 以上の膜厚で目標とする 500 W/mK を超えるダイヤモンドを CVD で成長できることが分かった。



図⑦-6-1 ダイヤモンド膜厚 $1\ \mu\text{m}$ 及び $30\ \mu\text{m}$ 時の Raman スペクトル測定結果

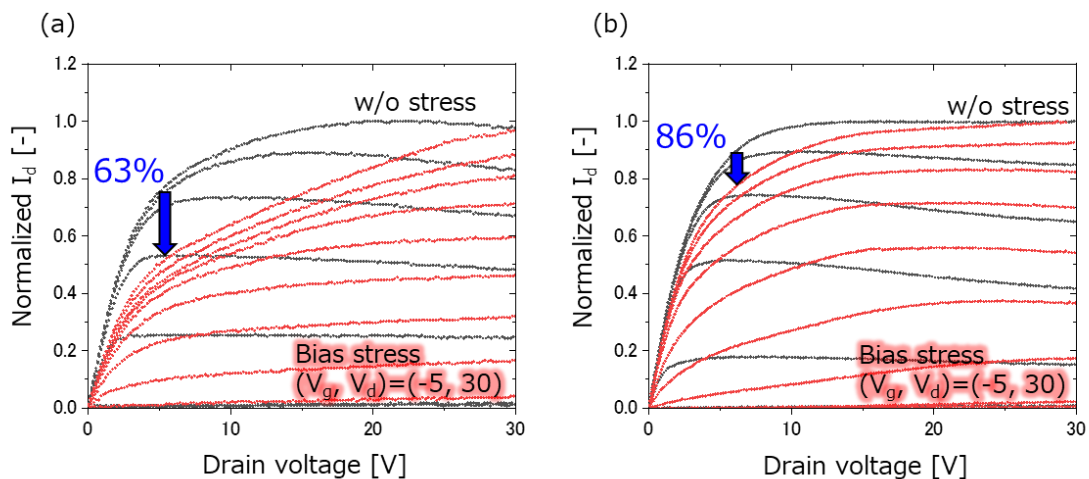


図⑦-6-2 sp^2 成分に対するダイヤモンドピーク強度と熱伝導率の関係。黒のプロットはサーモフレクタンス法で求めた熱伝導率の測定結果

3.7.6.2 SiN/AlON-MIS 構造 HEMT への表面ダイヤモンド膜の適用

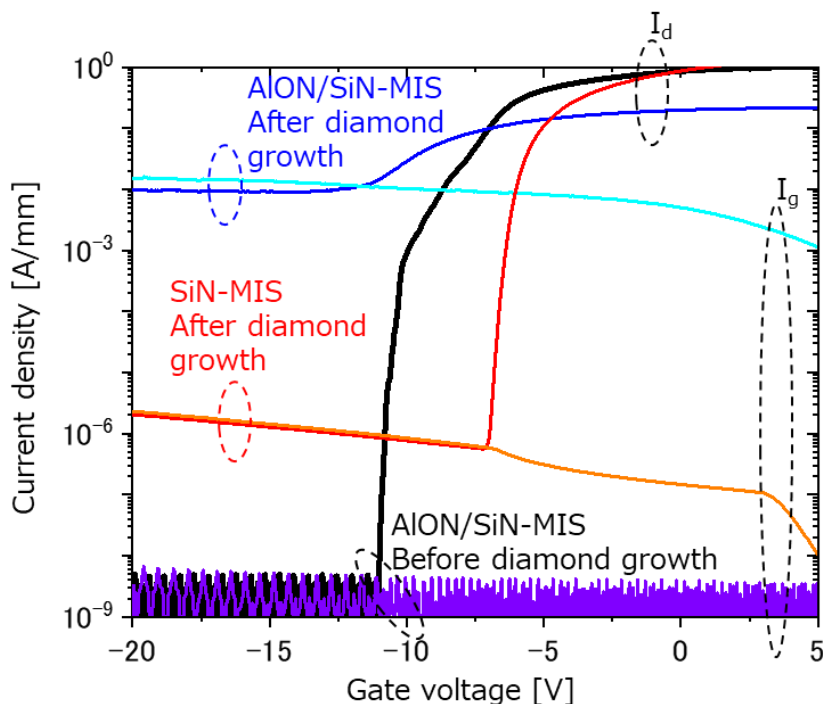
ダイヤモンドを 10 μm 以上の膜厚に成長することによって、CVD ダイヤモンドの熱伝導率が放熱材料として利用される Al や Cu 等を超えることを示した。しかし、200 W/mK 程度であっても十分な放熱効果を得ることができる。SiN を用いた MIS ゲート構造は 700°C 程度のダイヤモンド成長環境においても、ゲート電極の拡散を防ぐことができるため GaN HEMT を破壊せずに適用できることを示した。しかし、SiN 絶縁膜は電流コラプスの増大といった高周波特性の劣化がみられるため、ダイヤモンドを適用したことによる放熱効果よりも電流コラプスによる電流値の低下の方が大きくなってしまふ。実際に、”④高耐圧絶縁ゲート形成技術”で示したように、電流コラプスはロードプル測定時の出力電力密度に大きく影響するため、最も重要なパラメータである。そこで、”④高耐圧絶縁ゲート形成技術”において検討し、最もダイヤモンド成膜後のコラプスが優れていた AlON/SiN-MIS 構造を適用した AlN 基板上 GaN HEMT 上にダイヤモンドを適用し、その影響を調べた。

図⑦-6-3 に SiN 単層 MIS 構造及び AlON/SiN-MIS 構造を用いた GaN HEMT 上にこれまで得られた厚さ 3 μm 程度のダイヤモンド成長条件にさらした後の電流コラプスの結果を示す。SiN 単層の MIS 構造の場合は 63%とコラプス率が著しく低いことが分かる。ショットキーの場合には 90%を超える高いコラプス率を実現できるため、今回成膜した SiN 上へダイヤモンドを適用することによって電流値を増加させることは難しい。一方で、AlON/SiN-MIS 構造の場合には 86%と高いコラプス率を実現できていることが分かる。これは、”④高耐圧絶縁ゲート形成技術”において得られた結果とも一致しており、AlN 基板上へ作製した GaN HEMT 上においても同様の結果を得ることができた。



図⑦-6-3 (a) SiN 単層および(b)AlON/SiN 積層 MIS 構造の電流コラプス測定結果

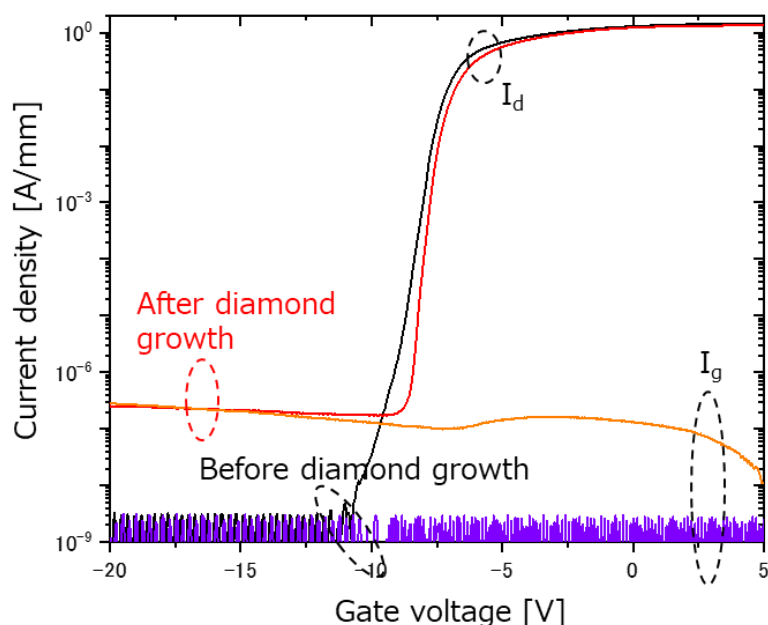
また、図⑦-6-4 にダイヤモンド成膜後の SiN 単層 MIS 構造および AlON/SiN-MIS 構造の I_d - V_{gs} 特性結果を示す。ダイヤモンド成膜前では、ゲートのリーク電流 $I_g \approx 10^{-9}$ A/mm と非常に小さいことが分かる。ダイヤモンド成膜後では、その放熱効果により $V_{gs} = 0$ V 以上の領域ではダイヤモンド前の GaN HEMT よりもドレイン電流が高い傾向を示している。さらに、SiN 単層 MIS ゲートではオフ状態 ($V_{ds} = 10$ V, $V_{gs} = -10$ V) において $I_g < 10^{-6}$ A/mm と十分小さい値を維持している。しかしながら、閾値電圧が順方向に大きくシフトしてしまっており、半導体/絶縁膜界面での電荷の変化があることが分かる。一方で、AlON/SiN-MIS 構造は電流コラプスの劣化がないように閾値電圧の変動はないものの、ゲートおよびドレインのリーク電流が劇的に増加してしまっている。特に、ゲートのリーク電流がドレインのリーク電流よりも高いため、ソース-ゲート間でのリーク電流が大きい。これは長時間のダイヤモンド成長によって、窒素を導入して AlO の結晶化を抑制した AlON 絶縁膜であっても、結晶化してしまったためであると考えられる。結果として、GaN HEMT として動作はできるものの、ゲート直下キャリア濃度やゲート電圧を正に振り込んだ際にも正しいゲート動作がオンにならなくなってしまったため、最大電流値はダイヤモンド適用前に比べて低下してしまうことが分かった。



図⑦-6-4 SiN 単層および AlON/SiN 積層絶縁膜上へのダイヤモンド成長前後の I_d - V_g 特性

3.7.6.3 高温成長 SiN-MIS 構造 HEMT への表面ダイヤモンド膜の適用

これまでの結果で、AlON/SiN-MIS 構造でも CVD によるダイヤモンドの適用は利点もある反面、不利な点もあるためダイヤモンドを適用しないほうが現状では高い出力を実現できることが示された。そこで、AlON ではなく SiN の加熱後の高周波特性劣化を抑制するために、その後のダイヤモンド成膜時に印加される 700°C 程度での加熱処理よりも高い 1000°C 程度で SiN を成膜し MIS 構造とすることで、CVD による表面ダイヤモンド適用を検討した。MIS 構造を実現するための SiN 膜厚は 10 nm を使用した。ダイヤモンド成長前後の I_d - V_g 特性を図⑦-6-5 に示す。ダイヤモンド成長前は AlON/SiN 積層 MIS 構造と同様に高い絶縁性を持っているため、オフ状態のリーク電流は検出限界以下となっている。ダイヤモンド成長後においては、リーク電流は増加しているものの $I_g < 10^{-6}$ A/mm と十分低い値を示しており、高温成長した SiN 絶縁膜はダイヤモンド成長温度に耐える優れた特性を示すことが分かった。しかし、課題として”④高耐压絶縁ゲート形成技術”および”⑩要素技術統合”でも記載するように、高温成長した SiN 10 nm の MIS 構造そのものの電流コラプスが AlON/SiN 積層絶縁膜よりも悪いため、ダイヤモンド成長による放熱効果が得られないパルス動作領域においては、AlON 単層の絶縁膜を用いたほうがもっとも高い出力を得ることができる。今後、高温 SiN 絶縁膜のトラップ低減を行うことで、低コラプス化を実現し表面放熱ダイヤモンドと組み合わせることでさらなる特性向上が期待できる。



図⑦-6-5 高温成長 SiN 絶縁膜 10 nm の MIS 構造デバイス上へのダイヤモンド成長前後の I_d - V_g 特性

3.7.7 まとめ

平成29年度には、熱フィラメントCVDによるダイヤモンド成膜条件を検討した結果、サンプルとの間隔を広げることで結晶品質を維持した低温成膜が可能となり、602℃の成膜温度において、絶縁耐圧：15 MV/cm以上、300 W/mKの熱伝導率を有するダイヤモンドを成膜することに成功した（本委託研究の中間目標値：200 W/mKを達成）。この知見を、平成30年度導入のCVD装置の設計・仕様に反映させた。

平成30年度には、十分な放熱効果を得るために要求されるダイヤモンドの構造を計算し、本研究に適した独自構造のHF-CVD装置を導入してダイヤモンド成膜条件を探索した。シミュレーションでは、ダイヤモンドの厚膜化によってGa_N HEMTの放熱効果が高くなり、3 μm以上の膜厚で十分放熱効果が期待できることがわかった。また、Ga_N HEMTの温度耐性を評価し、600℃程度の低温で成膜する必要があることが分かった。低温でも高品質かつ成膜速度の速いダイヤモンドを得るため、独自に構成したHF-CVD装置を導入し、成膜条件の最適化によって成膜速度が速く（430 nm/h.）、かつ高品質なダイヤモンドの成膜を可能とした。

平成31年度には、高熱伝導なダイヤモンド膜をGa_N HEMT上に適用し電気特性及び放熱効果の評価を行った。平成30年度までに得た成長条件をもとに、670℃のダイヤモンド成膜をAlGa_N/Ga_N半導体構造に行ったところ、シート抵抗の増加は8%のみであり、半導体へのダメージは僅かであることを確認した。このダイヤモンド膜を適用したGa_N HEMTでは、高いDC電力動作時に100 K以上の温度低減効果がみられ、この温度低減によって、 I_{max} 及び g_m の向上が確認された。すなわち、Ga_N HEMT表面にダイヤモンドを直接合成する方法によって、放熱効果を実証し、トランジスタ特性の向上を確認した。

令和2年度には、平成30年度までに確立したダイヤモンド合成条件をGa_N HEMTに適用し、ダイヤモンド成膜前後において高周波特性を評価した。検討の結果、650℃以上のダイヤモンド成長では高周波特性の劣化が観察された一方で、600℃以下までダイヤモンドの成長温度を下げることで、高周波特性の劣化を抑制できることがわかった。そこで、ダイヤモンドの成長温度を下げるために、金属フィラメントおよび酸素添加による検討を行った。酸素添加によるダイヤモンド成長では、結晶粒径の増大を観察され、酸素添加しない場合に比べて低温でも熱伝導率を低下させずに成長させることができることを示唆した。

令和3年度には、HF-CVDを用いてダイヤモンドの厚膜化を行った。サーモリフレクタンス法による熱伝導率の取得はできなかったものの、Ramanスペクトルより求めた熱伝導率はダイヤモンド膜厚30 μmにおいて839 W/mKと高い熱伝導率を達成した。さらに、”④高耐圧絶縁ゲート形成技術”で検討した2種類の絶縁ゲート構造（Al_{0.9}N/Si₃N₄または高温成膜Si₃N₄絶縁膜）にダイヤモンド成膜を適用した。Al_{0.9}N/Si₃N₄絶縁膜を用いたMIS-HEMTでは、ダイヤモンド成膜後においてもコラプス率の劣化は見られなかったが、リーク電流が大きいことがわかった。一方、高温成膜Si₃N₄絶縁膜を用いたMIS-HEMTでは、ダイヤモンド成膜後でも特性が維持できることがわかった。高温成膜Si₃N₄の品質の問題から元々のコラプス率が低かったものの、デバイス表面へのダイヤモンド成膜を適用できる可能性を示した。Si₃N₄層の高品質化が実現できればさらなるデバイス特性の向上が期待できる。

参考文献

- [1] T. J. Anderson et al., CS-MANTECH Technical Digests, pp. 325-327 (2012).
- [2] Y. Zhou et al., Appl. Phys. Lett. 111, 041901 (2017).
- [3] T. T. Mnatsakanov et al., Solid-State Electron. 47, 1 (2003).
- [4] R. C. Burns et al., J. Phys. Condens. Matter 21, 36 (2009).
- [5] M. J. Tadjer et al., IEEE Electron Device Lett. 33, 1 (2012).
- [6] Y. Mokuno et al., Diam. Relat. Mater. 14, 11-12 (2005).
- [7] M. Ali et al., Appl. Surf. Sci. 257, 20 (2011).
- [8] J. S. Chan et al., Appl. Phys. Lett. 68, 19 (1996).
- [9] H. Dong et al., Sci. Rep. 4, 1 (2015).
- [10] Y. A. Mankelevich et al., Diam. Relat. Mater. 5, 9 (1996).
- [11] S. Ghosh, et. al., IEEE International Conference on Electron Devices and Solid-State Circuits 247 (2016).
- [12] K. R. Bagnall et. al., IEEE Transactions on Electron Devices 64 2121 (2017).
- [13] 矢板 潤也 et al., New Diamond 36, No. 3 32 (2020).
- [14] J. Anaya et al., Acta Materialia 139, 215 (2017).
- [15] Y. Liou et al., Applied Physics Letters 54, 437 (1990).

3.8 ⑧裏面放熱技術

3.8.1 はじめに

本プロジェクトでは、デバイスの高出力化を目的として AlN 基板を用いた新規のデバイス開発を行っている。その高出力化に伴ってトランジスタ内部での発熱の問題が顕在化することから、高出力化に向けた技術開発とともに、チャネル温度上昇を抑制するための放熱設計が重要となる。ダイヤモンドは熱伝導率が約 2000 W/mK と極めて高いため、ヒートスプレッドとして用いることで優れた放熱構造を期待できる。富士通株式会社では、平成 27 年度から平成 29 年度にかけて実施した防衛装備庁委託研究「ヘテロ構造最適化による高周波デバイスの高出力化」において、SiC 基板とダイヤモンドの接合に表面活性化接合 (Surface Activated Bonding: SAB) 法 [1] を用い、GaN 系デバイスの放熱性能の向上を実現した。SAB 法では Ar の FAB (Fast Atomic Beam: FAB) あるいは Ar イオンビームを照射して物質表面を活性化し、活性面同士を高真空中で常温接合させる。しかし、富士通株式会社におけるこれまでの検討から、ダイヤモンドに Ar 照射を行うとその表面に非晶質層が形成され、接合強度を低下させることが分かった [2]。そこで本研究では、ダイヤモンド表面への Ar 照射を必要としない原子拡散接合 (Atomic Diffusion Bonding: ADB) 法 [3] を用いる。ADB 法は金属層を形成した接合材料同士を真空中で接着し、互いの金属への原子拡散を利用して接合する技術であり、金属の種類や膜厚等を最適化することで低い界面熱抵抗の実現が期待できる。SAB 法と同様に ADB 法でも、接合する AlN とダイヤモンドの表面を平坦化することは必須である。本プロジェクトではまず、熱抵抗をトータルで考えた時に必要な AlN 基板の N 極性面からの薄化技術と、薄化後の AlN 平坦化技術から着手した。平成 29 年度は研削、ドライエッチングの 2 種類の方法で AlN の薄化可否を検証するところから開始し、研削によって 100 μm 以下まで薄化したことを報告した。さらに平成 30 年度は研削を継続検討し、AlN を 50 μm 以下まで薄化し、かつ接合に必要なレベルの Ra1 nm 以下にまで平坦化する研磨技術を報告した。平成 31 年度は AlN とダイヤモンドを接合するための常温接合装置を導入し、Ti を挿入層として用いた Si/Si の接合から検討を開始した。令和 2 年度は、常温接合で挿入層として用いる金属を Ti 以外に W、Al、Mo について検討し、熱抵抗の観点などから適切な条件を探索した。令和 3 年度は、AlN 基板上 GaN HEMT にダイヤモンドを接合し、デバイスの放熱効果を実証した。本項では平成 29 年度から令和 3 年度に行った上述の検討内容について報告する。

3.8.2 AlN 基板の薄化方法の検討

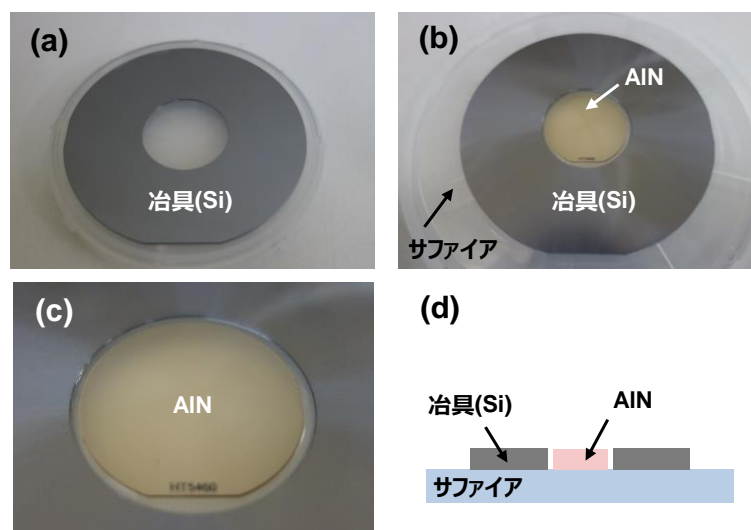
3.8.2.1 研削による AlN 基板の薄化

1 インチの AlN 基板の研削を N 極性面から行った。AlN は昇華法 (Physical Vapor Transport: PVT) 結晶で初期の基板厚は $537 \mu\text{m}$ であった。研削は表⑧-2-1 に示すような砥石を用いた。また、用いた研削装置は 2 インチ未満の小径に対応しないため、専用に作製した治具を使用した。治具と AlN を図⑧-2-1 のようにサポート基板に貼付し、治具である Si と AlN を同時に研削することで小径 AlN 基板の薄化が可能となる。

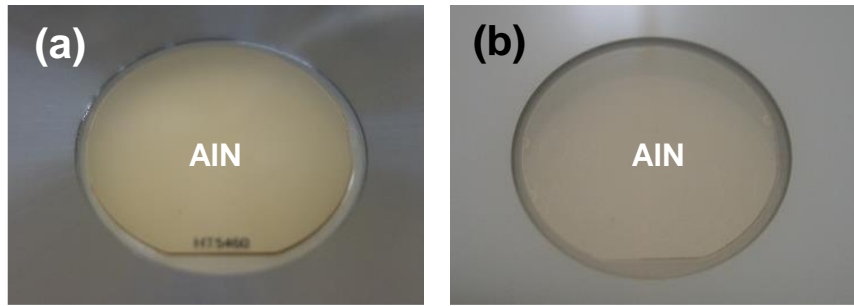
研削前後の AlN を⑧-2-2、研削後の AlN 表面の AFM 像および白色干渉顕微鏡像を図⑧-2-3 に示す。検討の結果、平成 29 年度の目標 $100 \mu\text{m}$ を達成する $93 \mu\text{m}$ まで AlN を薄化することに成功した。また、AlN および白色干渉顕微鏡像ではランダムな方向に研削痕がみられ、Ra は 1.01 nm であった。さらに、表⑧-2-2 に示すように粗研削時の AlN の研削レートは $12.1 - 13.2 \mu\text{m}/\text{min}$ となり、同じ砥石を使ったときの SiC 基板の研削レートと大差なかったが、砥石の摩耗レートが大きく消耗しやすいため、研削砥石の継続使用には課題を残した。

表⑧-2-1 AlN 研削に用いた砥石

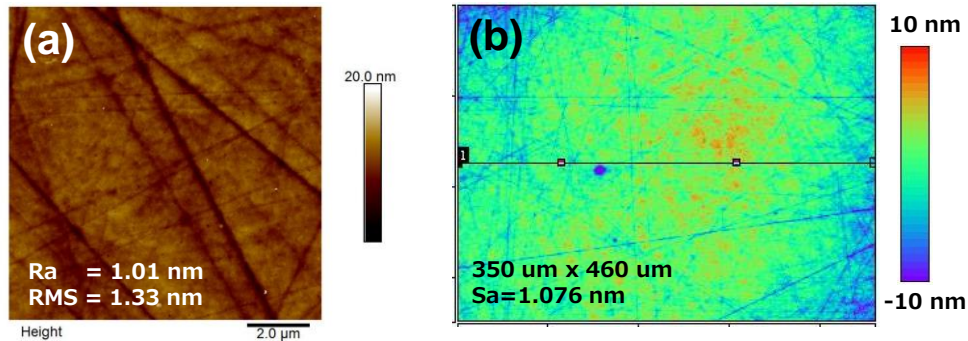
	砥石 (合成ダイヤモンド砥粒品)
粗研削	SD1500
仕上げ研削	SD30000



図⑧-2-1 本検討で使用した研削用治具と 1 インチ AlN のサポートへの接着を示す図面 ; (a) Si 治具写真、(b) サファイアサポート基板への AlN と治具の接着後の写真、(c) 接着後の AlN、(d) サファイアサポート基板への AlN と治具の接着のイメージ図



図⑧-2-2 研削前後の AlN 基板 (a)研削前(AIN厚さ: 537 μm), (b)仕上げ研削後(AIN厚さ: 93 μm)



図⑧-2-3 仕上げ研削後の AlN 表面の AFM 像 (a) と白色干渉顕微鏡像 (b)

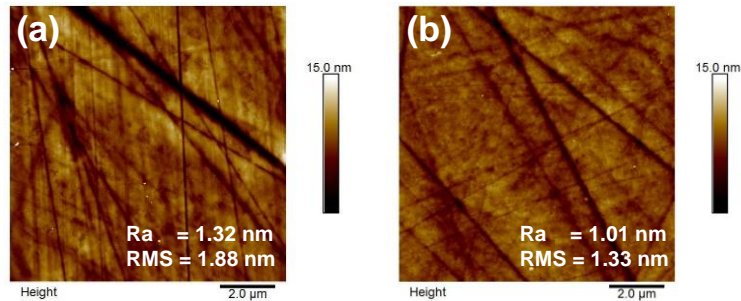
表⑧-2-2 粗研削時の基板研削レートと砥石摩耗レートの比較

	AlN(N極性面)	SiC(C面 /参考)
粗研削時の基板研削レート ($\mu\text{m}/\text{min.}$)	12.1~13.2	14~16
粗研削時の砥石摩耗レート ($\mu\text{m}/\text{min.}$)	5.8~7.2	2~3

平成30年度は AlN の更なる薄化を進め、50 μm を目標として1インチ AlN 基板の N 極性面からの研削を行った。AlN は PVT 結晶で初期の基板厚は 587 μm であった。研削装置は2インチ未満の小径に対応しないため、平成29年度と同様に治具を使用した。研削には表⑧-2-3に示すような砥石を用いた。平成29年度に用いた砥石 (SD1500) では砥石自体の摩耗レートが比較的大きく、複数枚の継続的な研削においては砥石の耐久性に懸念が生じたため、平成30年度からは GaN 基板の研削用に開発された SD2000L150VTD を使用した。粗研削 (SD2000L150VTD) および仕上げ研削 (SD8000-V41HS) をして 57 μm まで薄化した AlN の AFM 像を図⑧-2-4に示す。研削面にはランダムな方向に研削痕がみられ、Ra は 1.32 nm であった。平成29年度実施の研削面と比較して、表面粗さ自体は若干劣るものの、平坦性に大差はないことがわかった。ただし、表⑧-2-4に示すように、粗研削時の砥石の摩耗レートが増加しており、砥石の寿命の観点からは平成29年度に使用した砥石 (SD1500) の方が好ましい。ただし、SD2000L150VTD においても薄化工程自体に問題はなく、研削面も 10 nm 以上の深さの大きなスクラッチはみられなかったため、化学的機械研磨 (Chemical Mechanical polishing: CMP) と組み合わせれば研削後試料として問題はない。また、AlN 基板厚は 57 μm は後述する CMP で厚さが減少することを考慮しているため、研削の時点で目標の 50 μm に達していないことに問題はない。

表⑧-2-3 AlN 研削に用いた砥石

	砥石 (平成 30 年度採用)	砥石 (平成 29 年度)
粗研削	SD2000L150VTD	SD1500
仕上げ研削	SD8000-V41HS	SD30000



図⑧-2-4 仕上げ研削後の AlN の N 極性面 AFM 像 ; (a)SD2000L150VTD および SD8000-V41HS 使用 (平成 30 年度)、(b)SD1500 および SD30000 使用 (平成 29 年度)

表⑧-2-4 粗研削時の基板研削レートと砥石摩耗レート

	SD2000L150VTD	SD1500 (平成 29 年度)
粗研削時の AlN 研削レート ($\mu\text{m}/\text{min.}$)	18.5	12.1~13.2
粗研削時の砥石摩耗レート ($\mu\text{m}/\text{min.}$)	11.1	5.8~7.2
AlN 研削レート/砥石摩耗レート (-)	1.7	1.9

3.8.2.2 ドライエッチングによる AlN 基板の薄化

次に、AlN の N 極性面からドライエッチングによる加工を行った。ドライエッチングには高速エッチングによる効率的な薄化の実現、および低ダメージエッチングによるダメージ層の除去が期待できる。平成 29 年度は高速エッチングを狙った塩素系のエッチングを検討した。エッチングには ICP ドライエッチング装置を使用し、 Cl_2 と BCl_3 の混合ガスを用いた条件を用いた。通常 GaN 等の窒化物半導体は Cl_2 でエッチング可能であるが、AlN の酸化物がエッチングを阻害してエッチングが円滑に進まないことが懸念される。そのため、 BCl_3 を使用することで効率的かつ平滑なエッチングを狙った。AlN のドライエッチング条件および結果を表⑧-2-5 に示す。

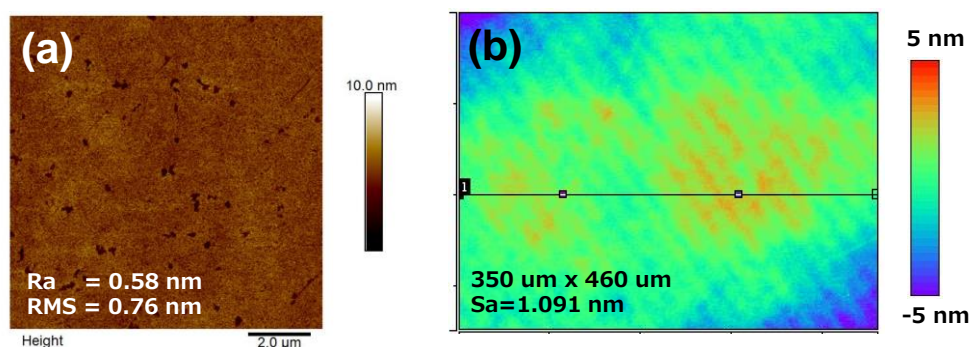
検討の結果、 $0.35 \mu\text{m}/\text{min.}$ のエッチングレートを得られた。エッチング条件の最適化によりレートの向上は期待できるものの、研削レートに匹敵するような高速エッチングは困難であった。

表⑧-2-5 AlNのドライエッチング条件

Cl ₂ 流量	180 sccm
BCl ₃ 流量	20 sccm
圧力	3Pa
上部電極パワー	2k W
下部電極パワー	0.2kW
得られたAlNのエッチングレート	0.35 μm/min.

3.8.2.3 CMPによるAlN基板の薄化・平坦化

研削により薄化したAlNに対してCMPを行った。平成29年度は厚さ93 μmまで薄化したAlN基板を弱アルカリ性 (pH 7.0 - 7.5) のスラリー① (シリカ、過酸化水素ベース) でCMPを用い、2時間行った。図⑧-2-5に示すように、AFM評価でRa 1 nm以下が得られ、接合に必要な平坦性を達成した。



図⑧-2-5 CMP後のAlN表面のAFM像(a)と白色干渉顕微鏡像(b)

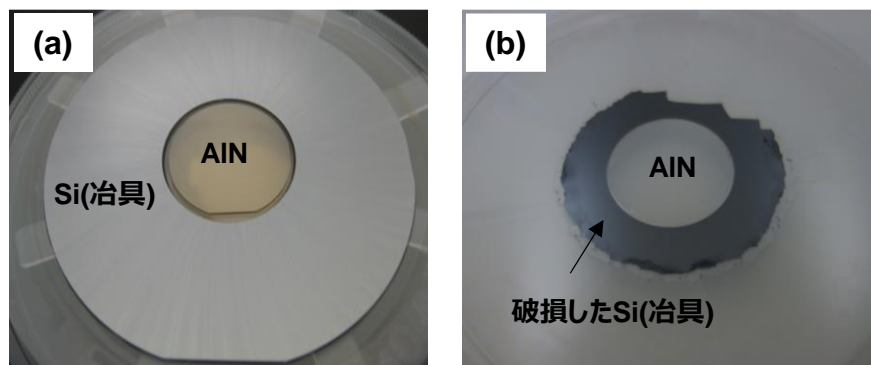
さらに平成30年度には、AlN薄化による熱抵抗低減と接合に必要な平坦化実現を両立するため、50 μm以下への薄化とCMPによる平坦化を実施した。

まずは、平成29年度で使用した弱アルカリ性 (pH 7.0 - 7.5) のスラリー① (シリカ、過酸化水素ベース) を用いてCMPを実施した。平成29年度の検討において研削痕の完全除去に30分以上の長時間CMPが必要とわかったが、50 μmのような薄い試料に対してスラリー①で長時間CMPを行うと、治具 (Si) が極端に薄くなり破損することが判明した (図⑧-2-6)。これはスラリー①でのCMPにおいて、表⑧-2-6に示すようにAlNよりもSiの研磨レートが速すぎるためである。スラリー①は過酸化水素を含んでおり、過酸化水素で酸化されやすいSiの方がより研磨・除去されやすいと推測される。

したがって、50 μm以下の薄い試料において治具 (Si) を維持しながらCMPするにはAlNとSiのCMPレートが同等であるか、AlNの方が速くなければならない。そこで窒化物材料のCMPに用いられるスラリー②を今回用いた。スラリー②はアルカリ性 (pH 9.5) で、スラリー①と同様シリカを含んだ材料である。このスラリーを使って、AlN (N極性面) とSiのCMPレートを評価したところ、表⑧-2-6に示すようにSiよりもAlNの研磨レートの方が僅かに速い結果が得られた。

次に、研削によって57 μmまで薄化したAlNに対してスラリー②でCMPを行ったところ、Si治具を維持しながらCMPが実施可能となり、49 μmまで薄くすることができた (図⑧-2-7(a)および図⑧-2-7(b))。しかしながら、図⑧-2-8(b)に示すように、スラリー②でCMP後の表面粗さは研削後の表面粗さよりも悪く、表面が化学エッチングされたような窪みを有する形状となった。

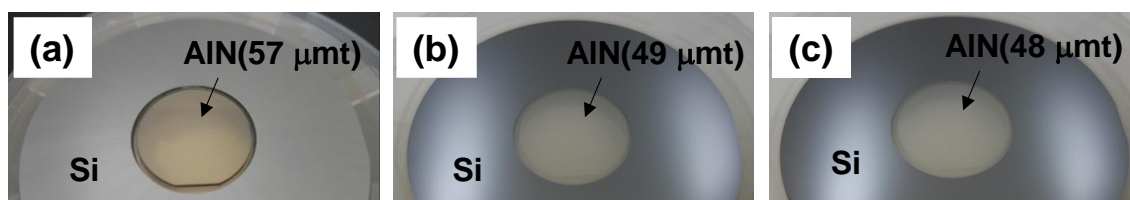
ただし、この窪みは深さ 5 nm 以下であり、深い研削痕は消失することが確認され、直後にスラリー①で 5 分間の短時間 CMP を追加で行うことで Ra 0.41 nm の平坦な面を得ることができた。以上のように、アルカリ性スラリー② (pH 9.5) による研削痕除去と弱アルカリ性スラリー① (pH 7.0 - 7.5) による短時間の仕上げ研磨を組み合わせることで、48 μm までの AlN 薄化と接合するに十分な平坦化 (Ra 0.41 nm) を実現した(図⑧-2-7(c)および図⑧-2-8(c))。



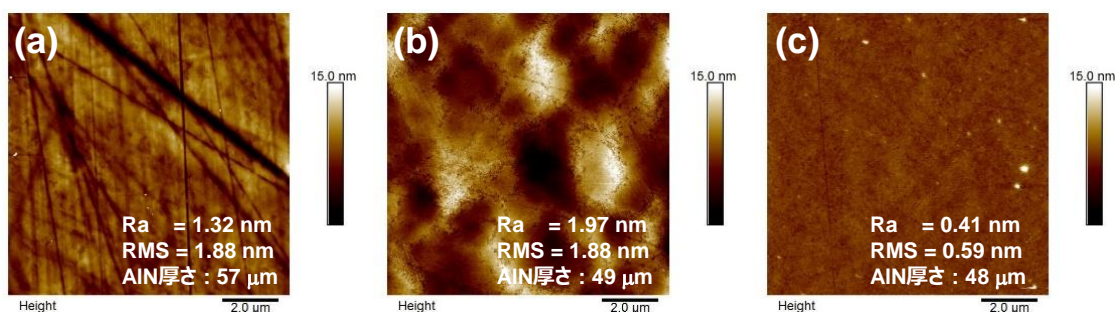
図⑧-2-6 CMP による Si (冶具) の破損の例; (a)CMP 前、(b)スラリー①を用いた CMP による Si (冶具) の破損

表⑧-2-6 各 CMP スラリーにおける AlN と Si の CMP レート

	スラリー①	スラリー②
AlN(N 極性面) の CMP レート ($\mu\text{m}/\text{min.}$)	17.0	16.8
Si の CMP レート ($\mu\text{m}/\text{min.}$)	26.2	12.3
pH	7.0 - 7.5	9.5



図⑧-2-7 CMP 前後の AlN; (a)CMP 前、(b)スラリー②で 30 分 CMP 後、(c)スラリー②で CMP 後さらにスラリー①で 5 分間 CMP

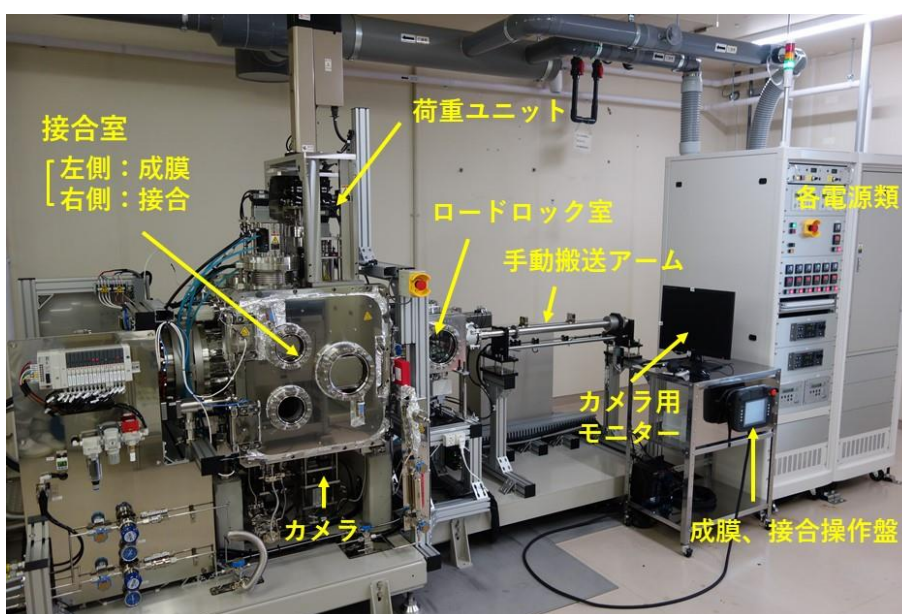


図⑧-2-8 CMP 前後の AFM 像; (a)CMP 前、(b)スラリー②で 30 分 CMP 後、(c)スラリー②で CMP 後さらにスラリー①で 5 分間 CMP

3.8.3 異種材料基板の接合技術

3.8.3.1 常温接合装置

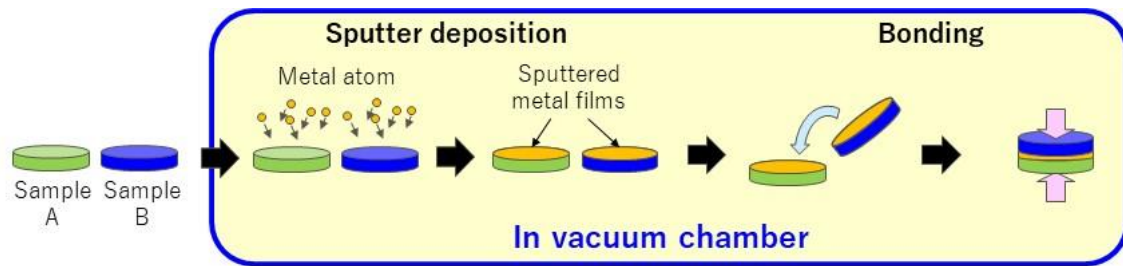
平成31年度には常温接合装置を導入し、接合検討を開始した。導入した常温接合装置とその主な仕様を図⑧-3-1および表⑧-3-1に、その接合イメージ[3]を図⑧-3-2に示す。仕様の数字はメーカー仕様ではなく、実際に使用した際の現実の数値により近いものとした。本プロジェクトで採用したADB法は図⑧-3-2に示すように、平滑化した面に接合層に用いる金属をスパッタにより成膜し、超高真空中で金属面同士を接着する。金属は互いに拡散して再配列することで接合する。



図⑧-3-1 常温接合装置外観

表⑧-3-1 常温接合装置の主な仕様

試料サイズ	<ul style="list-style-type: none"> ・3インチ or 4インチ ・ウエハに貼付すれば小径、欠片も適用可
接合室到達圧力	<ul style="list-style-type: none"> ・5×10^{-7} Pa 以下(通常 1×10^{-7} Pa 程度)
挿入金属成膜	<ul style="list-style-type: none"> ・4インチターゲットを変更すれば各金属使用可(Ti、W等) ・単層成膜のみ(積層不可) ・Tiを用いた時の4インチ面内膜厚分布が面内$\pm 10\%$未満 ・Tiを用いた時の成膜速度 0.4 nm/min. 以下(薄膜成膜可)
アライメント	<ul style="list-style-type: none"> ・カメラによる上下ウエハのエッジ合わせ(同サイズウエハ同士のみアライメント可。精度は1mm以下) ・カメラによるウエハのパターン合わせ(下試料が透明、下試料越しに上試料を視認できる場合にのみ実施可能。500 μm程度のパターン認識可能)
接合時の荷重	<ul style="list-style-type: none"> ・最大 500 kgf (4.9 kN)
所用時間	1回当たり 1~2時間程度



図⑧-3-2 ADB 法による接合イメージ

3.8.3.2 Ti を接合層に用いた Si/Si の接合検討

平成31年度では、接合層に Ti を用いて Si/Si の接合検討を開始した。Ti は下地試料(Si や AlN、ダイヤモンド等)との密着を得られやすい。また、原子拡散係数が $3.4 \times 10^{-25} \text{ m}^2/\text{s}$ @300K と他の金属と比較して大きく拡散しやすいため、ADB の接合層として最も一般的である[3](例えば他の金属の原子拡散係数の例として Au: $1.6 \times 10^{-36} \text{ m}^2/\text{s}$, Ta: $1.5 \times 10^{-77} \text{ m}^2/\text{s}$ 等が挙げられる。[3])。接合させるためには接合試料の平滑化とともに、接合層の平滑な成膜も求められる。図⑧-3-3 および図⑧-3-4 に Si 上に成膜した Ti の膜厚と AFM で測定した表面モフォロジの関係を示す。Ti を厚く成膜していくと表面粗さ (RMS) が増大することが確認できるが、導入した接合装置の成膜条件では Ti 厚さ 50 nm 以下で RMS が 1 nm 以下となった。一般的に原子拡散接合での接合可能な目安と考えられている RMS は、1 nm 以下である。

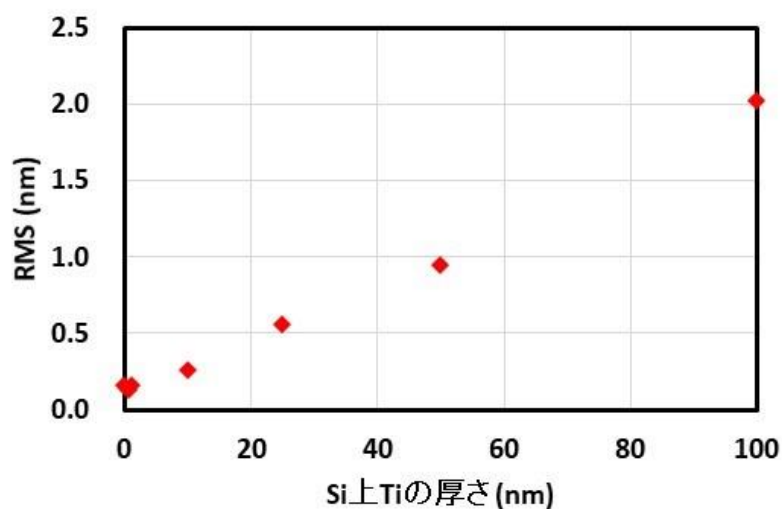
実際に Ti を片側 0.1 nm(両側 0.2 nm)から 100 nm(両側 200 nm)の範囲で 4 インチ Si 同士を荷重 4.9 kN で接合したところ、全ての Ti 厚さで接合可能であることを確認した。図⑧-3-5 は Ti を 1 nm(両側 2 nm)として作製した Si/Si 接合サンプルの IR マッピング像であり、ごく一部のボイドを除き問題なく接合できていることを示している。なお、1 nm より薄い Ti 厚ではボイドと接合部分のコントラストがつかず、IR でボイドの有無を判断することはできなかった。また、1 nm よりも厚い Ti 厚でも Ti 層での IR 吸収が大きく、IR でのボイド有無の判断はできなかった。

また、接合してもその接合強度が不十分であればプロセス時やデバイス動作時に支障が生じることが懸念される。本報告では 4 インチ Si 同士の接合試料を手作業で破断していき、その過程で接合面に剥離が生じないかを観察することで十分な強度を有するかを判断した。例えば片側 Ti 1 nm(両側 2 nm)で接合した試料を破断した際の全体写真と破断面の実体顕微鏡写真を図⑧-3-6 に示す。この破断による接合強度の評価では Ti の厚さが 0.2 nm(両側 0.4 nm)から 50 nm(両側 100 nm)で問題ないことを確認した。一方、Ti の厚さ 0.1 nm(両側 0.2 nm)や 100 nm(両側 200 nm)では接合はするものの、破断した際に接合面での剥離が生じ、接合強度としては十分ではなかった。Ti の厚さ 0.1 nm はあくまでも成膜速度からの設計膜厚であり、Ti の原子半径(0.16 nm)より薄い本条件では界面が完全に被覆されないことで接合が脆弱になることが想定される。また、Ti の厚さ 100 nm は図⑧-3-3 のように表面粗さが大きく、接合する目安(RMS < 1 nm)の条件を満たしていない。

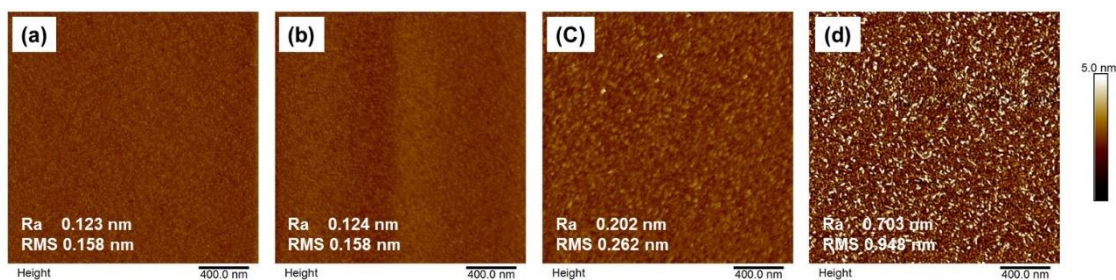
次に、接合した試料の界面熱抵抗を評価した。熱抵抗の評価は株式会社ベテルの装置による周期加熱法[4]を用いて行った。結果、図⑧-3-7 に示すように、Ti 厚さが 0.3 nm(両側 0.6 nm)から 50 nm の接合において、 $1 \times 10^{-7} \text{ m}^2\text{K/W}$ 未満(平均 $5 \times 10^{-8} \text{ m}^2\text{K/W}$ 程度)の界面熱抵抗を実現し、その膜厚範囲では Ti 厚さの依存性はみられなかった。本検討では、50 μm まで薄化した AlN 基板とダイヤモンドを接合することを念頭においている。その際の AlN 基板の熱抵抗は $2.5 \times 10^{-7} \text{ m}^2\text{K/W}$ (熱伝導率 200 W/mK)から $7.1 \times 10^{-7} \text{ m}^2 \cdot \text{K/W}$ (熱伝導率 70 W/mK)程度と見積れるので、Ti 0.3 nm から 50 nm で得られた界面熱抵抗は AlN 基板の熱抵抗に対して 1/10 程度と、十分に低い値と考えられる。

上述した各 Ti 厚さの接合可否や強度判断も含め、本報告の結果を表⑧-3-1 に纏める。Si のような平滑な試料同士の接合であれば、Ti 厚さを 0.3 nm(両側 0.6 nm)から 50 nm の接合とするこ

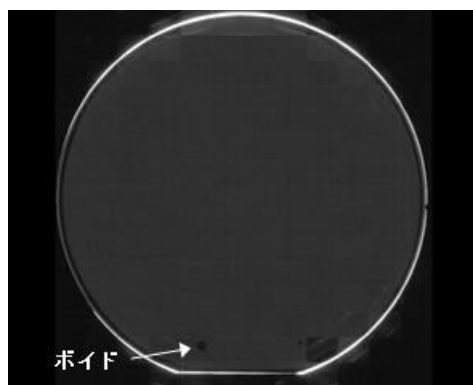
とで強固な接合と低い界面熱抵抗を実現できることが確認された。



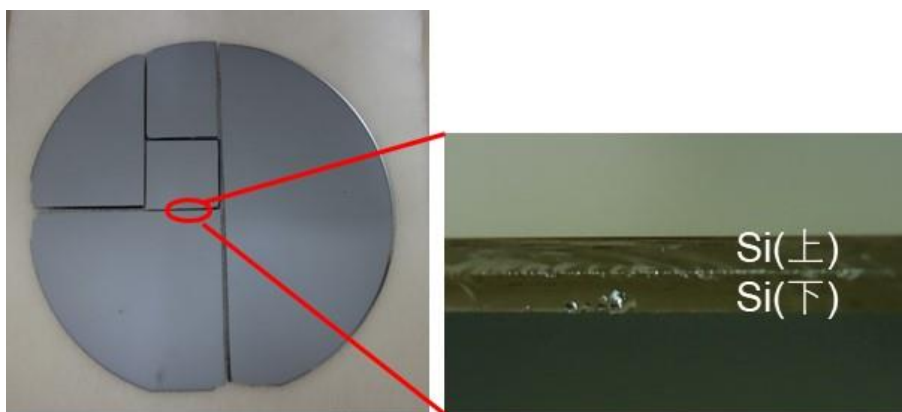
図⑧-3-3 Si上に成膜したTiの厚さと表面粗さ(RMS)の関係



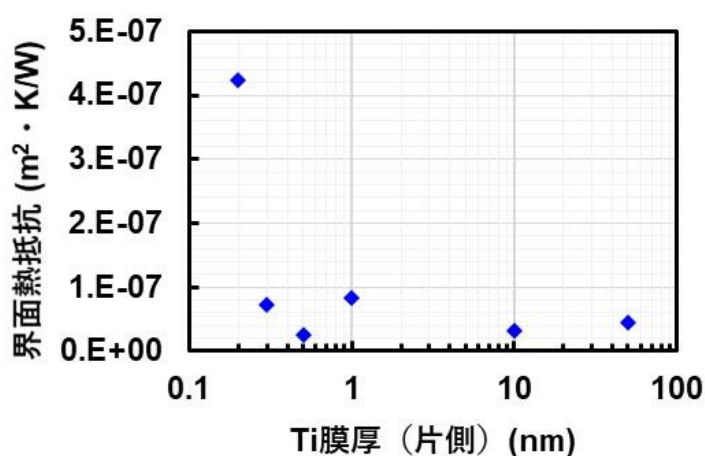
図⑧-3-4 Si上に成膜したTiの表面モフォロジ；(a)Ti成膜なし(Si表面)、(b)1 nmのTi成膜、(c)10 nmのTi成膜、(d)50 nmのTi成膜



図⑧-3-5 1 nmのTi(両側2 nm)で接合したSi/SiのIRマッピング像



図⑧-3-6 1 nm の Ti (両側 2 nm) で接合した Si/Si とその破断面



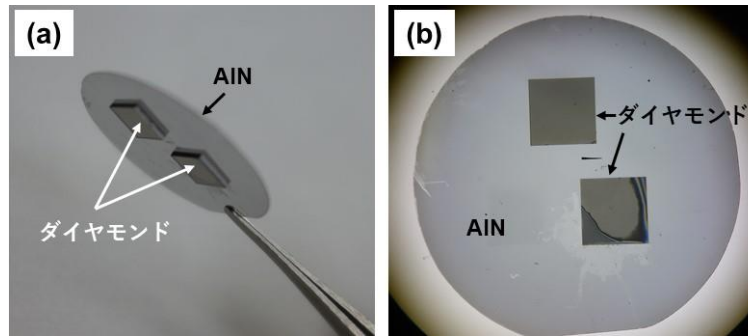
図⑧-3-7 挿入 Ti の厚さと Si/Si の界面熱抵抗の関係

表⑧-3-1 各 Ti 厚さによる接合結果のまとめ

Ti 厚さ(片側)	0.1 nm	0.2 nm	0.3 nm	0.5 nm	1 nm	10 nm	50 nm	100 nm
接合可否	○	○	○	○	○	○	○	○
接合強度	×	○	○	○	○	○	○	×
界面熱抵抗 [m ² · K/W]	-	4.23x10 ⁻⁷	7.36x10 ⁻⁸	2.62x10 ⁻⁸	8.26x10 ⁻⁸	3.13x10 ⁻⁸	4.47x10 ⁻⁸	-

3.8.3.3 AlN/ダイヤモンドの接合検討

続いて、AlN 基板とダイヤモンドの接合について報告する。AlN には平成 30 年度の検討で N 極性面を RMS = 0.59 nm まで平坦化した試料を用いた。また、面方位(100)の単結晶 CVD ダイヤモンドを研磨して RMS = 0.3 nm 程度としたものを 3 個用い、Ti10 nm(両側で 20 nm)の ADB により接合を実施した。図⑧-3-8 に接合結果を示す。同時に接合を試みた 3 個のダイヤモンドのうち一つはほぼボイドなく接合し、一つは 1/4 程度の面積で接合、一つは全く接合しなかった。この結果から、平成 30 年度までに開発した平坦化技術により、AlN とダイヤモンドが接合可能であることが示された。



図⑧-3-8 AlN基板にダイヤモンド基板の接合を試みた後の状態。3つ同時に接合を実施したうち2つが接合された；(a)外観写真、(b)AlN基板側から実体顕微鏡で観察した接合状態。一つはほぼボイドなく接合。

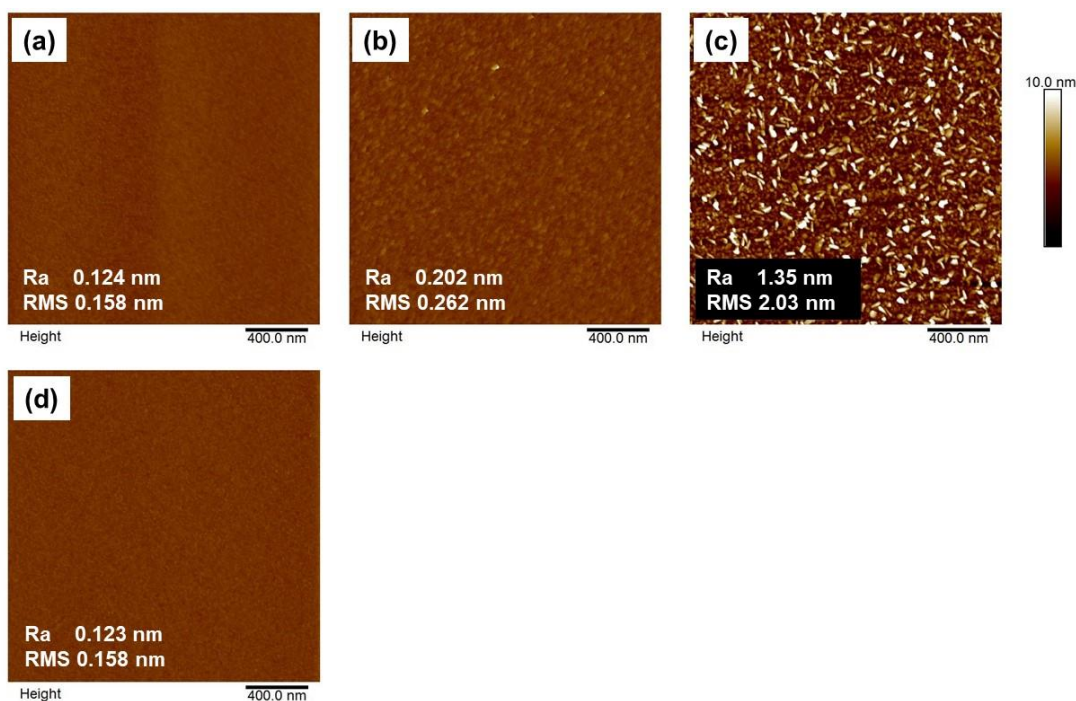
3.8.3.4 常温接合における挿入金属に関する検討

本研究では、平成31年度に接合層にTiを用いたSi/Siの接合から検討を開始した。Tiは下地試料(SiやAlN、ダイヤモンド等)との密着を得られやすい利点がある。また、原子拡散係数が $3.4 \times 10^{-25} \text{ m}^2/\text{s}$ @300Kと他の金属と比較して大きく、拡散により接合しやすいため、接合層として最も一般的である[3]。しかしながらTiは金属の中では熱伝導率が比較的低いため、他の熱伝導率の高い材料を挿入金属として用いることで、より低い熱抵抗を実現できる可能性がある。令和2年度はTiに加え、W、Al、Moを挿入金属として検討した。表⑧-3-2に検討に用いた金属の物性値を示す。熱伝導率は熱抵抗の点で高い方が好ましく、原子拡散係数は大きい方がADBでの接合が容易になる。また、ビッカース硬さは押し込みに対する変形のしやすさ(柔らかさ)を示すもので、低い値ほど変形しやすい。さらに線膨張係数は温度変化による膨張のしやすさを示し、接合の際に隣接する材料との線膨張係数の差が大きいと温度変化の際に剥れを生じさせやすい。本プロジェクトの場合、接合はAlN/接合挿入金属/ダイヤモンドの組み合わせになるため、接合挿入金属の線膨張係数は10 ppm/K以下が好ましい。各金属の選択理由としては、まず単膜でのスパッタ成膜ができる材料であることを前提とし、Auなど密着層を必要とする材料は候補から除外した。そのうえで、WおよびMoは比較的高い熱伝導率が高く、線膨張係数が小さい材料であることに特徴がある。また、Alはビッカース硬さが示すように荷重によって変形しやすいため、接合試料に多少の凹凸があったとしてもその凹凸を緩衝することで接合を容易にする可能性が期待できる。

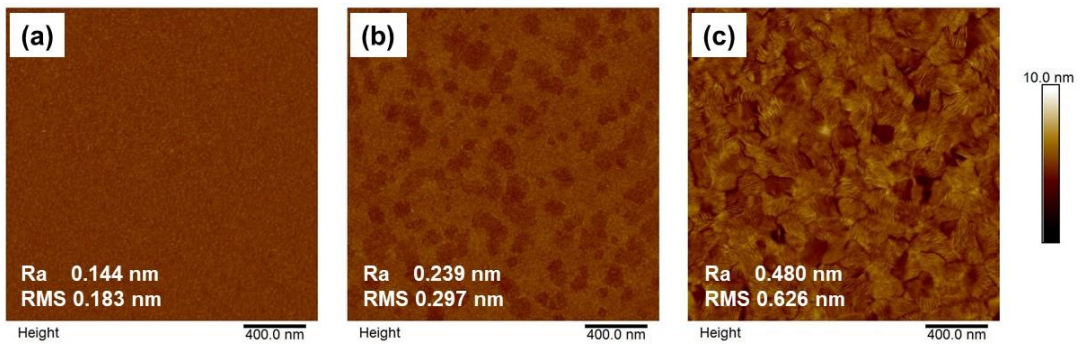
表⑧-3-2 検討に用いた各金属の物性値

	熱伝導率 (W/mK)	原子拡散係数 (m ² /s)	ビッカース硬さ (MPa)	線膨張係数 (ppm/K)
Ti	17 [5]	3.4×10^{-25} [3]	970 [5]	8.4 [5]
W	174 [5]	7.0×10^{-110} [3]	3430 [5]	4.5 [5]
Al	238 [5]	3.3×10^{-29} [3]	167 [5]	23.5 [5]
Mo	137 [5]	6.2×10^{-73} [3]	1530 [5]	5.1 [5]
Si	149 [5]	-	-	2.6 [5]
AlN	130 - 190 [6]	-	-	4 - 5 [6]
ダイヤモンド	2000 [6]	-	-	0.8-2.3 [6]

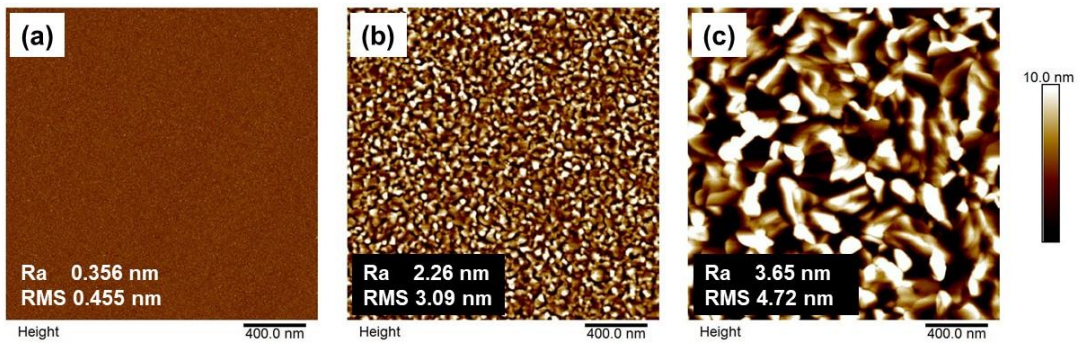
接合させるためには接合層の平滑な金属成膜が求められる。図⑧-3-9 から図⑧-3-12 に Si 上に成膜した各金属の膜厚と AFM で測定した表面モフォロジの関係を示す。図⑧-3-13 から各金属を厚く成膜していくと表面粗さが増大することが確認されたが、W と Mo は 100 nm 以上の厚膜でも比較的ラフネスが増大しにくく、Al は 10 nm 以下の薄膜でもラフネスが大きいという特徴があった。一般的に原子拡散接合での接合可能な目安と考えられているのが表面粗さ(RMS) 1 nm 以下であり、それを考慮すると Ti は 50 nm 以下、W は 200 nm 以下、Al は 1 nm 以下、Mo は 100 nm 以下が接合可能な膜厚の目安である。



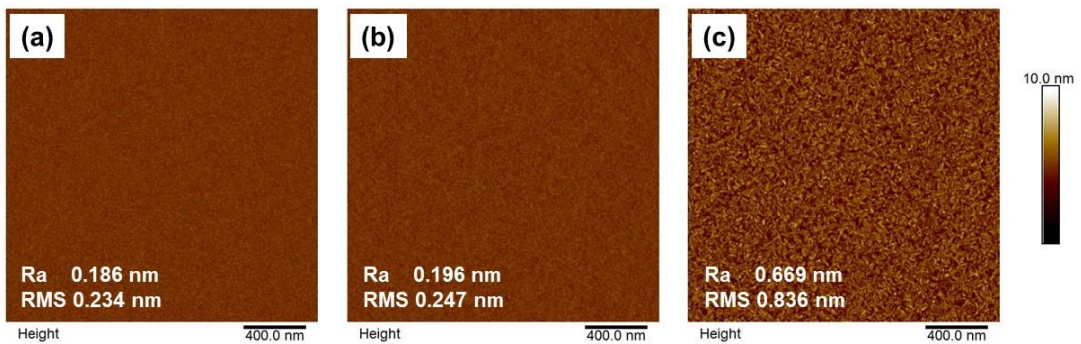
図⑧-3-9 Si 上に成膜した Ti の AFM 像 ; (a) 1 nm の Ti 成膜、
(b) 10 nm の Ti 成膜、(c) 100 nm の Ti 成膜、(d) Ti 成膜なし (Si 表面)



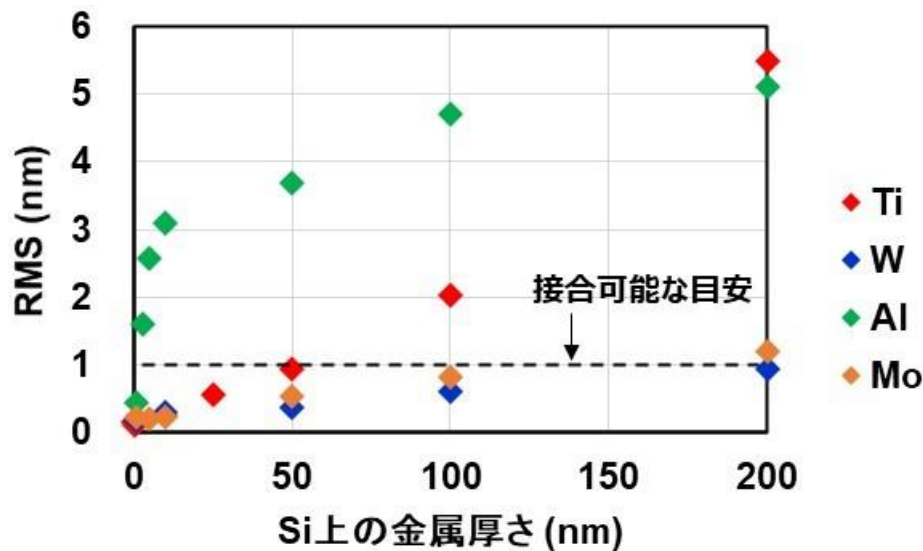
図⑧-3-10 Si上に成膜したWのAFM像；(a) 1 nmのW成膜、(b)10 nmのW成膜、(c)100 nmのW成膜



図⑧-3-11 Si上に成膜したAlのAFM像；(a) 1 nmのAl成膜、(b)10 nmのAl成膜、(c)100 nmのAl成膜



図⑧-3-12 Si上に成膜したMoのAFM像；(a) 1 nmのMo成膜、(b)10 nmのMo成膜、(c)100 nmのMo成膜



図⑧-3-13 Si上に成膜した各金属の厚さと表面粗さ(RMS)の関係

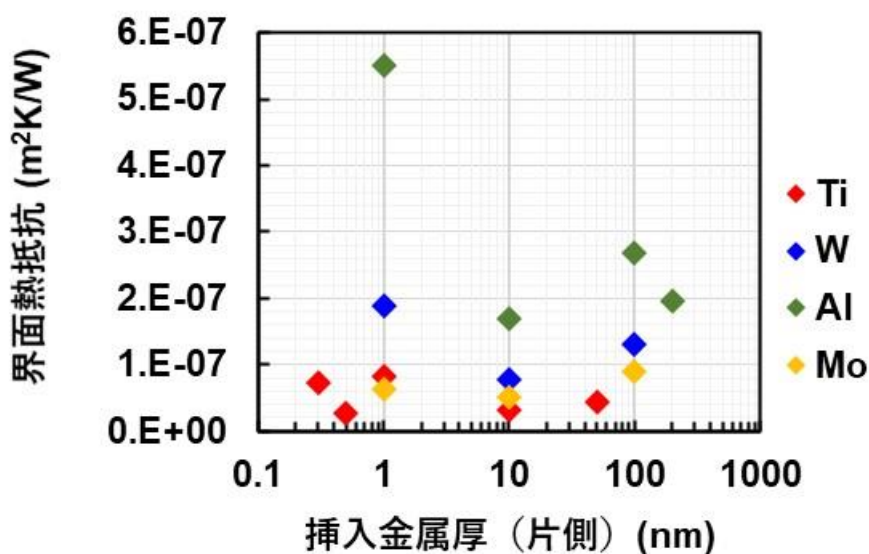
各金属のそれぞれの成膜厚さにおけるSi/Si接合の可否を表⑧-3-3に示す。接合は4インチSi同士を接合し、接合時の荷重は4.9kNとした。なお、接合可否の判断は単純に接合するだけでなく、十分に接合強度がある場合にのみ接合可とした。具体的には例えば図⑧-3-6に示すように、4インチSi同士の接合試料を手作業で破断していき、その過程で接合面に剥離が生じないかを観察することで十分な強度を有するかを判断した。TiとMoは接合可能な表面ラフネスの目安に概ね従う結果となり、Tiは50nmの厚さまで接合し、Moは100nmの厚さまで接合可能であった。表面ラフネスによるとWは200nmまで接合できる見込みであったが、接合しなかったのは原子拡散係数が小さく、ビッカース硬さが大きい(硬い)ためであると推測される。また、今回の接合で非常に興味深いのは、表面のラフネスが著しく大きいにもかかわらず、Alの厚い成膜条件でも接合できたことである。これはAl表面が荒れていても柔らかいために接合時の荷重によって表面の荒れが矯正されるものと推測される。

表⑧-3-3 各金属でのSi/Si接合の可否結果

	1 nm	10 nm	50 nm	100 nm	200 nm
Ti	○	○	○	×	×
W	○	○	○	○	×
Al	○	○	○	○	○
Mo	○	○	○	○	×

次に、接合した試料の界面熱抵抗を評価した。熱抵抗の評価は株式会社ベテルの装置による周期加熱法[4]を用いて行った。結果、図⑧-3-14に示すように、各金属において明確な厚さ依存はみられなかった。界面熱抵抗に金属の熱伝導率が影響するのであれば膜厚に対して界面熱抵抗が増加する傾向がみえるはずであるため、本検討で用いた金属厚さのオーダーでは界面熱抵抗に対して金属の熱伝導率は無視できることを示している。今回の候補の中で界面熱抵抗が低くなったのはTiとMoであった。Tiの厚さが0.3nm(両側0.6nm)から50nmの接合において、またMoの厚さが1nmから100nmにおいて $1 \times 10^{-7} \text{ m}^2\text{K/W}$ 以下(平均 $5 \times 10^{-8} \text{ m}^2\text{K/W}$ 程度)の界面熱抵抗を実現した。本検討では、50 μm まで薄化したAlN基板とダイヤモンドを接合することを念頭においている。その際のAlN基板の熱抵抗は $2.5 \times 10^{-7} \text{ m}^2\text{K/W}$ (熱伝導率200W/mK)から $7.1 \times 10^{-7} \text{ m}^2\text{K/W}$ (熱

伝導率 70 W/mK)と見積れるので、Ti 0.3 nm から 50 nm で得られた界面熱抵抗は AlN 基板の熱抵抗に対して 1/10 程度と、十分に低い値と考えられる。また、若干ではあるが W を用いた際の界面熱抵抗が高い傾向があった。これは W が硬く、原子拡散係数も小さいため、Ti や Mo よりも接合が不十分であった可能性がある。さらに Al において、特に 1 nm の接合において熱抵抗が高いのは Al 成膜における表面(界面)の凹凸が接合によって埋まり切らず微小なボイドが生じて熱伝導を妨げる可能性がある。しかしながら 200 nm 以上の厚膜でも接合できる Al は凹凸が比較的大きい試料の接合にも適用できるとみられ、その点では利用価値があると考えられる。



図⑧-3-14 各金属で接合した Si/Si の界面熱抵抗

Al に関しては熱膨張係数が大きいいため、AlN/Al(接合挿入金属)/ダイヤモンドの構造とした際に温度変化によって剥離が生じる懸念がある。本検討では Al 200 nm(両側 400 nm)の Si/Si 接合試料を用いて 300°C のホットプレート上加熱と室温に戻すことを実施し、簡易的に熱耐性を評価した。結果、室温⇒300°C⇒室温の温度変化で接合に剥離が生じることはなく、Al の熱膨張係数が大きいために剥離を生じさせる可能性は低いとみられる。おそらく、接合母材(今回は Si)に対して Al が薄いため熱膨張の差が影響しないものとみられる。なお、本検討では Si/Si の接合を用いたが、Si の熱膨張係数は 2.6 ppm/K と十分に小さいため AlN/ダイヤモンドと同等な評価ができていていると考えている。また、今回はサイクル試験を行っているわけではないが、デバイス温度として想定される 150°C よりも十分に高い 300°C で評価しているため、耐熱の評価としては十分と考えられる。

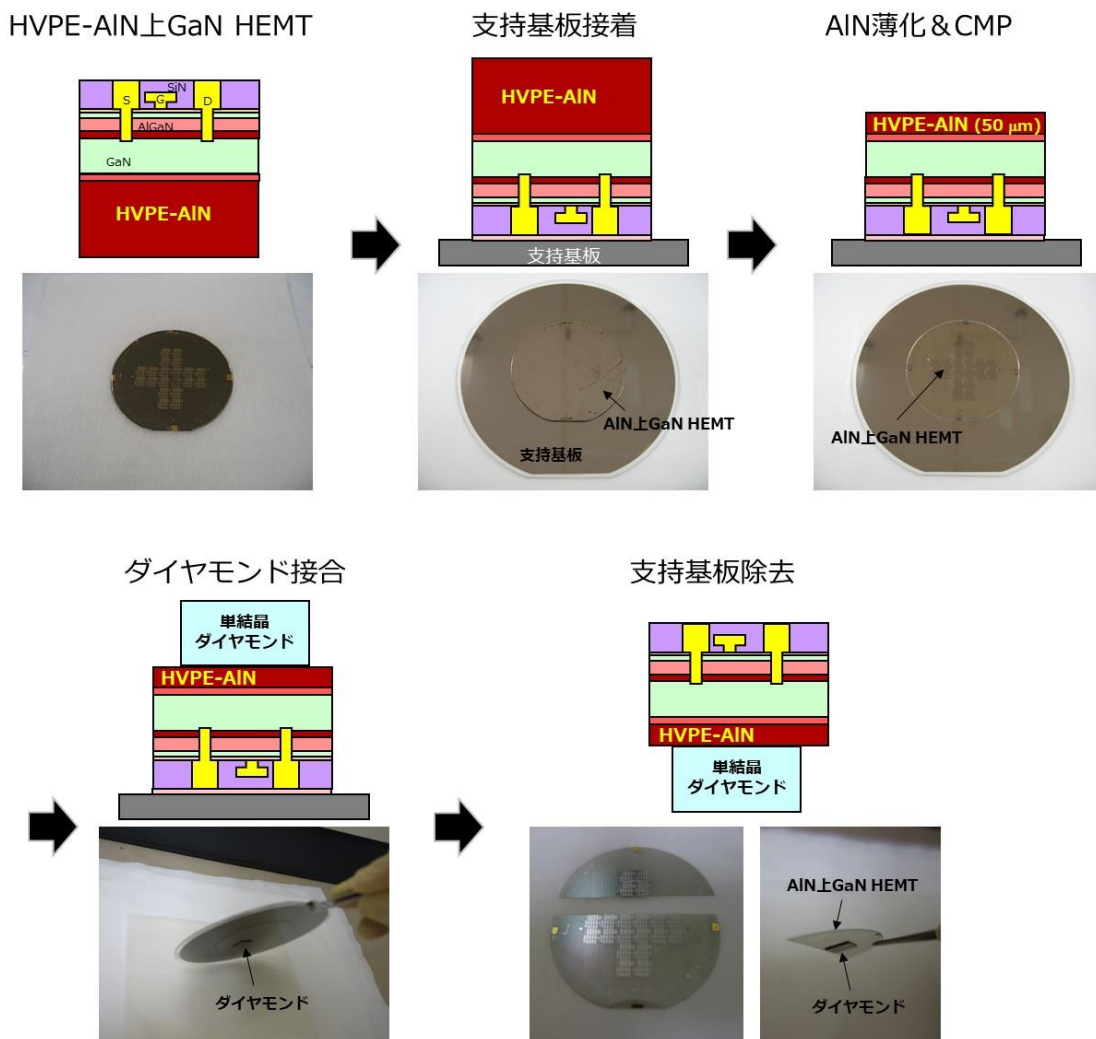
以上の評価から、50 nm 以下の薄い膜で接合する際には Ti もしくは Mo を用いた接合が好ましいと考える(実績の面で Ti が第一候補)。ただし、接合母材の凹凸が例えば RMS=1 nm 以上と大きい場合には 200 nm の Al を用いて接合することも施策として考えられる。

3.8.4 AlN 基板上 GaN HEMT へのダイヤモンド基板接合技術の適用

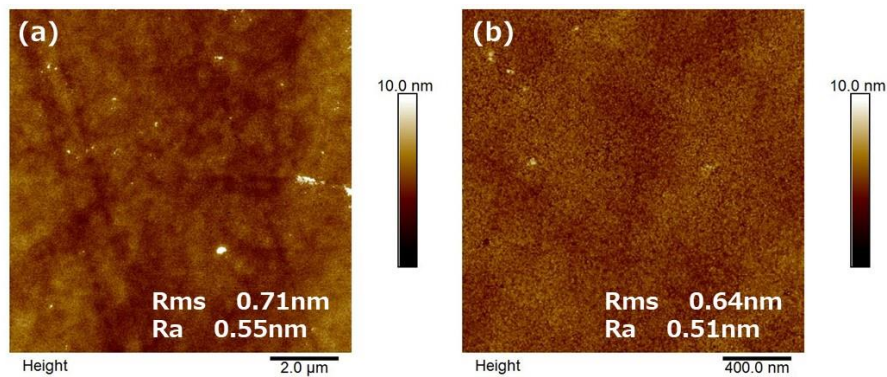
3.8.4.1 HVPE-AlN 上 GaN HEMT へのダイヤモンド接合

“② 高純度・大口径 AlN 基板成長技術” で作製した HVPE-AlN 基板上に作製した GaN HEMT に ADB 法によるダイヤモンド接合を行った。その接合フローを図⑧-4-1 に示す。AlN 基板は 50 μm の厚さまで研削・薄化し、CMP で HVPE-AlN 基板裏面の平坦化を行った。CMP は平成 30 年度に報告した弱アルカリ性 (pH 7.0 - 7.5) のスラリー① (シリカ、過酸化水素ベース) を用い、平成 30 年度に報告した PVT-AlN 基板の研磨面と同程度の平坦度 (RMS = 0.55 nm) を得た (図⑧-4-2) 。なお、接合は令和 2 年度の検討結果から片側 5 nm 厚の Ti (両側合計 10 nm) を挿入金属として用いた。

また、周期加熱法 [4] を用いて測定した AlN/ダイヤモンドにおける垂直方向の熱抵抗を表⑧-4-1 に示す。界面熱抵抗は HVPE-AlN/ダイヤモンド界面において $3.0 \times 10^{-8} \text{ m}^2\text{K/W}$ となり、PVT-AlN/ダイヤモンド界面と大差はなかった。例えば HVPE-AlN 基板 (50 μm) の基板自体の抵抗は $4.5 \times 10^{-7} \text{ m}^2\text{K/W}$ であり、AlN/ダイヤモンド界面の熱抵抗はその 1/15 程度である。言い換えると界面熱抵抗は AlN 基板 3~4 μm 程度に相当する熱抵抗でしかなく、全体の熱抵抗に対して十分に低い水準が達成できている。



図⑧-4-1 HVPE-AlN 基板上 GaN HEMT へのダイヤモンド接合フロー



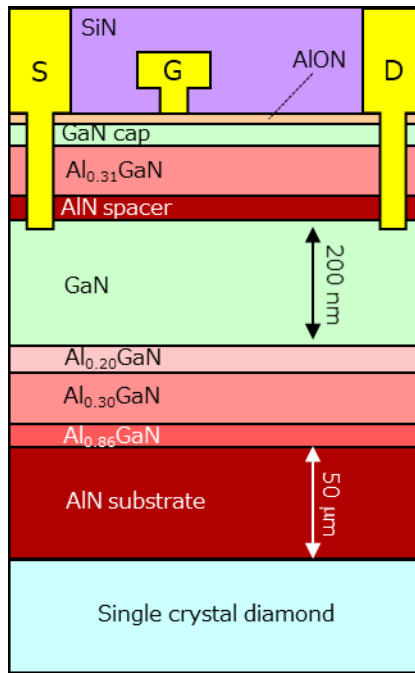
図⑧-4-2 HVPE-AlN の研磨面 ; (a) 10 μm□, (b) 2 μm□

表⑧-4-1 AlN/ダイヤモンド構造の熱抵抗(垂直方向)

	AlN(50 μm-t)の 熱抵抗	AlN/ダイヤモンド 界面熱抵抗	ダイヤモンドの 熱抵抗
PVT-AlN /ダイヤモンド構造	$4.9 \times 10^{-7} \text{ m}^2\text{K/W}$	$5.3 \times 10^{-8} \text{ m}^2\text{K/W}$	$2.5 \times 10^{-7} \text{ m}^2\text{K/W}$ (542 μm-t)
HVPE-AlN /ダイヤモンド構造	$4.5 \times 10^{-7} \text{ m}^2\text{K/W}$	$3.0 \times 10^{-8} \text{ m}^2\text{K/W}$	$2.2 \times 10^{-7} \text{ m}^2\text{K/W}$ (480 μm-t)

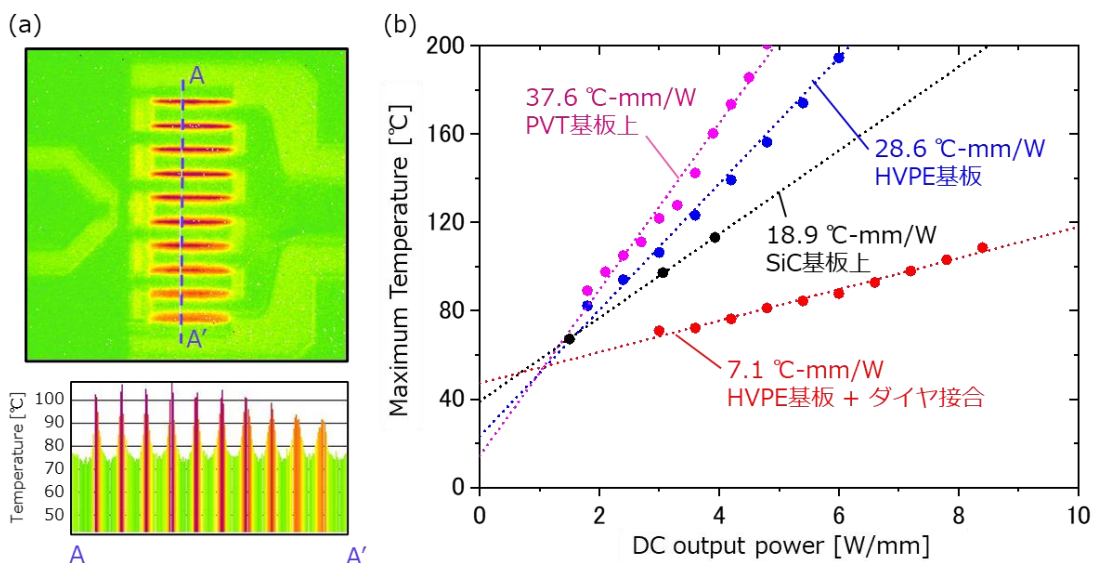
3.8.4.2 AlN 基板上 GaN HEMT のデバイス温度の評価とダイヤモンド接合の効果

令和2年度までのAlN基板上へのGaN HEMT形成は、その段階で入手可能なHEXATECH製PVT-AlN基板を用いて行ってきた。しかしながら、“⑨ 高放熱構造設計技術”で示したようにPVT-AlN基板はこれまでに報告されているHVPE基板の熱伝導率 341 W/mKよりも低い234 W/mKとなっていることが分かっている。GaNチャンネル層で発生した熱はAlN層を通してダイヤモンドに放熱されるため、ダイヤモンドの高い熱伝導率を最大限に活用するためには、AlN基板の熱伝導とそれによる放熱の差が重要となる。そこで、まずはHEXATECH製のPVT-AlN基板上のGaN HEMTと”②高純度・大口径AlN基板成長技術”にて合成したHVPE-AlN基板上に形成したGaN HEMTおよびHVPE-AlN基板に単結晶ダイヤモンドを接合したGaN HEMTについて熱抵抗の測定を行った。測定を行ったAlN基板上GaN HEMTの断面模式図を図⑧-4-3に示す。熱抵抗の測定には、赤外線(IR: infrared)カメラを用いた。また、PVT, HVPE-AlN基板ともに50 μmまで研削した後に熱抵抗の測定を行った。



図⑧-4-3 作製した AlN 基板上 GaN HEMT の断面模式図

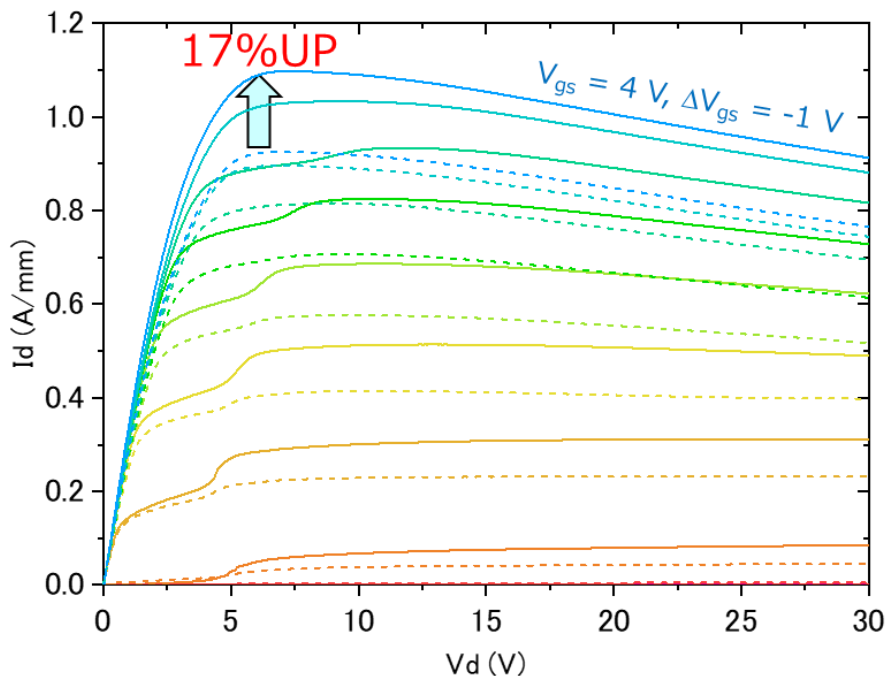
図⑧-4-4(a)に IR カメラを用いて取得した HVPE-AlN 上デバイスの表面温度の測定結果を示す。今回測定した GaN HEMT はゲート幅 1 mm (ゲート長 100 μm \times 10 本) のデバイスとしており、ゲート-ゲート間距離は 30 μm である。各ソース-ドレイン間での発熱が確認され、中心付近でのチャネルで最も温度が高いことが確認できる。これは、両隣のチャネルの発熱により中心付近での放熱が阻害されるため引き起こされる。また、このチャネル中の最大温度と出力された直流の電力 ($V_{ds} \times I_d$) をプロットすることにより、各デバイスの熱抵抗を求めた結果を図⑧-4-6(b)に示す。PVT-AlN 基板上に形成した GaN HEMT の熱抵抗は 37.6 $^{\circ}\text{Cmm}/\text{W}$ であった。一方で、HVPE-AlN 基板上に形成した GaN HEMT の熱抵抗は 28.6 $^{\circ}\text{Cmm}/\text{W}$ と PVT-AlN 基板上の GaN HEMT と比較して熱抵



図⑧-4-4 GaN HEMT のデバイス温度評価結果 ; (a) IR カメラによる HVPE-AlN 上のデバイス表面温度測定結果, (b) 各基板上 GaN HEMT の熱抵抗

抗率が約 24%低減する結果となった。PVT-AlN 基板上および HVPE-AlN 基板上の AlGaIn/GaN エピ層の構成および AlN 基板の厚さが同じであることから、AlN 基板の熱抵抗の差によるものと推定される。また、参照試料として用いた SiC 基板上の GaN HEMT では 18.9°Cmm/W と HVPE-AlN 基板上の GaN HEMT よりも低い値となった。SiC 基板上の GaN HEMT は GaN チャネル膜厚が $1\ \mu\text{m}$ と熱伝導率の低い GaN 層が厚いが、熱伝導率が AlN よりも高い SiC 基板がヒートスプレッディングの効果をもたらし、放熱性能が AlN 基板に比べて高くなった結果と考えられる。実際に、”⑨高放熱構造設計技術” で検討したシミュレーションにおいても同様の結果が得られている。また、AlN 基板は SiC 基板よりも熱伝導率が低い、裏面にダイヤモンドを接合することによって、 7.1°Cmm/W と劇的な熱抵抗の低減を実現した。すなわち、ダイヤモンドを接合することによって熱抵抗を約 1/4 に低減できており、SiC 基板上の GaN HEMT を凌駕する熱抵抗を実現できた。

GaN HEMT の電子移動度は室温以上では、ほぼフォノン散乱によって制限されており、温度が上昇するほどフォノンによる散乱確率が増加するため、移動度は低下する。そのため、電流密度や動作電圧が高い領域においては電流密度が小さくなってしまい、出力密度も小さくなってしまう。そこで、ダイヤモンドを接合したことによる出力密度への影響を調査するため、ダイヤモンド接合前後の $I_{ds}-V_{gs}$ 特性を測定した結果を図⑧-4-5 に示す。出力電力密度が元々低い $V_{gs} = -1\ \text{V}$ 程度の電圧の場合、電流が小さいため発熱量も小さくダイヤモンド接合前後において電流密度は大きく変わらない。一方で、 $V_{gs} = 4\ \text{V}$ の領域においては、電流密度が高くダイヤモンド接合前後どちらにおいても V_{ds} が高くなるほど、発熱量の増加による移動度低下によって電流密度が低下している。しかしながら、ダイヤモンド接合前と接合後を比較すると、Knee 電圧付近の電流密度では、ダイヤモンド接合後の GaN HEMT では 17%の電流密度増加が観察された。直流動作では、発熱のほとんどない off 状態が存在しないため、発熱の観点では最も不利な状況である。つまり、ダイヤモンドを接合することで、熱抵抗を約 1/4 に低減した結果、AlN 上の GaN HEMT は最大で 17%の出力向上を実現できることを示している。



図⑧-4-5 HVPE-AlN 上 HEMT のダイヤモンド接合の有無による I_d-V_{ds} 特性の比較 (点線：ダイヤモンド接合無し、実線：ダイヤモンド接合有り)

3.8.5 まとめ

AlN デバイスの高出力化に伴う発熱の問題に対処するために裏面からの放熱構造の開発を行った。具体的には AlN 基板の薄化とダイヤモンドヒートスプレッダーに接合する技術の開発である。結果を以下にまとめる。

- ・厚さ約 50 μm への AlN 薄化工程を研削工程で実現し、さらに CMP 工程ではアルカリ性スラリー② (pH 9.5) による研削痕除去と弱アルカリ性スラリー① (pH 7.0 - 7.5) による短時間の仕上げ研磨を組み合わせることで、48 μm までの AlN 薄化と接合に十分な平坦化 ($R_a = 0.41 \text{ nm}$) を実現した。なお、これはプロジェクト目標の AlN 厚さ 50 μm 以下かつ $R_a = 1 \text{ nm}$ 以下を十分に達成するものである。

- ・AlN とダイヤモンドの原子拡散接合を実現し、界面熱抵抗 $3.0 \times 10^{-8} \text{ m}^2\text{K/W}$ を実現した。この界面熱抵抗は HVPE-AlN 基板 (50 μm) のバルク抵抗の 1/15 程度でしかなく、全体の熱抵抗に対して十分に低い水準である。なお、プロジェクトの目標値 $5 \times 10^{-8} \text{ m}^2\text{K/W}$ を達成した。

- ・HVPE-AlN 上 GaN HEMT にダイヤモンド接合を適用した。ダイヤモンドを接合することによってデバイスの熱抵抗を 1/4 程度に低減した。

参考文献

- [1] T. Suga, Y. Takahashi, H. Takagi, B. Gibbesch, and G. Elssner, *Acta Metall. Mater.* 40, S133 (1992).
- [2] Y. Minoura, N. Okamoto, M. Sato, T. Ohki, S. Ozaki, K. Makiyama, J. Kotani, A. Yamada, T. Ishiguro, and N. Nakamura, 48th Semiconductor Interface Specialists Conference 2017 (SISC2017) 5.26.
- [3] T. Shimatsu, and M. Uomoto, *J. Vac. Sci. Technol. B*, 28, 706 (2010).
- [4] 株式会社ベテル ホームページ (<https://hrd-thermal.jp/>)
- [5] 金属データブック (改訂 4 版)、社団法人日本金属学会、平成 16 年
- [6] SiC/GaN パワー半導体の実装と信頼性評価技術

3.9 ⑨高放熱構造設計技術

3.9.1 はじめに

従来の GaN-HEMT 高出力増幅器 (High Power Amplifier, HPA) よりもさらに高出力化を狙う AlN デバイスは、発熱量もさらに増加することが予想されるため、デバイスの高放熱技術の研究は極めて重要である。本研究においては、防衛装備庁委託研究「ヘテロ構造最適化による高周波デバイスの高出力化」で得た知見を活用し、AlN とダイヤモンドの接合による裏面放熱技術を開発する。しかしながら、デバイス裏面からの放熱だけでは十分でないことが予想されるため、本研究では AlN デバイス上に形成する CVD ダイヤモンド膜による表面放熱技術を開発する。図⑨-1-1 に、極限量子閉じ込め AlN デバイスの高放熱構造の概略図を示す。これらの放熱技術をインテグレーションし、デバイスサイズ、界面熱抵抗、ヒートスプレッドサイズ等を最適化するためには、3次元 (3-dimensional, 3D) 熱シミュレーションを用いたデバイス高放熱構造設計が重要である。

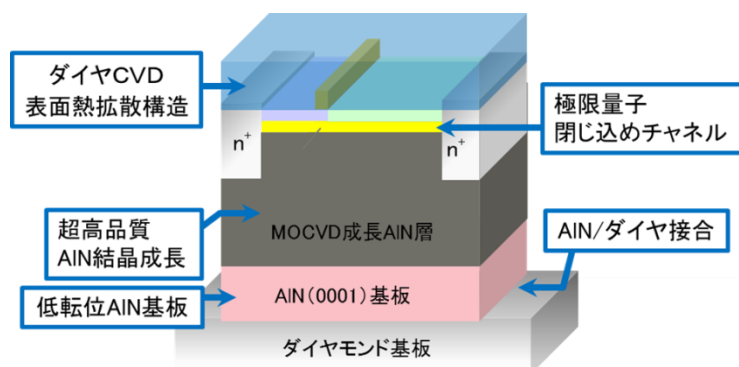
平成 29 年度は、AlN デバイスの 3D 熱シミュレーションが可能な環境を構築するため、これまでに報告されている AlN の熱伝導率に関する文献を調査した。さらに、AlN 基板上 AlN 構造 (AlN-on-AlN) と、従来の SiC 基板上 GaN 構造 (GaN-on-SiC) の熱抵抗をシミュレーションにより算出し、AlN-on-AlN 構造が持つポテンシャルを検証した。

平成 30 年度は、理想的に接合した AlN/ダイヤモンド基板の熱シミュレーションを行い、最適な裏面放熱構造を設計した。また、CVD ダイヤモンド/AlN 基板の熱シミュレーションを行い、最適な表面放熱構造を設計した。さらに、熱シミュレーションの精度向上のため、AlN 基板の熱伝導率を評価した。

平成 31 年度は、平成 30 年度に導入した CVD 装置で成膜した CVD ダイヤモンド膜の熱伝導率、および CVD ダイヤモンド/AlN 基板の界面熱抵抗の熱パラメータを取得し、実現可能なダイヤモンド CVD/AlN 基板の表面放熱構造の最適化を図った。また導入した接合装置により原子拡散接合した AlN 基板/単結晶ダイヤモンドの熱パラメータを取得し、精度向上に向けた熱シミュレーションへのフィードバックも併せて実施した。加えて、AlN 基板上の HEMT エピの熱伝導率を評価し、デバイス熱抵抗に与える影響についてシミュレーションを実施した。

令和 2 年度は、平成 31 年度導入の接合装置により接合した AlN 基板/ダイヤモンドの界面熱抵抗の熱パラメータを取得し、実現可能な AlN 基板/ダイヤモンドの裏面放熱構造の最適化を図った。また、CVD ダイヤモンド膜の熱伝導率改善の開発状況に応じて熱シミュレーションへのフィードバックも併せて実施した。

令和 3 年度は、令和 2 年度までに取得した AlN 基板/ダイヤモンド界面熱抵抗および CVD ダイヤモンド熱伝導率等の熱パラメータを基に、実現可能な AlN 基板上デバイスの表裏放熱構造の最適化を図った。



図⑨-1-1 極限量子閉じ込め AlN デバイスの高放熱構造

3.9.2 3D熱シミュレーション環境の構築と熱抵抗の基板依存性

3.9.2.1 AlNデバイス構造の熱シミュレーションに向けた熱パラメータ調査

AlNデバイス構造の3D熱シミュレーションにはAlNなどの熱パラメータが必要である。これまでに報告されているAlN単結晶、AlNセラミックの熱伝導率の最新文献[1]からさらに調査した。報告された中で最も高い室温での熱伝導率は高品質なAlN単結晶で319 W/mKであるが、酸素や酸素起因の欠陥により室温の熱伝導率は40 W/mKまで低下することも報告されている[2]。また、酸素濃度0.3wt%のAlNの熱伝導率は160 W/mK [3]、酸素濃度の増加 ($5 \times 10^{19} \sim 1 \times 10^{21} \text{ cm}^{-3}$) とともにAlNの熱抵抗率が増加し、 $2 \times 10^{20} \text{ cm}^{-3}$ で212 W/mK [4]という報告がある。一方、製造方法の改善でグレインサイズを小さくすることにより、AlNセラミックでも285 W/mKまで増加するという報告もある[5]。しかしながら、これまでの報告ではAlNの結晶性や不純物濃度による影響が大きく、真の高純度AlN単結晶の熱伝導率はよくわかっていない。このため、現時点でAlN単結晶の熱伝導率は300 W/mK前後 (150~400 W/mK) と想定した。

一方、現行のGaN HEMT/SiC構造の熱シミュレーションでは実測で求めた熱パラメータを用いた。GaNの熱伝導率は、転位密度の増加 ($10^7 \sim 10^{10} \text{ cm}^{-2}$) とともに対数的に200 W/mKから100 W/mKまで低下することが報告されている[6]。SiC基板上に成長したGaNエピ層の転位密度は 10^8 cm^{-2} 台であるため、GaNエピ層の熱伝導率は転位密度の影響を受ける。また、バリア層やバッファ層に用いるAlGaInエピ層の熱伝導率は、AlNとGaNの無秩序性に起因するフォノン散乱の影響を受け、 $\text{Al}_x\text{Ga}_{1-x}\text{In}_y\text{N}$ の室温の熱伝導率はAlNやGaNと比べて一桁低下し、Al組成0.1から0.4の変化で55 W/mKから25 W/mKまで減少するとの報告もある[7]。さらに、GaN/SiC界面熱抵抗は、SiC基板上のAlN核形成層の厚みや結晶性の影響を受け、ウェハによる違いが大きい[8, 9]。このため、GaN HEMT/SiC従来構造の熱シミュレーションでは実測で求めた熱パラメータが重要となる。

上記を踏まえ、AlNエピ層の熱伝導率は150 W/mKもしくはAlN基板と同じ (150~400 W/mK) 、また、AlNエピ層/AlN基板の界面熱抵抗は $0, 1 \times 10^{-7} \text{ m}^2\text{K/W}$ (GaN/SiCと同程度) で、AlNエピ層/AlN基板構造の熱シミュレーションを行った。3D熱シミュレーションはMentorGraphics社製FloTHERMを用いた。

3.9.2.2 シミュレーション条件

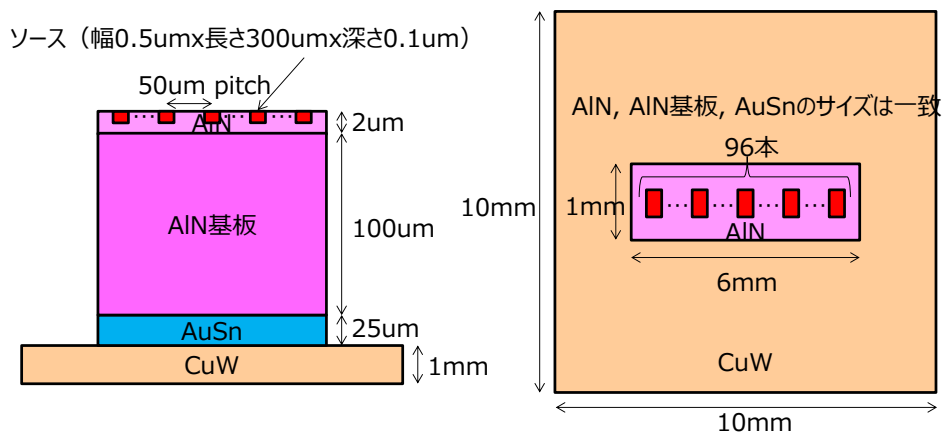
図⑨-2-1は、シミュレーションしたAlN HPA on AlN基板デバイス構造である。AlNエピ層、AlN基板、AuSn、CuWの膜厚は、それぞれ2, 100, 25, 1000 μm に固定した。一方、図⑨-2-2は、シミュレーションしたGaN HPA on SiC現行構造である。GaN、SiC、AuSn、CuWの膜厚は、それぞれ2, 100, 25, 1000 μm に固定した。さらに図⑨-2-3は、シミュレーションしたGaN HPA on SiC/ダイヤモンド接合構造である。GaN、SiC、Diamond、AuSn、CuWの膜厚は、それぞれ2, 50, 300, 25, 1000 μm に固定した。チップサイズは1 mm \times 6 mmの長方形で、ダイヤモンドおよびCuWベース材サイズは10 mm \times 10 mm \times 1 mmの正方形とした。発熱領域はゲート長0.5 μm \times ゲート幅0.3 mm \times 深さ0.1 μm とし、AlN層およびGaIn層内に設定した。今回、入力電力 (P_{in}) は約25 dBm (0.3 W) で、出力電力 (P_{out}) 288 Wよりも十分小さいので無視し、発熱量 (P_{diss}) は以下に定義した。

$$P_{\text{diss}} = P_{\text{DC}} - P_{\text{out}} = P_{\text{out}} \times (1/\eta_{\text{D}} - 1) \quad \text{式⑨-2-1}$$

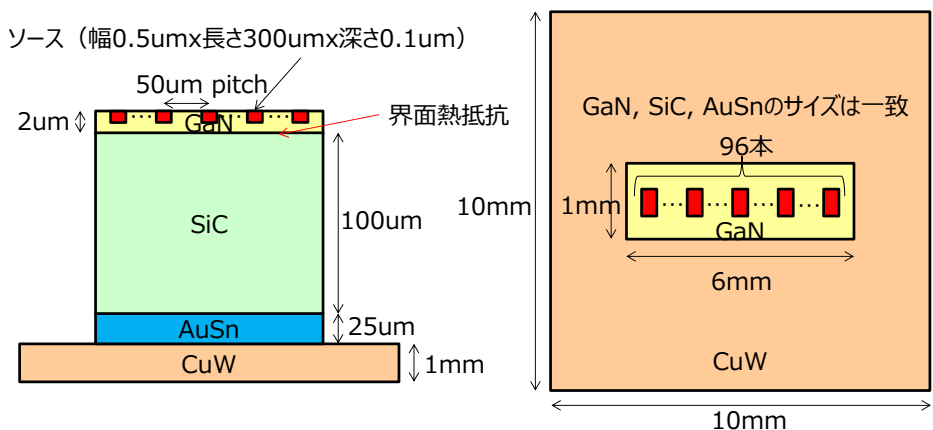
P_{DC} : 直流電力、 η_{D} : ドレイン効率

このため、出力密度10 W/mm (出力288 W) でドレイン効率60%の場合、ゲート1本当当たりの発熱量を2 Wとした。また、ゲート数は96本で、ゲート-ゲート間距離を50 μm とし、チップ中央に配置した。

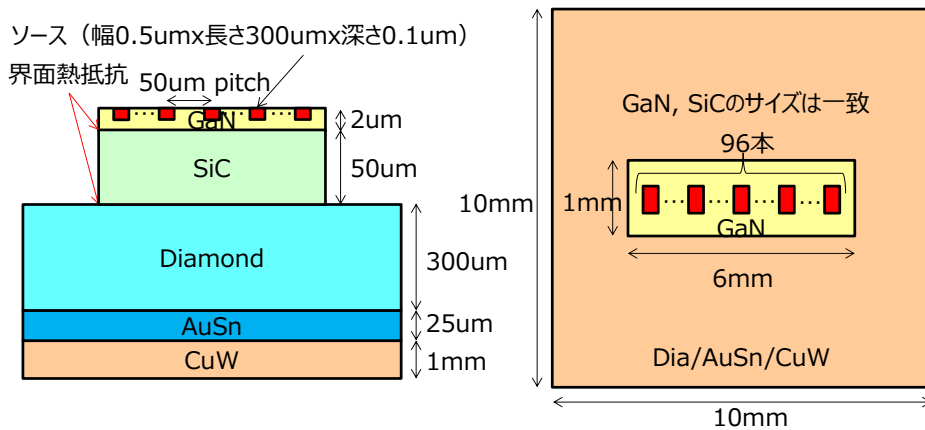
表⑨-2-1は、AlN HPA on AlN基板構造シミュレーションに用いたパラメータを示す。AlNエピ層とAlN基板の熱伝導率およびAlNエピ/AlN基板界面熱抵抗は、150 - 400 W/mK、および、0, 1×10^{-7} m²K/Wとした。表⑨-2-2は、現行構造およびGaN HPA on SiC/ダイヤモンド接合構造シミュレーションに用いたパラメータを示す。GaN, SiCの熱伝導率およびGaN/SiC界面熱抵抗は、GaN/SiC構造の熱分析測定から求めた88 W/mK、420 W/mK、および、 1.6×10^{-8} m²K/Wとした。SiC/ダイヤモンド界面熱抵抗は、熱分析測定から求めた 6.7×10^{-8} m²K/Wとした。AuSn, CuWの熱伝導率は、同様に文献値[10-13]の57 W/mK、200 W/mKを用いた。環境は空気、30℃、1気圧でベース材底面温度を60℃一定とした。AlN HPAトータル熱抵抗は、温度差分（最高温度-ベースプレート温度60℃）/発熱量（192 W）とした。



図⑨-2-1 AlN HPA on AlN 基板構造



図⑨-2-2 GaN HPA on SiC 現行構造



図⑨-2-3 GaN HPA on SiC/ダイヤモンド接合構造

表⑨-2-1 AlN HPA on AlN 基板構造シミュレーションのパラメータ

パラメータ	AlN エピ	AlN エピ/AlN 基板	AlN 基板	AuSn	CuW
熱伝導率 (W/mK)	150 - 400	-	150-400	57	200
界面熱抵抗 (m ² K/W)	-	0, 1×10 ⁻⁷	-	-	-
比熱 (J/kgK)	600	-	600	151	180
密度 (g/cm ³)	3.23	-	3.23	14.52	15.65

表⑨-2-2 現行構造

および GaN HPA on SiC/ダイヤモンド接合構造シミュレーションのパラメータ

パラメータ	GaN	GaN/SiC	SiC	SiC/Dia	Diamond	AuSn	CuW
熱伝導率 (W/mK)	88(※)	-	420(※)	-	2000	57	200
界面熱抵抗 (m ² K/W)	-	1.6×10 ⁻⁸ (※)	-	6.7×10 ⁻⁸ (※)	-	-	-
比熱 (J/kgK)	490	-	690	-	520	151	180
密度 (g/cm ³)	6.15	-	3.21	-	3.515	14.52	15.65

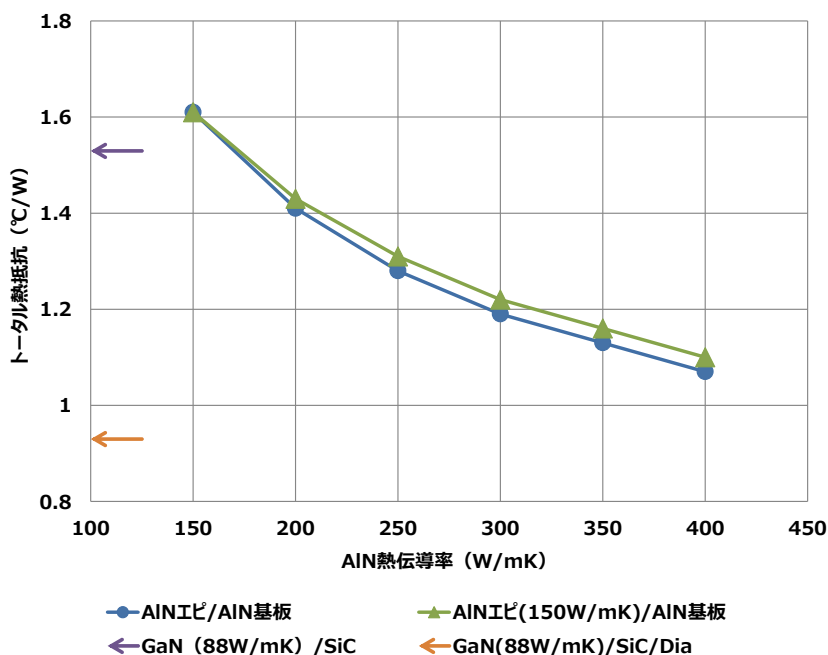
※熱分析評価による測定値

3.9.2.3 熱抵抗の基板依存性

図⑨-2-4は、AlN HPAトータル熱抵抗のAlN熱伝導率依存性のAlNエピ層の熱伝導率比較を示している。ここではエピ/基板界面は非常に清浄なホモエピタキシャル成長を仮定して、AlNエピ層/AlN基板界面熱抵抗は無し（ゼロ）とした。一方で、AlNエピ層の熱伝導率は、転位密度のみの影響を受けるとして基板と同じ、もしくは、150 W/mKとした。150 W/mKの熱伝導率は、MOCVD成長したAlNエピ層の結晶品質が悪い場合を想定している。現行のGaN/SiC構造のトータル熱抵抗（矢印（紫））は1.53℃/Wで、また、GaN/SiC/ダイヤモンド構造のトータル熱抵抗（矢印（橙））は0.93℃/Wである。

まず、AlNエピ層の熱伝導率はAlN HPAトータル熱抵抗にはあまり影響しないことが分かる。つ

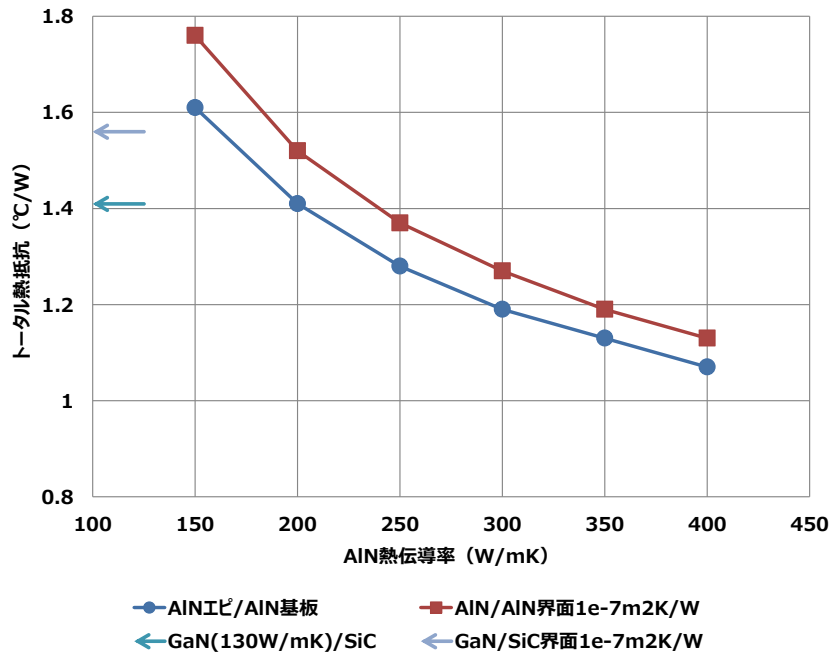
まり、AlN HPAトータル熱抵抗はAlN基板の熱伝導率が占める割合が大きい。また、AlN基板の熱伝導率が175 W/mKよりも高ければ、AlN HPAトータル熱抵抗は現行のGaN/SiC構造のトータル熱抵抗よりも低くなる。仮にAlN基板の熱伝導率が、これまでに報告された中で最も高い319 W/mKであれば、AlN HPAトータル熱抵抗は約1.2°C/Wで、現行GaN/SiC構造のトータル熱抵抗の約20%低減可能である。以上のように、AlN/AlN基板は、現行構造のGaN HEMT/SiCよりも熱抵抗を低減できるポテンシャルを持つことが分かった。さらにAlN基板の品質が向上し、AlN基板の熱伝導率が400 W/mKとなれば、AlN/AlN構造単独で、GaN/SiC/ダイヤモンド構造に近いレベルまでトータル熱抵抗を低減することが可能である。



図⑨-2-4 AlN HPAトータル熱抵抗のAlN熱伝導率依存性のAlNエピ層熱伝導率比較

図⑨-2-5は、AlN HPAトータル熱抵抗のAlN熱伝導率依存性のAlN/AlN界面熱抵抗比較を示している。ここではエピ/基板界面が清浄でないホモエピタキシャル成長を仮定して、AlNエピ/AiN基板界面熱抵抗を 1×10^{-7} m²K/Wとした。AlN表面は非常に酸化されやすいため、酸化膜の除去が難しいことを想定している。ただし、AlNエピ層の熱伝導率は、転位密度のみの影響を受けるとしてAlN基板と同じとした。また、GaNエピ層の熱伝導率は、転位密度 5×10^8 cm⁻²で、かつ、熱伝導率の低いAlGaNバッファ層の影響は受けないとして、130 W/mKとした。このとき、界面熱抵抗 2.5×10^{-8} m²K/WのGaN/SiC構造のトータル熱抵抗（矢印（薄緑））は1.41°C/Wで、界面熱抵抗 1×10^{-7} m²K/WのGaN/SiC構造のトータル熱抵抗（矢印（薄青））は1.56°C/Wである。GaN/SiC構造のトータル熱抵抗は、この範囲（1.41 - 1.56°C/W）に収まると予想される。

まず、AlNエピ層/AiN基板の界面熱抵抗は、AlN HPAトータル熱抵抗にかなり影響することが分かる。しかし、AlN熱伝導率が250 W/mKよりも高ければ、界面熱抵抗が 1×10^{-7} m²K/Wであったとしても、AlN HPAトータル熱抵抗はGaN/SiC構造のトータル熱抵抗よりも低くなる。仮にAlN基板の熱伝導率がこれまでに報告された中で最も高い319 W/mKであれば、界面熱抵抗によるトータル熱抵抗差は、AlN/AlN基板構造で0.07°C/WとGaN/SiC構造(0.15°C/W)より小さい。以上のように、AlN/AlN基板は、現行構造のGaN HEMT/SiCよりも熱抵抗を低減できるポテンシャルを持つことが分かった。さらにAlN/AlN基板の品質が向上し、AlNの熱伝導率が400 W/mKとなれば、界面熱抵抗差の影響はさらに小さくなる。



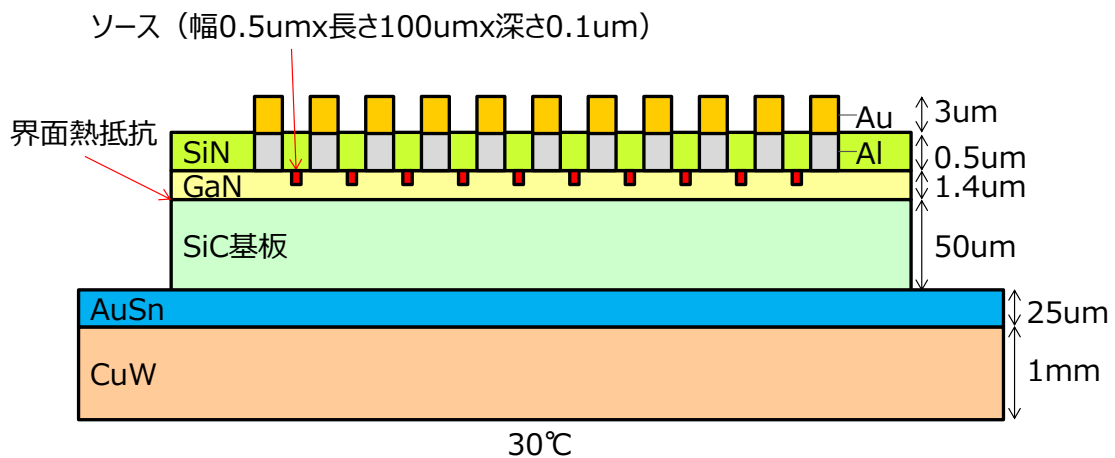
図⑨-2-5 AIN HPAトータル熱抵抗のAlN熱伝導率依存性のAlN/AlN界面熱抵抗比較

3.9.3 理想的に接合した AlN/ダイヤモンド基板の熱シミュレーション

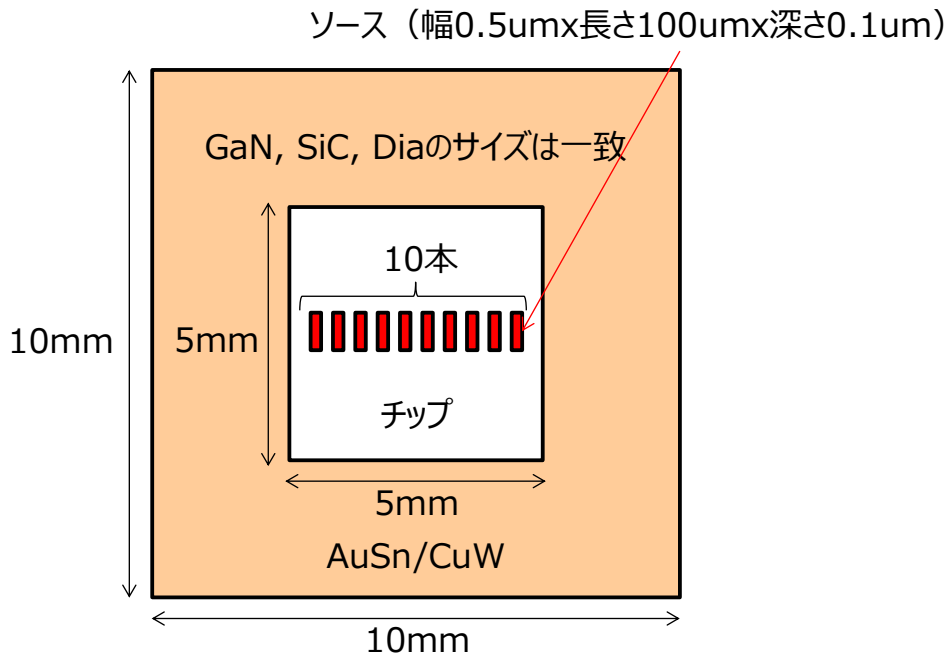
3.9.3.1 熱シミュレーション条件

ここでは、基本的な熱シミュレーション構造と条件について説明する。3D熱シミュレーションはMentorGraphics社製FloTHERMを用いた。図⑨-3-1は、現行のGaN-on-SiC HPAシミュレーション構造の断面図、図⑨-3-2は上面図である。シミュレーション精度向上のためGaN表面にSiNパッシベーション膜と金属電極・配線を施した実デバイスにより近いシミュレーション構造となっている。図⑨-3-3は、上述と同様にSiNパッシベーション膜と金属電極・配線を施したAlN-on-AlN HPAシミュレーション構造である。GaNおよびAlNエピ層、SiC基板およびAlN基板の膜厚は、それぞれ2, 50 μm に固定した。AuSn, CuWの膜厚は、それぞれ25, 1000 μm に固定した。チップサイズは5 mm \times 5 mmの長方形でCuWベース材サイズは10 mm \times 10 mm \times 1 mmの正方形とした。ゲート-ゲート間距離30 μm で、10か所の発熱領域(幅0.5 μm \times 長さ100 μm \times 深さ0.1 μm)をGaN層およびAlNエピ層内でチップ中央に配置した。今回、発熱量は、ゲート1本当たりの発熱量を1.2 Wとした。

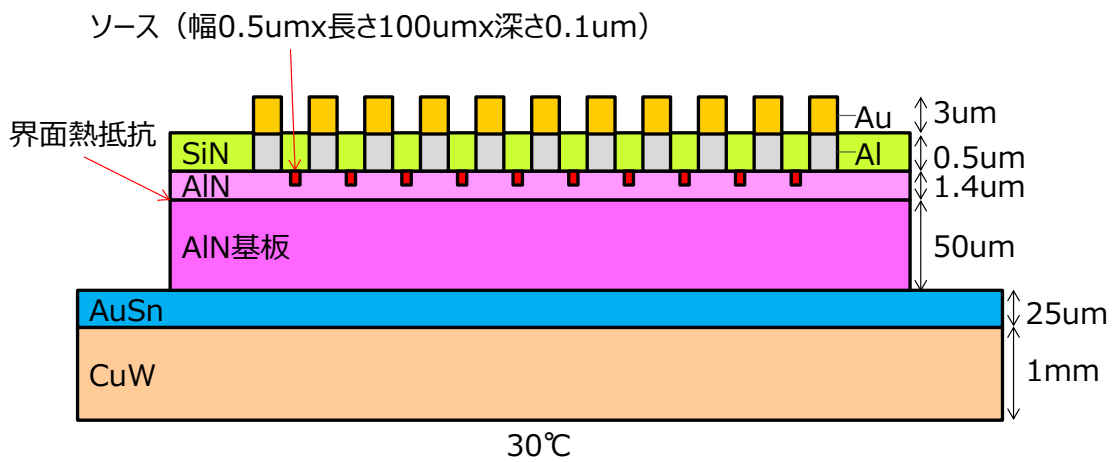
表⑨-3-1は、現行のGaN-on-SiC HPA構造のシミュレーションに用いたパラメータを示す。GaN, SiCの熱伝導率およびGaN/SiC界面熱抵抗は、GaN/SiC構造の熱分析測定から求めた140 W/mK、420 W/mK、および、 9×10^{-9} m²K/Wとした。表⑨-3-2は、AlN-on-AlN HPA構造シミュレーションに用いたパラメータを示す。AlNエピ層とAlN基板の熱伝導率およびAlNエピ/AlN基板界面熱抵抗は、300 W/mK、および 1×10^{-7} m²K/Wとした。環境は空気、30°C、1気圧で、ベース材底面温度を30°C一定とした。HPAのトータル熱抵抗は、温度差分(最高温度-ベースプレート温度30°C)/発熱量(12 W)とした。現行のGaN-on-SiC HPA構造の熱抵抗は、20.87°C/Wであった。その他のシミュレーション構造および熱パラメータについては、次章に詳細を記載する。



図⑨-3-1 現行のGaN-on-SiC HPAシミュレーション構造(断面図)



図⑨-3-2 現行の GaN-on-SiC HPA シミュレーション構造 (上面図)



図⑨-3-3 標準的な AlN-on-AlN HPA シミュレーション構造

表⑨-3-1 GaN-on-SiC HPA 構造シミュレーションのパラメータ

パラメータ	GaN	GaN/SiC	SiC	AuSn	CuW	SiN	Al	Au
熱伝導率 (W/mK)	140 (※)	-	420 (※)	57	200	1.1	201	296
界面熱抵抗 ($\text{m}^2\text{K/W}$)	-	9×10^{-9} (※)	-	-	-	-	-	-
比熱 (J/kgK)	490	-	690	151	180	1	913	132
密度 (g/cm^3)	6.15	-	3.21	14.52	15.65	1	2.71	19.3

※熱分析評価による測定値

表⑨-3-2 AlN-on-AlN HPA 構造シミュレーションのパラメータ

パラメータ	AlN エピ	AlN/AlN	AlN 基板	AuSn	CuW	SiN	Al	Au
熱伝導率 (W/mK)	300, 340	-	300	57	200	1.1	201	296
界面熱抵抗 (m ² K/W)	-	1×10 ⁻⁷	-	-	-	-	-	-
比熱 (J/kgK)	600	-	600	151	180	1	913	132
密度 (g/cm ³)	3.23	-	3.23	14.52	15.65	1	2.71	19.3

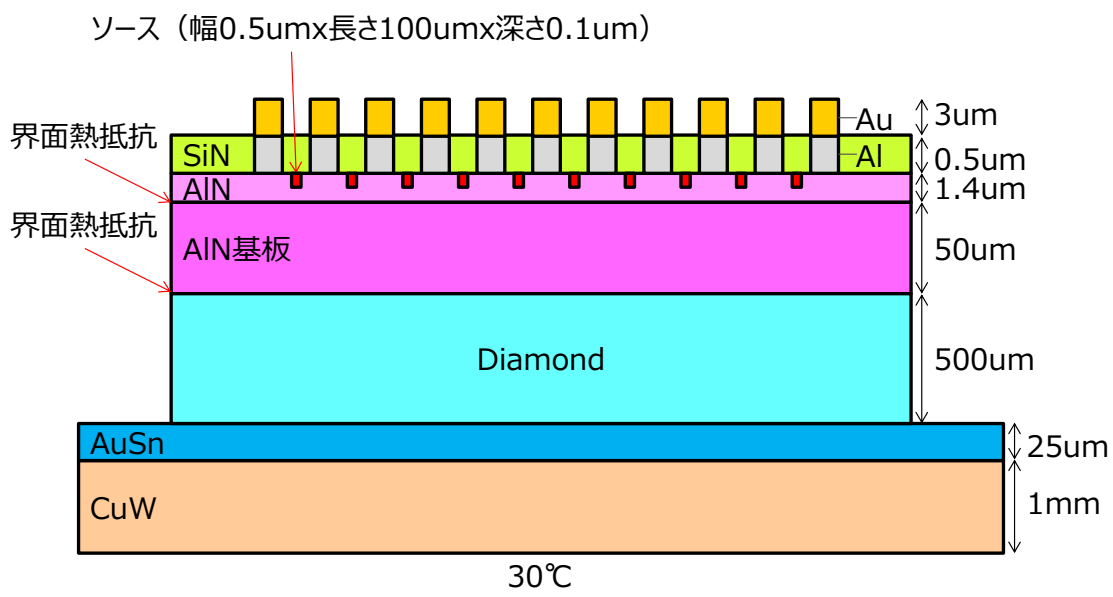
3.9.3.2 AlN/ダイヤモンド裏面放熱構造および CVD ダイヤ/A1N 表面

放熱構造

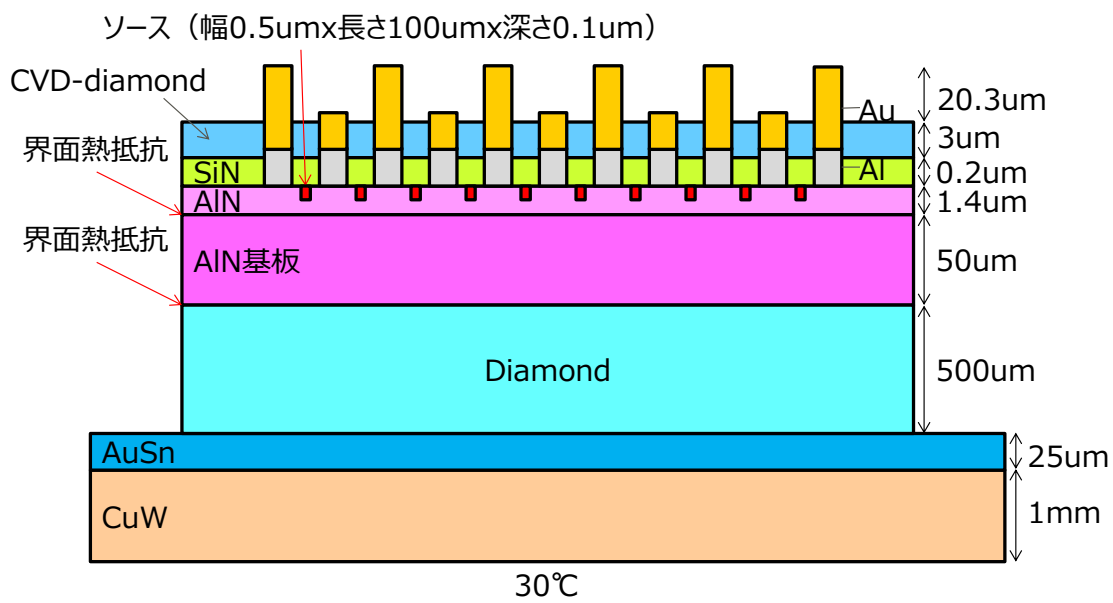
AlN/ダイヤモンド裏面放熱構造および CVD ダイヤモンド/A1N 表面放熱構造の熱シミュレーションを行い、現行の GaN-on-SiC HPA 構造および標準的な AlN-on-AlN 構造との熱抵抗比較を行った。図⑨-3-4 は、シミュレーションした AlN-on-AlN HPA/ダイヤモンド接合構造である。また、図⑨-3-5 は、シミュレーションした CVD ダイヤモンド/A1N-on-AlN HPA/ダイヤモンド接合構造である。いずれの場合もダイヤモンド領域以外の AlN-on-AlN 部は、図⑨-3-3 の AlN-on-AlN 部と同じである。表⑨-3-3 に AlN/ダイヤモンド裏面放熱構造および CVD ダイヤモンド/A1N 表面放熱構造シミュレーションのパラメータを示す。その他のパラメータは表⑨-3-1、表⑨-3-2 に示している。

AlN 基板/ダイヤモンドの界面熱抵抗は、原子拡散接合 (Atomic Diffusion Bonding: ADB) を想定し、1×10⁻⁷ m²K/W とした。CVD ダイヤモンドは、水素エッチング [14] により GaN 結晶上に直接成膜できないため、SiN 等のアモルファス層上に成膜する [15, 16]。例えば、50 nm 厚 SiO₂ 上に 750°C で成膜したマイクロ波 CVD ダイヤモンドの熱伝導率は 400 W/mK である [17]。また、50 nm 厚 SiN 上に 650°C で成膜したマイクロ波 CVD ダイヤモンドの熱伝導率は、膜厚増加に伴ってグレインサイズが大きくなることにより上昇する。1 μm 厚 CVD ダイヤモンドの熱伝導率は、320±150 W/mK である [18]。一方、GaN-on-diamond において、ホットフィラメント CVD ダイヤモンドの熱伝導率 620 W/mK やマイクロ波 CVD ダイヤモンドの熱伝導率 1500 W/mK の報告がある [19]。そこで、CVD ダイヤモンドの熱伝導率として、300 W/mK、および、1000 W/mK を設定した。

図⑨-3-6 は、シミュレーションした熱抵抗比較を示している。結果として、AlN/ダイヤモンド基板で熱抵抗は 42% 低減し、さらに CVD ダイヤモンドにより 45% まで低減することがわかった。しかしながら、目標である熱抵抗 50% 低減には至らなかった。また、CVD ダイヤモンドの熱伝導率 300 W/mK と 1000 W/mK で熱抵抗差が非常に小さい。これは、CVD ダイヤモンド/A1N 界面に存在する熱伝導率が低い SiN 膜が熱抵抗となるため、CVD ダイヤモンドへの熱伝導を阻害していることを示唆している。



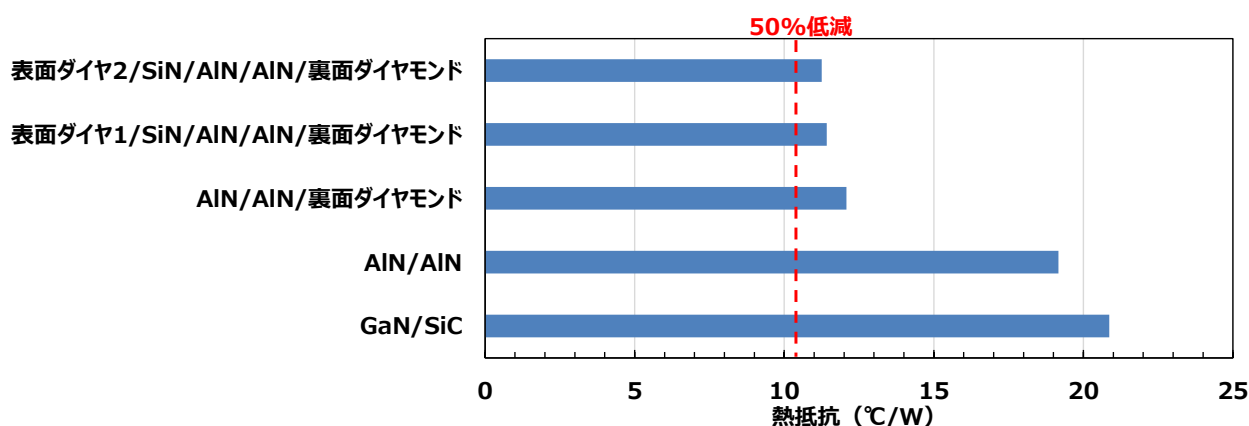
図⑨-3-4 AlN-on-AlN HPA/ダイヤモンド接合構造



図⑨-3-5 CVD ダイヤモンド/AlN-on-AlN HPA/ダイヤモンド接合構造

表⑨-3-3 AlN/ダイヤモンド裏面放熱構造および
CVD ダイヤ/A1N 表面放熱構造シミュレーションのパラメータ

パラメータ	ダイヤモンド(裏面)	AlN 基板 /Diamond	CVD ダイヤモンド(表面)
熱伝導率 (W/mK)	2000		300 (表面ダイヤモンド 1) 1000 (表面ダイヤモンド 2)
界面熱抵抗 (m ² K/W)	-	1 × 10 ⁻⁷	-
比熱 (J/kgK)	520		520
密度 (g/cm ³)	3.515		3.515

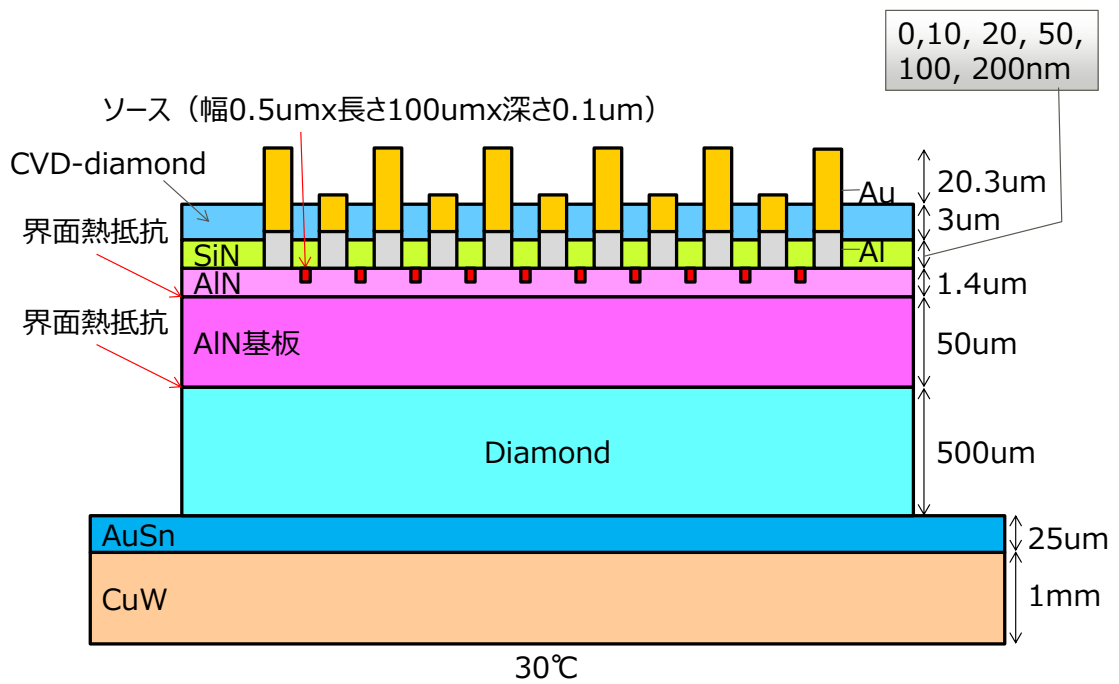


図⑨-3-6 シミュレーションした熱抵抗比較

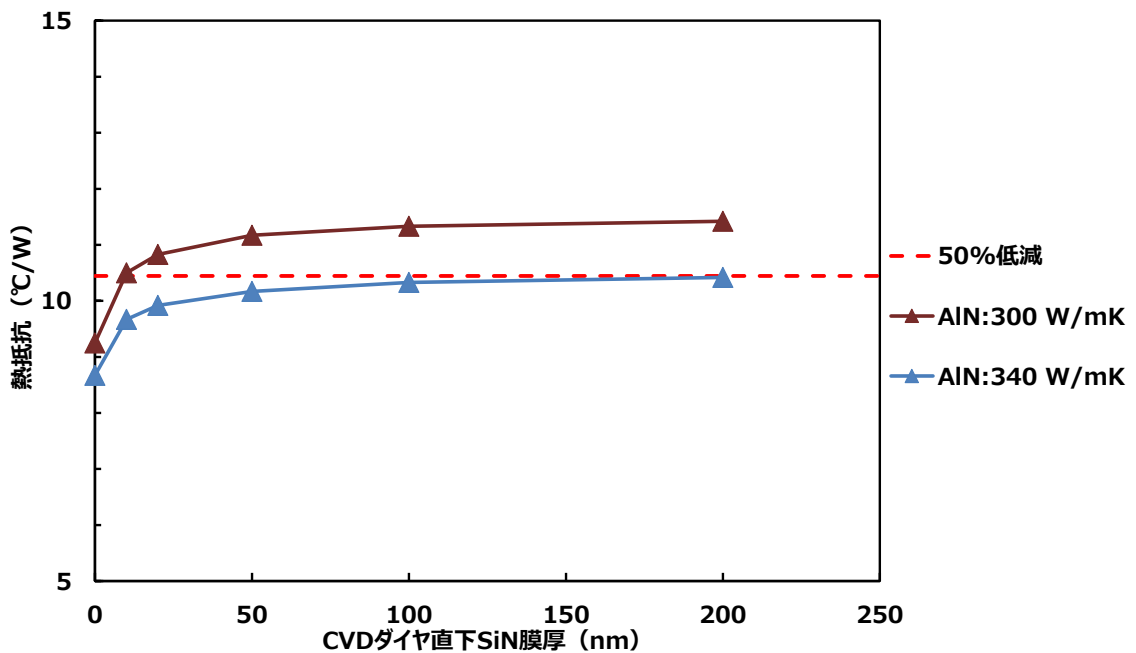
3.9.3.3 表面放熱効果の SiN 膜厚依存性

上述のように、CVD ダイヤモンド/AlN 界面に熱伝導率の低い SiN が存在すると、CVD ダイヤモンドの熱伝導率を上げてても熱抵抗低減効果が低い。そこで、CVD ダイヤモンド/AlN-on-AlN HPA/ダイヤモンド接合構造の熱抵抗の SiN 膜厚依存性についてシミュレーションを実施した。図⑨-3-7 は、SiN 膜厚の異なる CVD ダイヤモンド/AlN-on-AlN HPA/ダイヤモンド接合構造である。シミュレーションに用いた熱パラメータは、表⑨-3-2、表⑨-3-3 と同じである。ここでは、CVD ダイヤモンドの熱伝導率は、300 W/mK を用いた。また、現在最も高い AlN 熱伝導率として報告されている 341±6 W/mK[20, 21]についても熱伝導率 340 W/mK としてシミュレーションを行った。

図⑨-3-8 は、トータル熱抵抗の CVD ダイヤモンド直下 SiN 膜厚依存性である。結果として、熱抵抗を 50%低減するためには、AlN 熱伝導率 300 W/mK で SiN 膜厚 10 nm 以下、AlN 熱伝導率 340 W/mK で SiN 膜厚 200 nm 以下にすることが必要である。上述のように CVD ダイヤモンドを成膜するために膜厚 50 nm 程度の SiN が必要であるならば、AlN の熱伝導率も極めて重要である。一方で、水素エッチングされる GaN と異なり、AlN 上に直接 CVD ダイヤモンドを成膜することが可能[22]であれば、熱抵抗は最大 58%低減することが可能である。



図⑨-3-7 SiN 膜厚の異なる CVD ダイヤモンド/AlN-on-AlN HPA /ダイヤモンド接合構造



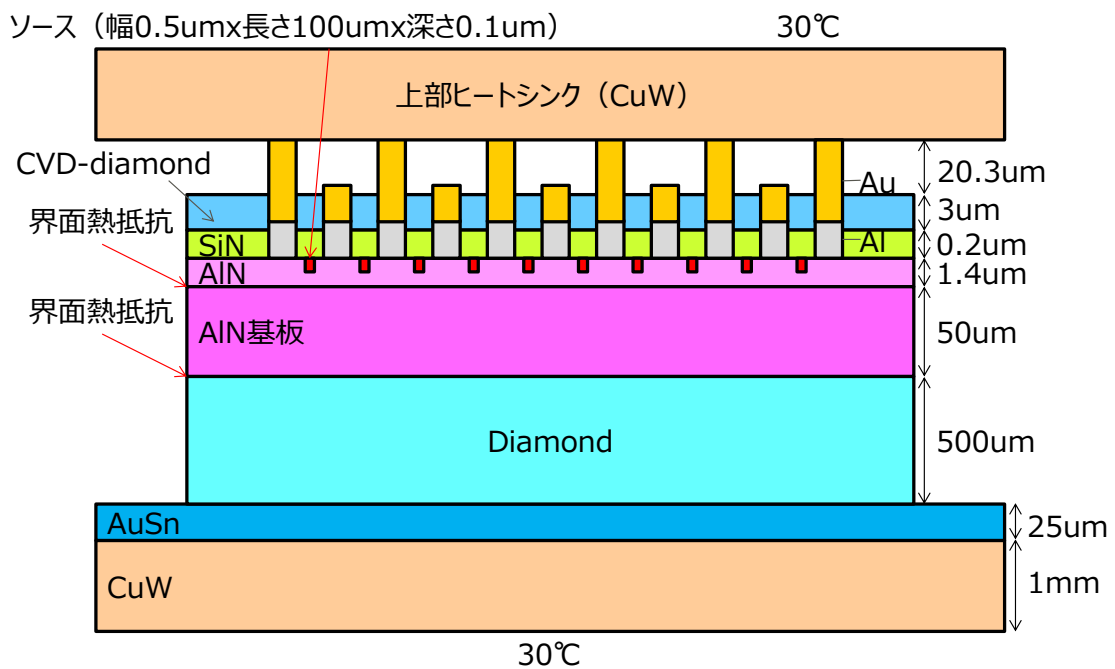
図⑨-3-8 トータル熱抵抗の CVD ダイヤモンド直下 SiN 膜厚依存性

3.9.3.4 上部ヒートシンク構造の検討

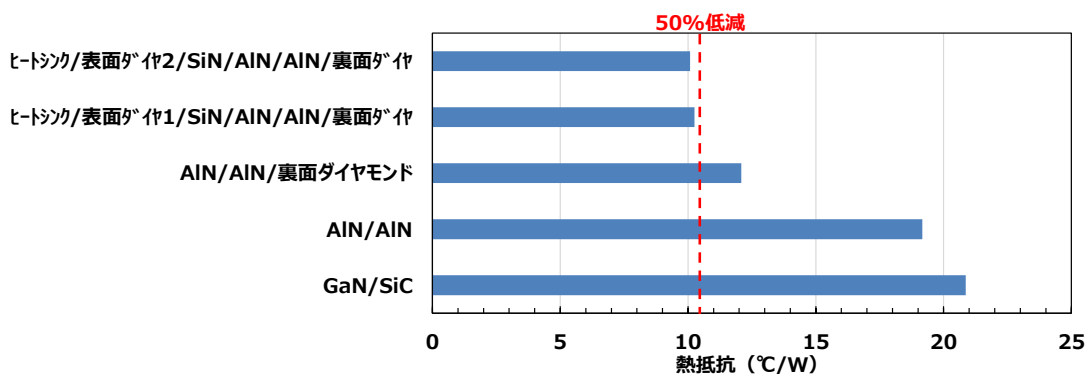
上述のとおり、想定した AlN/ダイヤモンド裏面放熱構造および CVD ダイヤモンド/AlN 表面放熱構造では、AlN 熱伝導率および SiN 膜厚の条件を満たさないとトータル熱抵抗の 50%低減は難しい。そこで、デバイス電極上配線を介して排熱する上部ヒートシンク構造の熱シミュレーションを行った。図⑨-3-9 は、上部ヒートシンク構造 (10 mm × 10 mm × 1 mm) を示す。上部ヒ

ートシンクは、ソース電極とソース配線に接続された構造となっており、シミュレーションでは上部ヒートシンクの上面は常に 30℃に固定されている。AlN 熱伝導率は、300 W/mK, SiN 膜厚は 200 nm とした。

図⑨-3-10 は、上部ヒートシンク効果を示す。結果として、上部ヒートシンク構造によりトータル熱抵抗を約 51%低減することが可能であることがわかった。しかしながら、実際に上部ヒートシンク構造を実現するためには、Power MOSFET で用いられる Cu クリップ実装構造等が有効である [23] が、横型デバイスでは配線の引き出しが複雑となる。また、フリップチップ実装の場合、例えば Au-Au を超音波ボンディングなどで接合可能であるが、形状変形を生じるため数 μm までピッチ間隔を狭めることが難しい。そこで、常温接合を用いてソース配線とヒートシンクを接合することが望ましいが、ソース配線の高さバラツキ、および、実装時の平行度の修正が必要となる。



図⑨-3-9 上部ヒートシンク構造



図⑨-3-10 上部ヒートシンク効果

3.9.3.5 AlN 基板熱伝導率の評価

周期加熱法を用いて HEXATECH 社製 PVT (Physical Vapor Transport: PVT)-AlN 基板、および、再委託先のトクヤマから提供された PVT-AlN 基板上にハイドライド気相成長 (Hydride Vapor Phase Epitaxy: HVPE) した AlN エピ付き AlN 基板の熱伝導率評価を実施した。周期加熱法は伝播される熱を加熱部の反対側で測定し、温度伝達の位相差の周波数依存から熱拡散率を求める手法である。本検討では、得られた熱拡散率と比熱、密度の物性値からサンプルの熱伝導率を導出した。

結果を表⑨-3-4 にまとめる。PVT-AlN 基板の熱伝導率は、234 W/mK と GaN 基板の熱伝導率[24] と同程度であることがわかった。また、HVPE-AlN/PVT-AlN 基板の熱伝導率もほとんど同じであった。一方で、再委託先の東京農工大の関連グループから HVPE-AlN 基板単体の熱伝導率は 341 ± 6 W/mK という報告がある[20, 21]。熱伝導率の低い PVT-AlN 基板が支配的になっている可能性があることから、今後 PVT-AlN 基板を研削、除去を行い、HVPE-AlN 層単独での熱伝導率評価を実施する。

表⑨-3-4 評価した AlN 基板の熱伝導率

	PVT-AlN	HVPE-AlN/PVT-AlN
熱拡散率 ($\times 10^{-6}$ m ² /s)	100	102
比熱 (J/kgK) [*]	724	724
密度 (g/cm ³) [*]	3.22	3.22
熱伝導率 (W/mK)	234	239

※別の PVT-AlN 基板を評価した実験値

3.9.4 熱パラメータの取得とシミュレーションによる最適放熱構造の検討

3.9.4.1 HVPE-A1N 基板および CVD ダイヤモンドの熱パラメータ取得

極限量子閉じ込め A1N デバイスの高放熱構造の熱シミュレーション精度を上げるため、HVPE-A1N 基板、CVD ダイヤモンドの熱伝導率、界面熱抵抗を取得した。

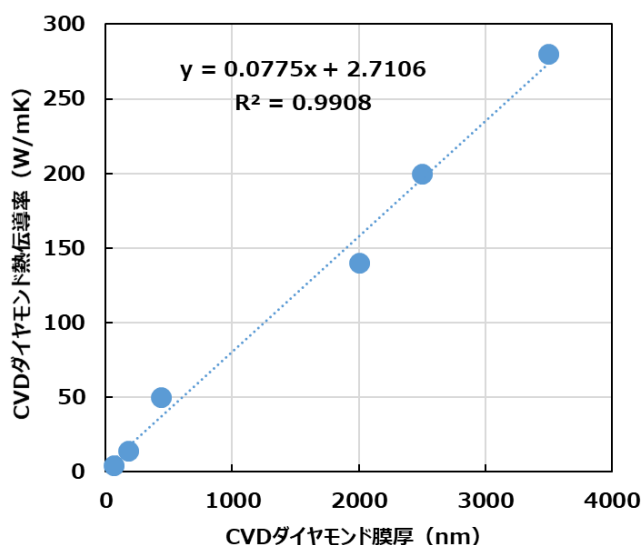
まず、再委託先のトクヤマから供給された HVPE-A1N 基板の熱伝導率を周期加熱法にて取得した。平成 30 年度には HVPE-A1N/PVT-A1N 基板の熱伝導率について評価したが、熱伝導率が PVT-A1N 基板と同じ結果となり、熱伝導率の低い PVT-A1N 基板が支配的になっている可能性があった。そこで、今回 PVT-A1N 基板を除去し、単独となった HVPE-A1N 基板の熱伝導率評価を実施した。周期加熱法は伝播される熱を加熱部の反対側で測定し、温度伝達の位相差の周波数依存から熱拡散率を求める手法である。本検討では、得られた熱拡散率と比熱、密度の物性値からサンプルの熱伝導率を導出した。

評価結果を表⑨-4-1 にまとめる。HVPE-A1N 基板の熱伝導率は、329 W/mK と、再委託先の東京農工大の関連グループから HVPE-A1N 基板単体の熱伝導率 341 ± 6 W/mK [20, 21] に近い値が得られた。

表⑨-4-1 評価した A1N 基板の熱伝導率

	HVPE-A1N(平成 31 年度)	PVT-A1N(平成 30 年度)
熱拡散率 ($\times 10^{-6} \text{m}^2/\text{s}$)	126	100
比熱 (J/kgK)	805	724
密度 (g/cm^3)	3.24	3.22
熱伝導率 (W/mK)	329	234

また、CVD 装置で成膜した CVD ダイヤモンドの熱伝導率、および、界面の SiN 膜の熱伝導率(界面熱抵抗)についてピコ秒サーモリフレクタンス法にて取得した。この手法ではパルス光加熱サーモリフレクタンス法の表面加熱/表面测温方式により、薄膜断面方向の熱浸透率を計測する。得られた温度履歴曲線(位相信号)を時間応答解析法にてフィッティングを行い、対象薄膜の熱浸透率および層間の界面熱抵抗を算出するものである。得られた熱伝導率の結果から、CVD ダイヤモンドの熱伝導率と膜厚の関係を示したのが図⑨-4-2 である。現時点では $3 \mu\text{m}$ 厚 CVD ダイヤモンドの熱伝導率 235 W/mK、SiN 膜の熱伝導率 1.06 W/mK とした。



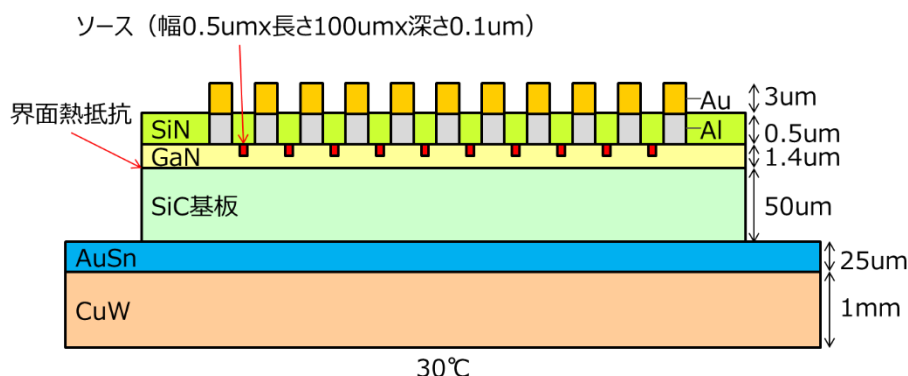
図⑨-4-2 CVD ダイヤモンドの熱伝導率と膜厚の関係

3.9.4.2 実現可能な CVD ダイヤモンド/HVPE-AlN 基板の表面放熱シミュレーション

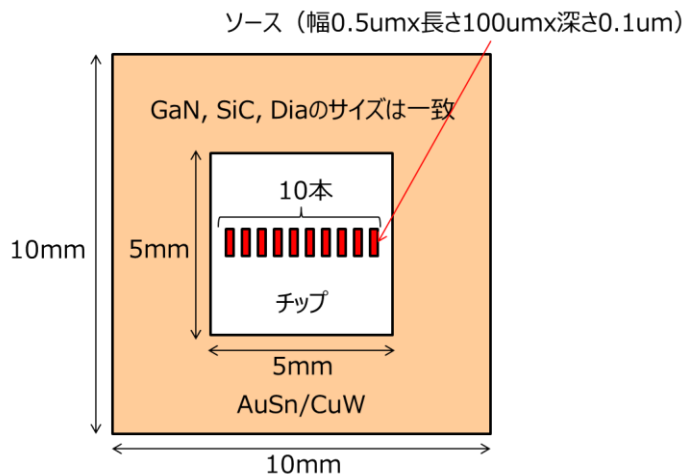
シミュレーション

3D 熱シミュレーションは MentorGraphics 社製 FloTHERM を用いた。まず、上述の実現可能な CVD ダイヤモンドによる HVPE-AlN 基板の表面放熱構造の熱シミュレーションを実施する前に現行の GaN-on-SiC HPA 構造および AlN エピ/HVPE-AlN (AlN-on-AlN) 基板 HPA 構造との熱抵抗比較を行った。

図⑨-4-3, 図⑨-4-4 は、現行の GaN-on-SiC HPA シミュレーション構造の断面図、および、上面図である。シミュレーション精度向上のため GaN 表面に SiN パッシベーション膜と金属電極・配線を施した実デバイスにより近いシミュレーション構造となっている。表⑨-4-2 は、現行の GaN-on-SiC HPA 構造のシミュレーションに用いたパラメータを示す。GaN、SiC の熱伝導率および GaN/SiC 界面熱抵抗は、GaN/SiC 構造の熱分析測定から求めた 140 W/mK 、 420 W/mK 、および、 $9 \times 10^{-9} \text{ m}^2\text{K/W}$ とした。AuSn、CuW の膜厚は、それぞれ $25 \mu\text{m}$ 、 $1000 \mu\text{m}$ に固定した。チップサイズは $5 \text{ mm} \times 5 \text{ mm}$ の長方形で CuW ベース材サイズは $10 \text{ mm} \times 10 \text{ mm} \times 1 \text{ mm}$ の正方形とした。ゲート-ゲート間距離 $30 \mu\text{m}$ で、10 か所の発熱領域 (幅 $0.5 \mu\text{m}$ × 長さ $100 \mu\text{m}$ × 深さ $0.1 \mu\text{m}$) を GaN エピ層内でチップ中央に配置した。今回、発熱量は、ゲート 1 本当たりの発熱量を 1.2 W とした。環境は空気、 30°C 、1 気圧で、ベース材底面温度を 30°C 一定とした。HPA のトータル熱抵抗は、温度差分 (最高温度-ベースプレート温度 30°C) / 発熱量 (12 W) とした。結果として、現行の GaN-on-SiC HPA 構造の熱抵抗は、 20.77°C/W であった。



図⑨-4-3 GaN-on-SiC HPA シミュレーション構造 (断面図)



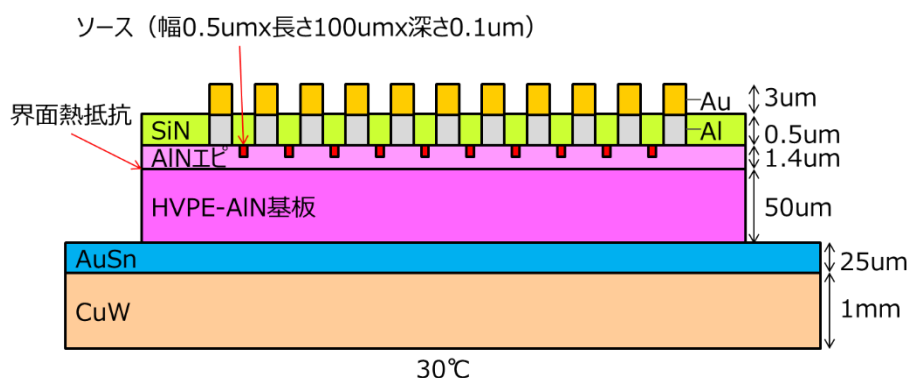
図⑨-4-4 GaN-on-SiC HPA シミュレーション構造 (上面図)

表⑨-4-2 GaN-on-SiC HPA 構造シミュレーションのパラメータ

パラメータ	GaN	GaN/SiC	SiC	AuSn	CuW	SiN	Al	Au
熱伝導率 (W/mK)	140 (※)	-	420 (※)	57	200	1.1	201	296
界面熱抵抗 (m ² K/W)	-	9×10 ⁻⁹ (※)	-	-	-	-	-	-
比熱 (J/kgK)	490	-	690	151	180	1	913	132
密度 (g/cm ³)	6.15	-	3.21	14.52	15.65	1	2.71	19.3

※熱分析評価による測定値

図⑨-4-5 は、上述と同様に SiN パッシベーション膜と金属電極・配線を施した AlN-on-AlN HPA シミュレーション構造である。表⑨-4-3 は、AlN-on-AlN HPA 構造シミュレーションに用いたパラメータを示す。AlN エピ層と HVPE-AlN 基板の熱伝導率および AlN エピ/HVPE-AlN 基板界面熱抵抗は、329 W/mK、および 9×10⁻⁹ m²K/W とした。AlN エピ層および AlN 基板の膜厚は、それぞれ 1 μm、4 μm、50 μm に固定した。その他のパラメータ、シミュレーション条件は上述と同じである。結果として、AlN-on-AlN HPA 構造の熱抵抗は、18°C/W であった。



図⑨-4-5 AlN-on-AlN HPA シミュレーション構造

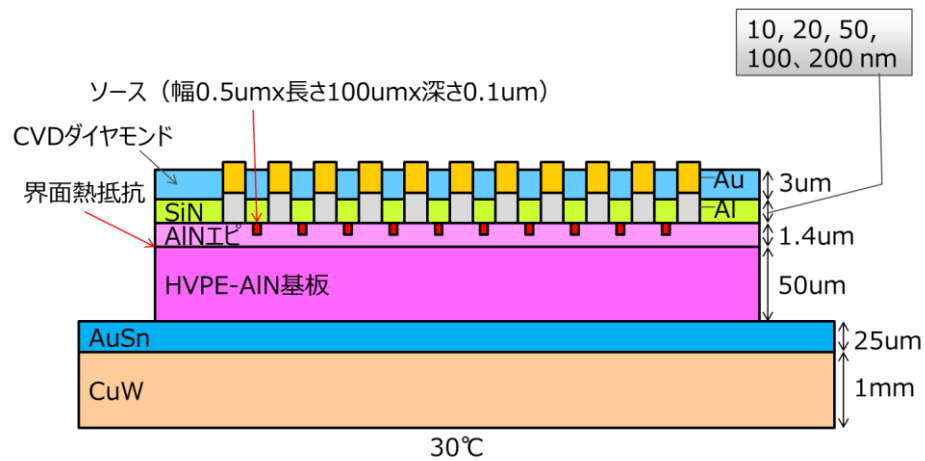
表⑨-4-3 AlN-on-AlN HPA 構造シミュレーションのパラメータ

パラメータ	AlN エピ	AlN エピ /AlN	HVPE-AlN 基板	AuSn	CuW	SiN	Al	Au
熱伝導率 (W/mK)	329	-	329 (※)	57	200	1.06	201	296
界面熱抵抗 (m ² K/W)	-	9×10 ⁻⁹	-	-	-	-	-	-
比熱 (J/kgK)	805	-	805	151	180	1	913	132
密度 (g/cm ³)	3.24	-	3.24	14.52	15.65	1	2.71	19.3

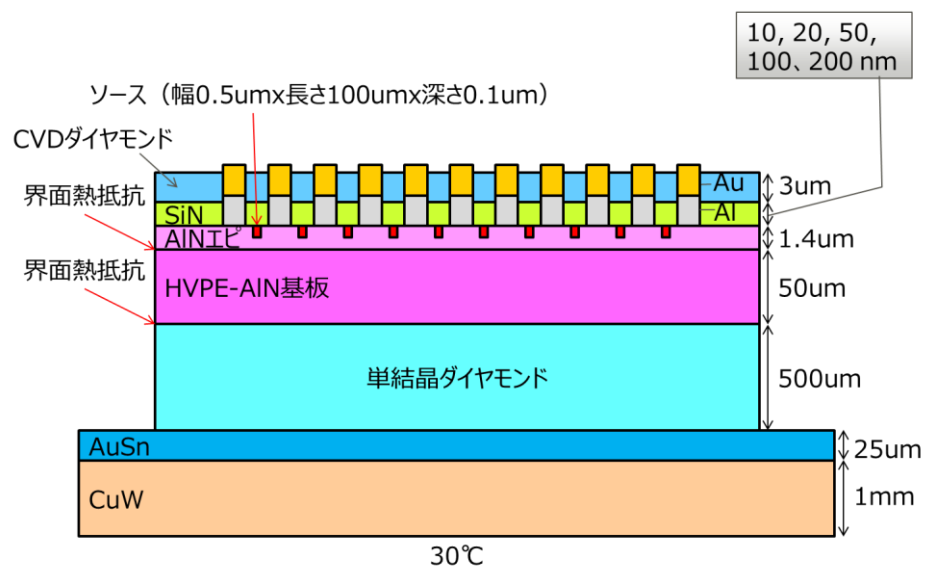
※熱分析評価による測定値

次に、上述の実現可能な CVD ダイヤモンドによる HVPE-AlN 基板の表面放熱構造の熱シミュレーションを実施した。図⑨-4-6、図⑨-4-7 は上述と同様に SiN パッシベーション膜と金属電極・配線を施した CVD ダイヤモンド/AlN-on-AlN HPA シミュレーション構造、CVD ダイヤモンド/AlN-

on-A1N/ダイヤモンド接合 HPA シミュレーション構造である。A1N エピ層と HVPE-A1N 基板の熱伝導率および A1N エピ/A1N 基板界面熱抵抗は、 329 W/mK 、および $9 \times 10^{-9} \text{ m}^2\text{K/W}$ とした。A1N エピ層、HVPE-A1N 基板の膜厚は、それぞれ $1.4 \mu\text{m}$ 、 $50 \mu\text{m}$ に固定した。表⑨-4-4 に単結晶ダイヤモンド、CVD ダイヤモンドの熱伝導率、および、原子拡散接合 (ADB) で想定される A1N 基板/単結晶ダイヤモンドの界面熱抵抗 $1 \times 10^{-7} \text{ m}^2\text{K/W}$ を設定した。デバイス熱抵抗について CVD ダイヤモンド/A1N 界面の SiN 膜厚依存性をシミュレーションした。



図⑨-4-6 CVD ダイヤモンド/A1N-on-A1N HPA シミュレーション構造

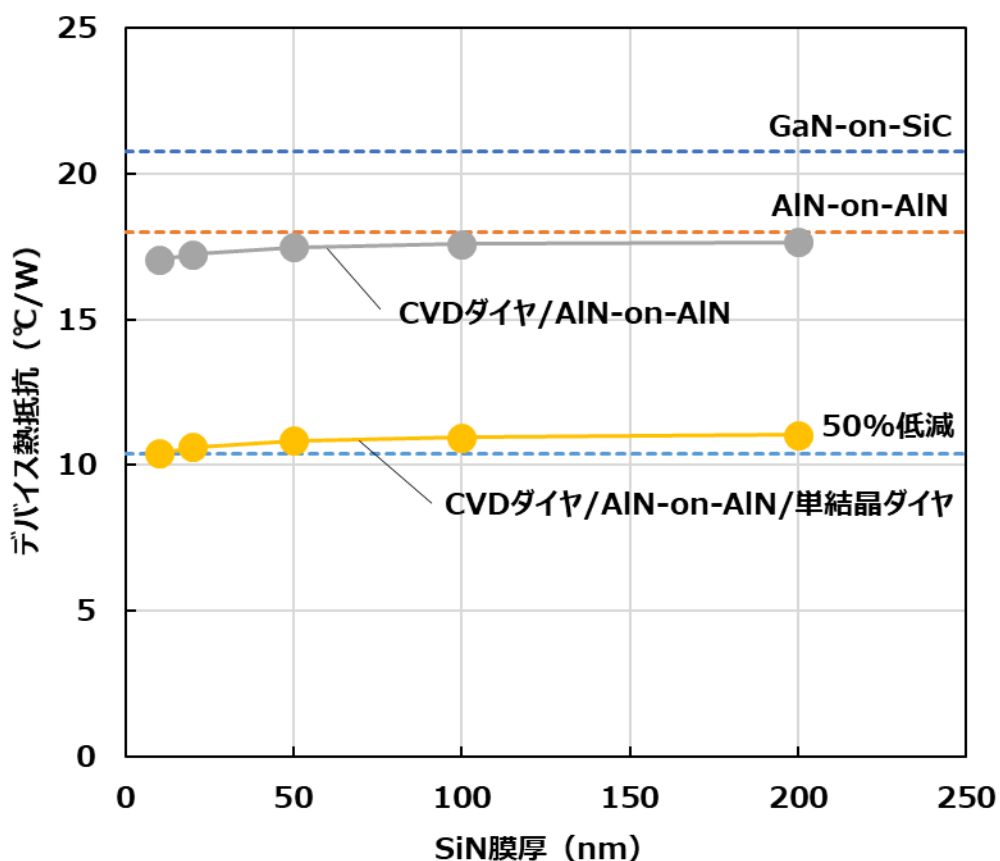


図⑨-4-7 CVD ダイヤモンド/A1N-on-A1N/ダイヤモンド接合 HPA シミュレーション構造

表⑨-4-4 AlN/ダイヤモンド裏面放熱構造
およびCVDダイヤモンド/AlN表面放熱構造シミュレーションのパラメータ

パラメータ	単結晶ダイヤモンド (裏面放熱構造)	AlN基板/単結晶ダ イヤモンド	CVDダイヤモンド (表面放熱構造)
熱伝導率 (W/mK)	2000		235
界面熱抵抗 (m ² K/W)	-	1×10 ⁻⁷	-
比熱(J/kgK)	520		520
密度(g/cm ³)	3.515		3.515

図⑨-4-8は、シミュレーションしたデバイス熱抵抗のSiN膜厚依存性を示している。結果として、CVDダイヤモンド単独の場合、わずかにデバイス熱抵抗は下がるが、SiN膜厚10nmでGaN-on-SiC構造に対して18%、AlN-on-AlN構造に対して5%の低減となる。さらに裏面に単結晶ダイヤモンドを接合すると、GaN-on-SiC構造に対して50%、AlN-on-AlN構造に対して42%の低減となる。



図⑨-4-8 デバイス熱抵抗のSiN膜厚依存性

3.9.4.3 AlN 基板上 HEMT エピの熱伝導率評価

実際のデバイス構造は、AlN 基板に対して格子不整合な AlGaIn/GaN HEMT エピであるため、転位密度も多く、かつ AlGaIn バッファ層を用いている。そこで、HEXATECH 社製 PVT-AlN 基板上の HEMT エピの熱伝導率をピコ秒サーモリフレクタンス法にて取得した。今回、評価した PVT-AlN 基板上に成長した HEMT エピ層の設計値を表⑨-4-5 に示す。ここで、HEMT エピ層を AlGaIn エピ層単膜と仮定した。このとき、AlGaIn エピ層の膜厚 130 nm、Al 組成 0.23 とした。また、評価に必要な物性値である AlGaIn エピ層の密度および比熱容量は、Al 組成から GaN と AlN の比率で計算し、密度 5.47 g/cm³、比熱容量 516 J/(kgK) とした。同様に表⑨-4-1 に記載した PVT-AlN 基板の物性値を用いた。

評価結果を表⑨-4-6 にまとめる。AlGaIn エピ層の熱伝導率は 34 W/mK と、HVPE-AlN 基板 (329 W/mK) よりも一桁低い値であった。AlGaIn エピ層の熱伝導率は、AlN と GaN の無秩序性に起因するフォノン散乱の影響を受け、Al_xGa_{1-x}N の室温の熱伝導率は AlN や GaN と比べて一桁低下し、Al 組成 0.1 から 0.4 の変化で 55 W/mK から 25 W/mK まで減少するとの報告 [25, 26] もあり、同様の結果といえる。一方、エピ/基板界面熱抵抗は、これまで得られている SiC 基板上 GaN エピと同程度であることがわかった。

表⑨-4-5 評価した PVT-AlN 基板上 HEMT エピ層の設計値

エピ層	膜厚 (nm)	Al 組成 x
GaN	3	0
AlGaIn	16	0.31
AlN	2	1
GaN	40	0
GaN	10	0
AlGaIn	50	0.3
AlGaIn	10	0.86

表⑨-4-6 評価した PVT-AlN 基板上 HEMT エピ層の熱パラメータ

AlGaIn エピ熱伝導率 (W/mK)	AlGaIn エピ層/PVT-AlN 基板界面熱抵抗 (m ² K/W)
34.0	8.0×10^{-9}

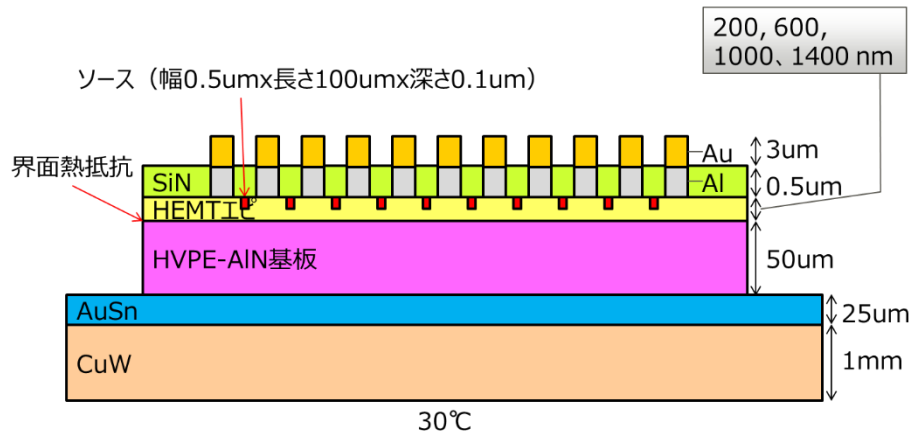
3.9.4.4 AlN 基板上 HEMT エピの熱伝導率と熱抵抗の相関

上述の AlN 基板上 HEMT エピの熱伝導率が放熱特性に与える影響についてシミュレーションを実施した。図⑨-4-9 はシミュレーションした HEMT エピ-on-AlN HPA 構造である。ここでは、HEMT エピ膜厚を 200~1400 nm とした。CVD ダイヤモンド/HEMT エピ界面の SiN 膜厚は 10 nm とした。また、図⑨-4-10、図⑨-4-11 は、シミュレーションした CVD ダイヤモンド/HEMT エピ-on-AlN HPA 構造、CVD ダイヤモンド/HEMT エピ-on-AlN/ダイヤ接合 HPA 構造である。表⑨-4-7 に HEMT エピ/HVPE-AlN 基板 HPA 構造シミュレーションのパラメータを示す。その他のパラメータは、表⑨-4-1、表⑨-4-4 に示している。

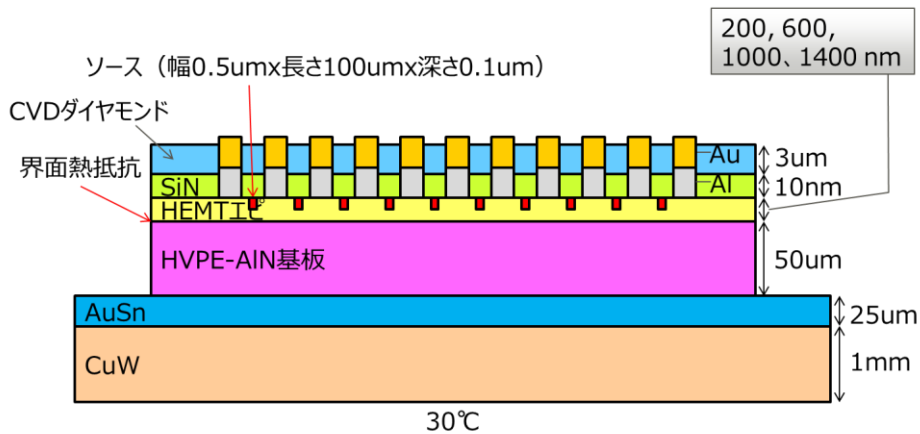
図⑨-4-12 はシミュレーションしたデバイス熱抵抗の HEMT エピ膜厚依存性を示している。シミュレーション結果として、まず、現状の HEMT エピ-on-AlN 構造の熱抵抗は、GaN-on-SiC の熱抵抗の 71% 以上も増加することがわかった。HEMT エピ膜厚が薄くなるとともにデバイス熱抵抗が低減していることから、AlN 基板上 HEMT エピの熱伝導率の低さがデバイス熱抵抗に多大なるインパクト

トを与えていることが示唆される。一方で、CVD ダイヤモンド成膜によりデバイス熱抵抗の著しい低減効果が見られた。これは HEMT エピよりも熱伝導率が高い CVD ダイヤモンドによるヒートスプレッド効果であると考えられる。しかしながら、AlN 基板裏面側に単結晶ダイヤモンドを接合したとしても、デバイス熱抵抗は HEMT エピ膜厚 600 nm 以下で、現行の GaN-on-SiC 構造よりも低くなる程度にとどまる。これは現状の HEMT エピ-on-AlN 構造の熱抵抗が高いことに起因する。

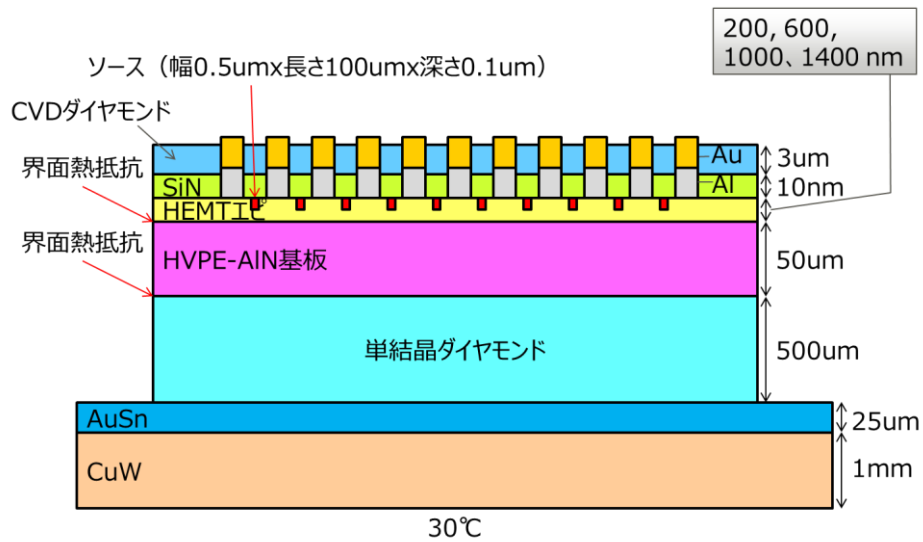
さらに、平成 30 年度に検討した上部ヒートシンク構造(図⑨-4-13)についても同様にシミュレーションを実施したが、デバイス熱抵抗は AlN-on-AlN 構造よりもわずかに低い程度となった。これは AlN 基板裏面側に単結晶ダイヤモンドを接合したときと同様に、HEMT エピ-on-AlN 構造の熱抵抗が高いことに起因する。



図⑨-4-9 HEMT エピ-on-AlN HPA シミュレーション構造



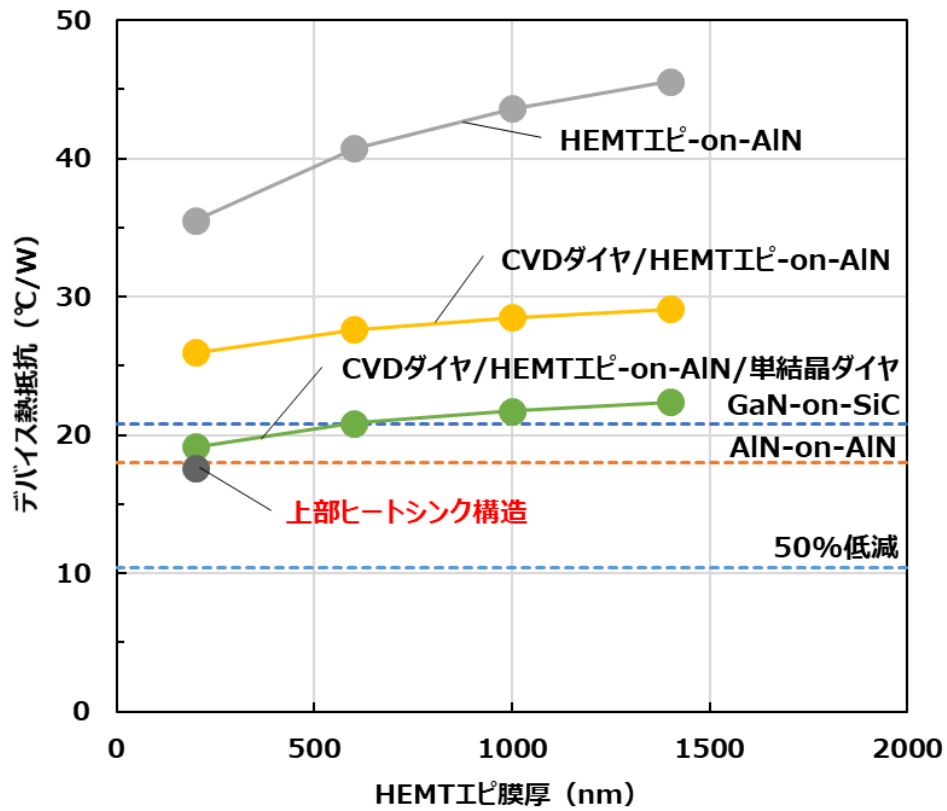
図⑨-4-10 CVD ダイヤモンド/HEMT エピ-on-AlN HPA シミュレーション構造



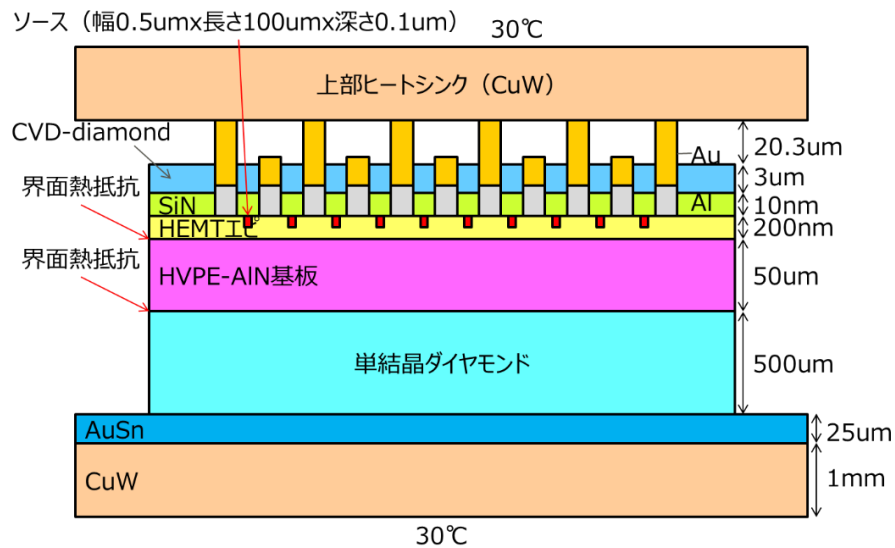
図⑨-4-11 CVD ダイヤモンド/HEMT エピ-on-AlN/ダイヤ接合 HPA シミュレーション構造

表⑨-4-7 HEMT エピ-on-AlN HPA 構造シミュレーションのパラメータ

パラメータ	HEMT エピ	HEMT エピ /AlN	HVPE- AlN 基板	AuSn	CuW	SiN	Al	Au
熱伝導率 (W/mK)	34	-	329	57	200	1.06	201	296
界面熱抵抗 (m ² K/W)	-	8×10^{-9}	-	-	-	-	-	-
比熱 (J/kgK)	516	-	805	151	180	1	913	132
密度 (g/cm ³)	5.47	-	3.24	14.52	15.65	1	2.71	19.3



図⑨-4-12 デバイス熱抵抗の HEMT エピ膜厚依存性



図⑨-4-13 上部ヒートシンク構造

3.9.4.5 ダイヤモンド原子拡散接合

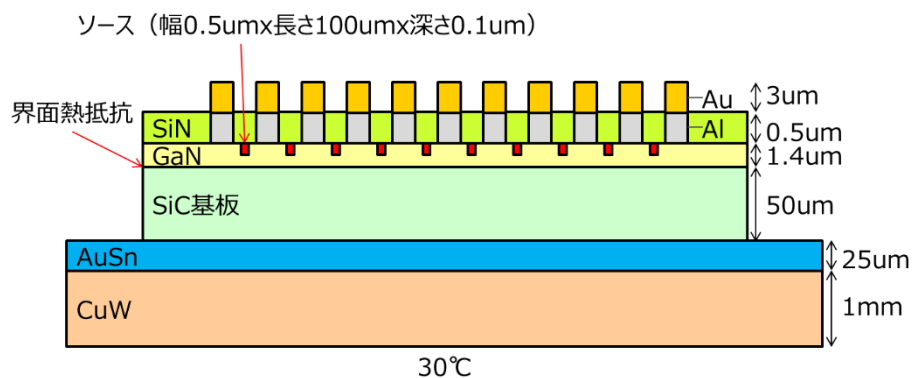
平成31年度に導入した原子拡散接合装置を用いて接合した AlN 基板/単結晶ダイヤモンドの熱抵抗評価を実施した。3.8.4で報告した接合試料を使用し、周期加熱法で測定した AlN 基板/単結晶ダイヤモンドの界面熱抵抗は、 $2.93 \times 10^{-8} \text{ m}^2\text{KW}^{-1}$ であった。

3.9.5 表面及び裏面放熱構造の最適化とダイヤモンドサーマルビアの設計

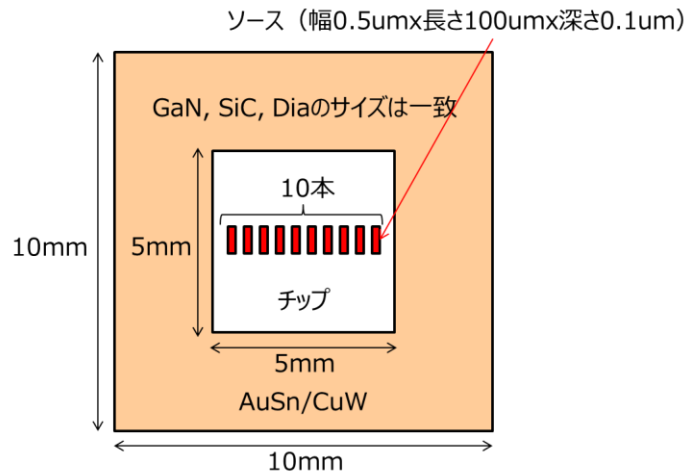
3.9.5.1 実現可能な AlN 基板/ダイヤモンドの裏面放熱構造の最適化設計

MentorGraphics 社製 FloTHERM を用いて 3D 熱シミュレーションを行った。まず、上述の実現可能な AlN 基板/ダイヤモンドの裏面放熱構造の熱シミュレーションを実施する前に現行の GaN-on-SiC HPA 構造、AlN エピ/HVPE-AlN (AlN-on-AlN) 基板 HPA 構造、HEMT エピ/HVPE-AlN 基板 (HEMT-on-AlN) HPA 構造との熱抵抗比較を示す。

図⑨-5-2、図⑨-5-3 は、現行の GaN-on-SiC HPA シミュレーション構造の断面図、および上面図である。シミュレーション精度向上のため GaN 表面に SiN パッシベーション膜とソース・ドレイン電極 (Al)、ソース・ドレイン配線 (Au) を施した実デバイスにより近いシミュレーション構造となっている。表⑨-5-1 は現行の GaN-on-SiC HPA 構造のシミュレーションに用いたパラメータを示す。GaN、SiC の熱伝導率および GaN/SiC 界面熱抵抗は、GaN/SiC 構造の熱分析測定から求めた 140 W/mK 、 420 W/mK 、および $9 \times 10^{-9} \text{ m}^2\text{K/W}$ とした。AuSn、CuW の膜厚は、それぞれ $25 \mu\text{m}$ 、 $1000 \mu\text{m}$ に固定した。チップサイズは $5 \text{ mm} \times 5 \text{ mm}$ の長方形で CuW ベース材サイズは $10 \text{ mm} \times 10 \text{ mm} \times 1 \text{ mm}$ の正方形とした。ゲート-ゲート間距離 $30 \mu\text{m}$ で、10 か所の発熱領域 (幅 $0.5 \mu\text{m} \times$ 長さ $100 \mu\text{m} \times$ 深さ $0.1 \mu\text{m}$) を GaN エピ層内でチップ中央に配置した。今回、発熱量はゲート 1 本当たりの発熱量を 1.2 W とした。環境は空気、 30°C 、1 気圧で、ベース材底面温度を 30°C 一定とした。HPA のトータル熱抵抗は、温度差分 (最高温度-ベースプレート温度 30°C)/発熱量 (12 W) とした。結果として、現行の GaN-on-SiC HPA 構造の熱抵抗は 20.77°C/W であった。



図⑨-5-2 GaN-on-SiC HPA シミュレーション構造 (断面図)



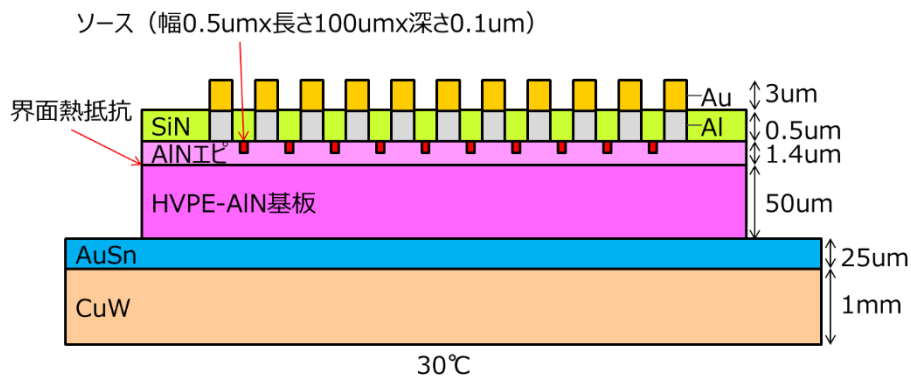
図⑨-5-3 GaN-on-SiC HPA シミュレーション構造(上面図)

表⑨-5-1 GaN-on-SiC HPA 構造シミュレーションのパラメータ

パラメータ	GaN	GaN/SiC	SiC	AuSn	CuW	SiN	Al	Au
熱伝導率 (W/mK)	140 (※)	-	420 (※)	57	200	1.1	201	296
界面熱抵抗 (m ² K/W)	-	9×10 ⁻⁹ (※)	-	-	-	-	-	-
比熱 (J/kgK)	490	-	690	151	180	1	913	132
密度 (g/cm ³)	6.15	-	3.21	14.52	15.65	1	2.71	19.3

※熱分析評価による測定値

図⑨-5-4 は、上述と同様に SiN パッシベーション膜と金属電極・配線を施した AlN-on-AlN HPA シミュレーション構造である。表⑨-5-2 は AlN-on-AlN HPA 構造シミュレーションに用いたパラメータを示す。AlN エピ層と HVPE-AlN 基板の熱伝導率は 329 W/mK、AlN エピ/HVPE-AlN 基板界面熱抵抗は 9×10⁻⁹ m²K/W とした。AlN エピ層および AlN 基板の膜厚は、それぞれ 1.4 μm、50 μm に固定した。その他のパラメータ、シミュレーション条件は上述と同じである。結果として、AlN-on-AlN HPA 構造の熱抵抗は 18°C/W であった。



図⑨-5-4 AlN-on-AlN HPA シミュレーション構造

表⑨-5-2 AlN-on-AlN HPA 構造シミュレーションのパラメータ

パラメータ	AlN エピ	AlN エピ /AlN	HVPE- AlN 基 板	AuSn	CuW	SiN	Al	Au
熱伝導率 (W/mK)	329	-	329 (※)	57	200	1.06	201	296
界面熱抵抗 (m ² K/W)	-	9×10 ⁻⁹	-	-	-	-	-	-
比熱(J/kgK)	805	-	805	151	180	1	913	132
密度(g/cm ³)	3.24	-	3.24	14.52	15.65	1	2.71	19.3

※熱分析評価による測定値

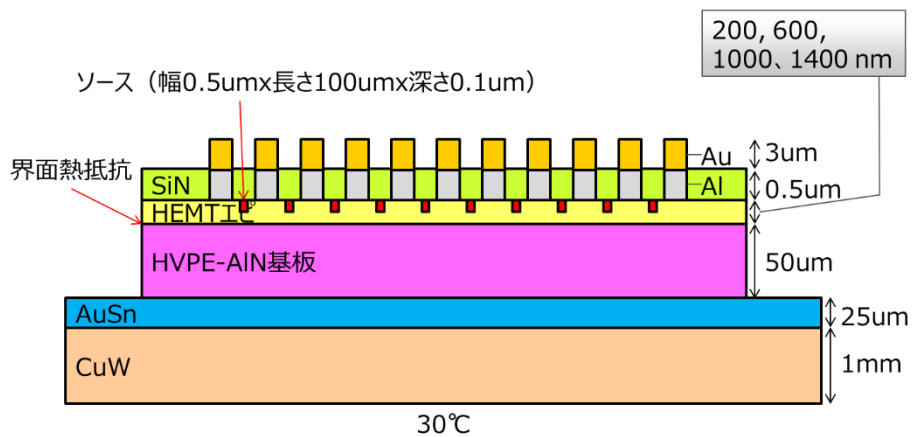
3. 9. 4に報告したように、AlN 基板上に成長した AlGaN/GaN HEMT エピ層は、基板との界面熱抵抗(8×10⁻⁹ m²K/W)は GaN-on-SiC 構造と同程度であるものの、格子不整合による転位密度も高く、かつ AlGaN バッファ層を用いているため、その熱伝導率(34 W/mK)は HVPE-AlN 基板よりも一桁低い値であった。このため、HEMT-on-AlN HPA 構造のデバイス熱抵抗は現行の GaN-on-SiC 構造の 71%以上も増加し、CVD ダイヤモンドおよび単結晶ダイヤモンド接合による表裏面放熱構造を用いても、デバイス熱抵抗は HEMT エピ膜厚 600 nm 以下で、現行の GaN-on-SiC 構造よりもわずかに低くなる程度であった。

一方、平成 31 年度に導入した接合装置で原子拡散接合した AlN 基板/単結晶ダイヤモンドの界面熱抵抗は 2.93×10⁻⁸ m²K/W と、平成 31 年度のシミュレーションに用いた界面熱抵抗(1×10⁻⁷ m²K/W)よりも改善されており、その効果を検証した。図⑨-5-5、図⑨-5-6、図⑨-5-7 は、シミュレーションした HEMT-on-AlN HPA 構造、CVD ダイヤモンド/HEMT-on-AlN HPA 構造、CVD ダイヤモンド/HEMT-on-AlN/ダイヤモンド接合 HPA 構造を示す。表⑨-5-3、表⑨-5-4 に、HEMT-on-AlN HPA 構造シミュレーションのパラメータ、および、AlN/ダイヤモンド裏面放熱構造および CVD ダイヤモンド/AlN 表面放熱構造シミュレーションのパラメータを示す。図⑨-5-8 は、シミュレーションしたデバイス熱抵抗の HEMT エピ膜厚依存性を示している。

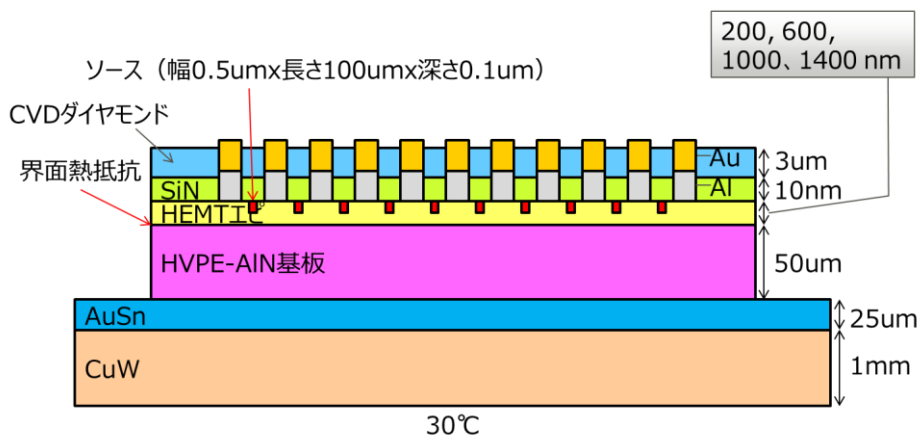
結果として、AlN 基板/ダイヤモンド接合の界面熱抵抗低減により、4%程度のデバイス熱抵抗の低減効果は見られた。しかしながら、HEMT エピ層の熱伝導率のインパクトが大きく、現行の GaN-on-SiC 構造の熱抵抗の 50%低減には HEMT エピ層に近い表面側での放熱構造の工夫が必要であると考える。

表⑨-5-3 HEMT-on-AlN HPA 構造シミュレーションのパラメータ

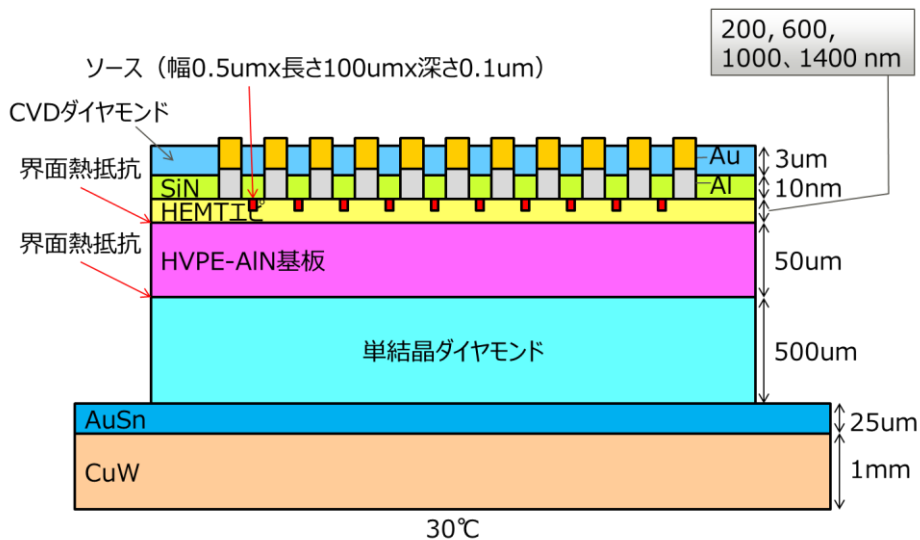
パラメータ	HEMT エピ	HEMT エピ /AlN	HVPE- AlN 基 板	AuSn	CuW	SiN	Al	Au
熱伝導率 (W/mK)	34	-	329	57	200	1.06	201	296
界面熱抵抗 (m ² K/W)	-	8×10 ⁻⁹	-	-	-	-	-	-
比熱(J/kgK)	516	-	805	151	180	1	913	132
密度(g/cm ³)	5.47	-	3.24	14.52	15.65	1	2.71	19.3



図⑨-5-5 HEMT-on-AlN HPA シミュレーション構造



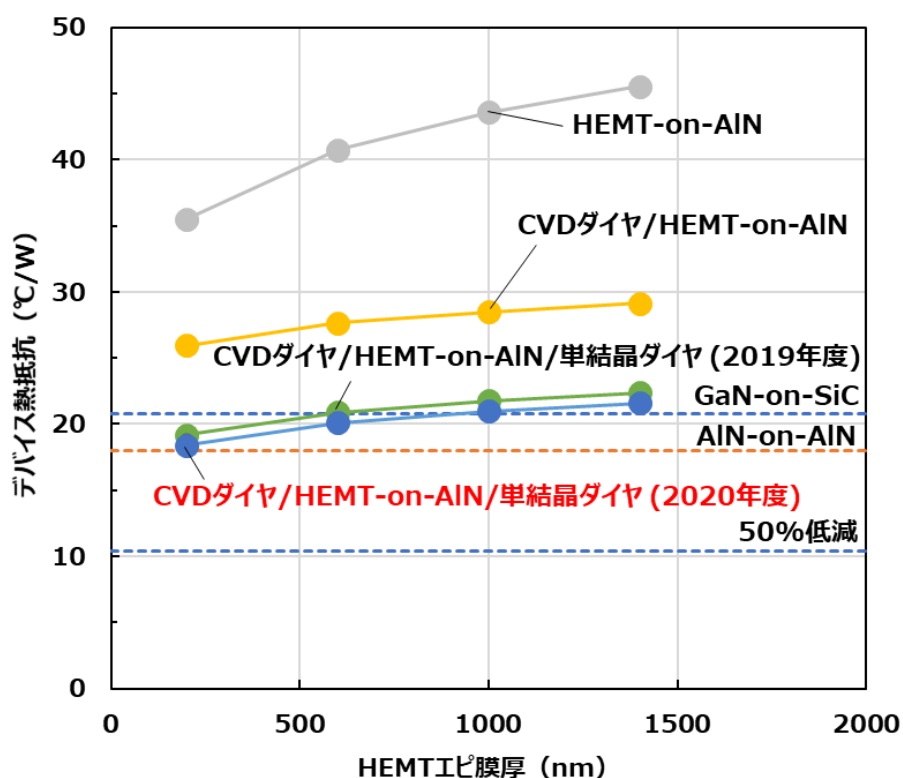
図⑨-5-6 CVD ダイヤモンド/HEMT-on-AlN HPA シミュレーション構造



図⑨-5-7 CVD ダイヤモンド/HEMT-on-AlN/ダイヤモンド接合 HPA シミュレーション構造

表⑨-5-4 AlN/ダイヤモンド裏面放熱構造および
CVDダイヤモンド/AlN表面放熱構造シミュレーションのパラメータ

パラメータ	単結晶ダイヤモンド (裏面放熱構造)	AlN基板 /単結晶ダイヤモンド	CVDダイヤモンド (表面放熱構造)
熱伝導率 (W/mK)	2000		235
界面熱抵抗 (m ² K/W)	-	1×10 ⁻⁷ (平成31年度以前) 2.93×10 ⁻⁸ (令和2年度)	-
比熱 (J/kgK)	520		520
密度 (g/cm ³)	3.515		3.515



図⑨-5-8 デバイス熱抵抗のHEMTエピ膜厚依存性のシミュレーション構造比較

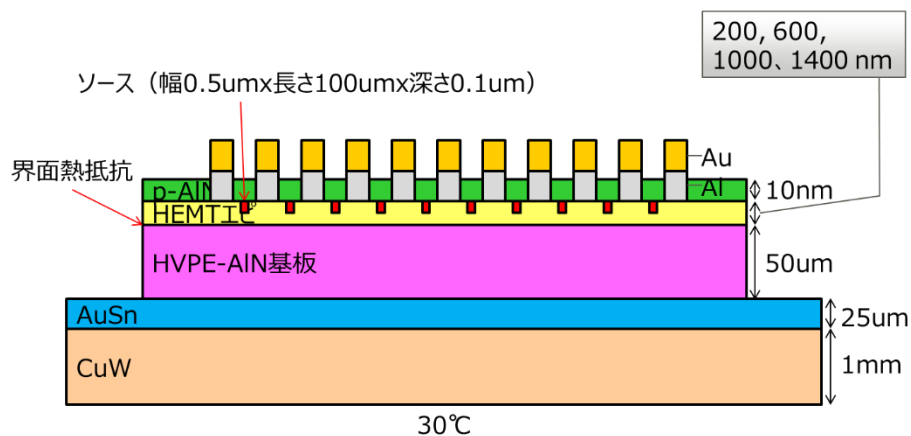
3.9.5.2 CVDダイヤモンド/HEMTエピ界面材料の設計

上述のようにAlN基板上HEMTエピの熱伝導率のインパクトが大きく、HEMTエピに近い表面側での放熱構造の工夫が必要である。しかしながら、CVDダイヤモンド膜/HEMTエピ界面に存在する熱伝導率の低いSiN膜(1 W/mK)が熱抵抗になっている。SiN膜は、CVDダイヤモンド成膜時に発生する水素によるGaNエピ結晶のエッチングを防止するために用いられている[27]。最近、AlN膜上にCVDダイヤモンドを成膜する研究がなされ、水素エッチングに対して耐性があるとされる[28, 29]。また、AlN膜をGaN系HEMTの表面パッシベーション膜やゲート絶縁膜として利用する研究もある[30, 31]。しかしながら、AlN膜の熱伝導率は、スパッタや原子層堆積(ALD)法等の成膜方法、膜厚や結晶性等によって大きく左右される[32-36]。例えば、スパッタAlN膜の熱伝導率は2~170 W/mK[34]、HVPE成長単結晶AlNでは341 W/mK[20, 21]である。一方、AlN膜はMOCVD装置内でも成膜可能であることから、実現可能性の高いデバイス構造であると考えられる。

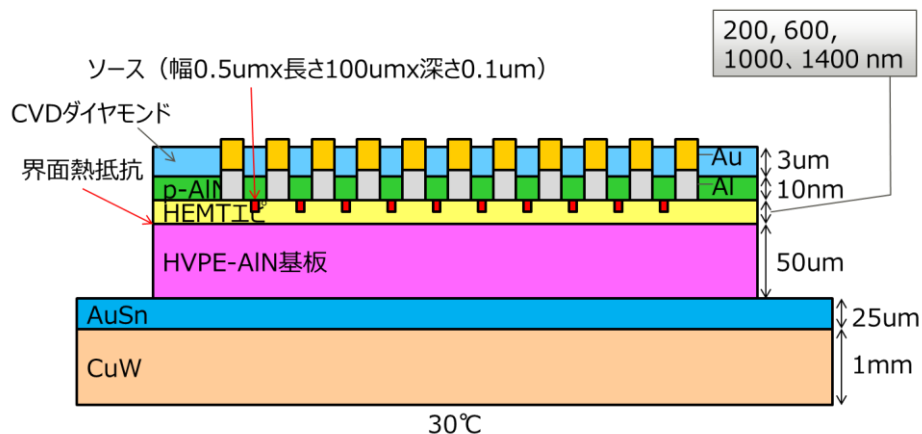
そこで、熱伝導率がSiN膜よりも100倍高い多結晶AlN(poly-AlN: p-AlN)膜を仮定した熱シミュレーションにより、表面放熱構造の改善効果を検証した。図⑨-5-9は、シミュレーションしたp-AlN/HEMT-on-AlN HPA構造である。ここでは、HEMTエピ膜厚を200~1400nmとした。CVDダイヤモンド/HEMTエピ界面のp-AlN膜厚は10nmとした。また、図⑨-5-10、⑨-5-11は、シミュレーションしたCVDダイヤモンド/p-AlN/HEMT-on-AlN HPA構造、CVDダイヤモンド/p-AlN/HEMT-on-AlN/ダイヤモンド接合 HPA構造である。表⑨-5-7にp-AlN/HEMT-on-AlN基板 HPA構造シミュレーションのパラメータを示す。AlN/ダイヤモンド裏面放熱構造およびCVDダイヤモンド/AlN表面放熱構造のパラメータは、表⑨-5-4に示している。

図⑨-5-12はシミュレーションしたデバイス熱抵抗のHEMTエピ膜厚依存性を示している。シミュレーション結果として、p-AlN膜を適用することにより、現状のHEMT-on-AlN構造に対してデバイス熱抵抗を約30%低減できることがわかった。これは、HEMTエピ層よりも熱伝導率の高いp-AlN膜によるヒートスプレッド効果であると考えられる。また、CVDダイヤモンド成膜により、界面がSiN膜の場合よりもデバイス熱抵抗の著しい低減効果が見られた。HEMTエピ膜厚600nmで、現行のGaN-on-SiC構造と同等のデバイス熱抵抗が得られた。これは、p-AlN膜がSiN膜よりも速く、熱伝導率が高いCVDダイヤモンドに熱を伝達し、熱を拡散しているためである。さらに、AlN基板裏面側に単結晶ダイヤモンドを接合すると、デバイス熱抵抗はHEMTエピ膜厚600nmで、現行のGaN-on-SiC構造の35%まで低減が可能になることがわかった。

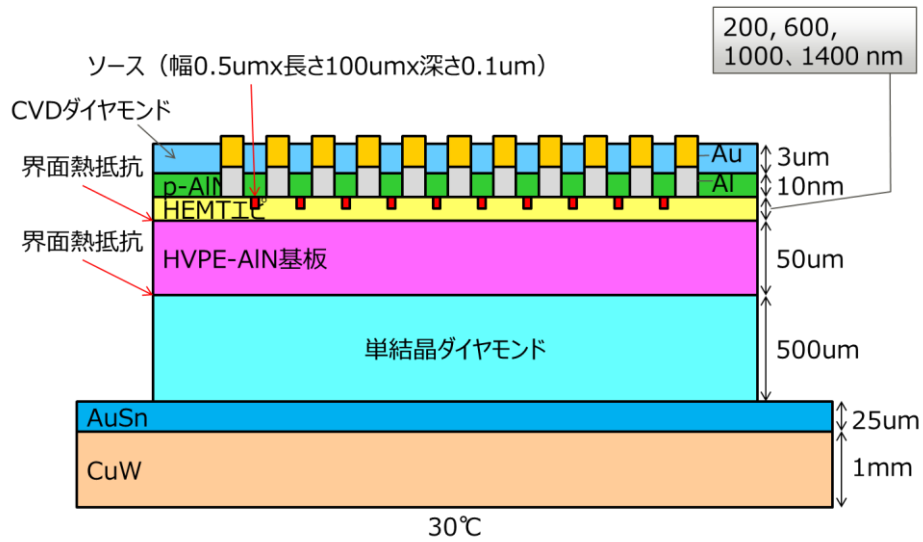
以上のように、表面側での放熱構造を工夫することにより、AlN基板上HEMTエピの熱伝導率の低さを補償し、現行のGaN-on-SiC構造よりもデバイス熱抵抗を低減する可能性を示した。しかしながら、現行のGaN-on-SiC構造の熱抵抗の50%低減までにはさらなる放熱構造の工夫が必要である。



図⑨-5-9 p-AlN/HEMT-on-AlN HPA シミュレーション構造



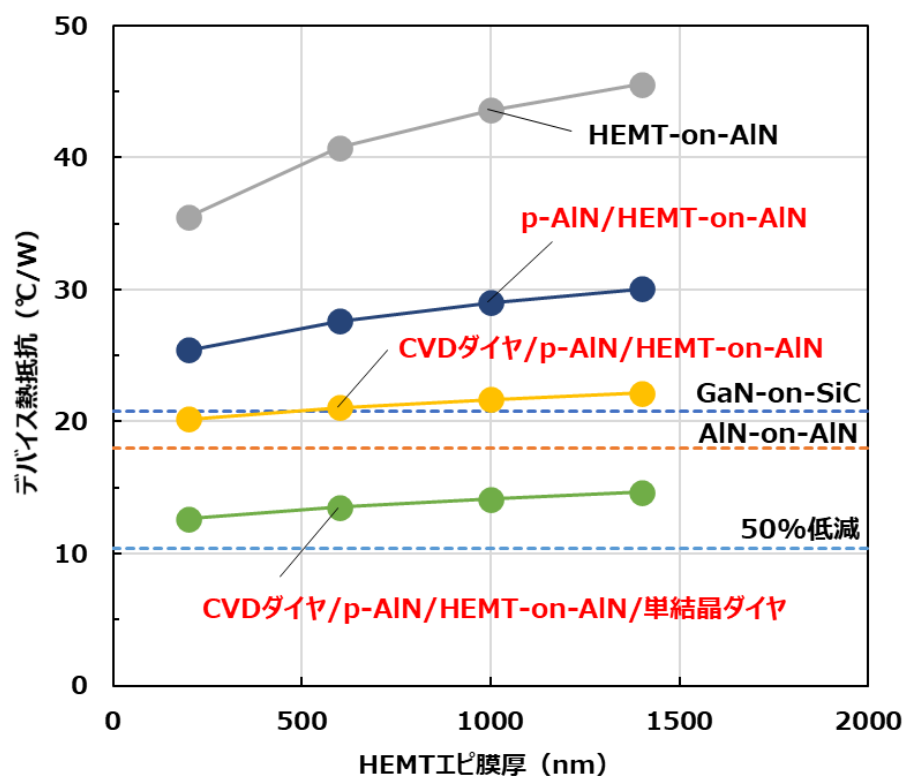
図⑨-5-10 CVDダイヤモンド/p-AlN/HEMT-on-AlN HPA シミュレーション構造



図⑨-5-11 CVD ダイヤモンド/p-AlN/HEMT-on-AlN/ダイヤモンド接合
HPA シミュレーション構造

表⑨-5-5 p-AlN/HEMT-on-AlN HPA 構造シミュレーションのパラメータ

パラメータ	HEMT エピ	HEMT エピ /AlN	HVPE- AlN 基板	AuSn	CuW	Poly- AlN	Al	Au
熱伝導率 (W/mK)	34	-	329	57	200	100	201	296
界面熱抵抗 (m ² K/W)	-	8×10^{-9}	-	-	-	-	-	-
比熱 (J/kgK)	516	-	805	151	180	1	913	132
密度 (g/cm ³)	5.47	-	3.24	14.52	15.65	1	2.71	19.3



図⑨-5-12 デバイス熱抵抗の HEMT エピ膜厚依存性のシミュレーション構造比較

3.9.5.3 CVD ダイヤモンド膜の熱伝導率改善

実施項目⑦の結果から、CVD ダイヤモンド膜の熱伝導率は、フィラメント材をタングステン(W)からタンタル(Ta)に変更することにより、膜厚 1.5 μm で 300 W/mK から 350 W/mK に改善することがわかった。令和 3 年度、これらのパラメータも熱シミュレーションにフィードバックし、計算精度をあげていく。

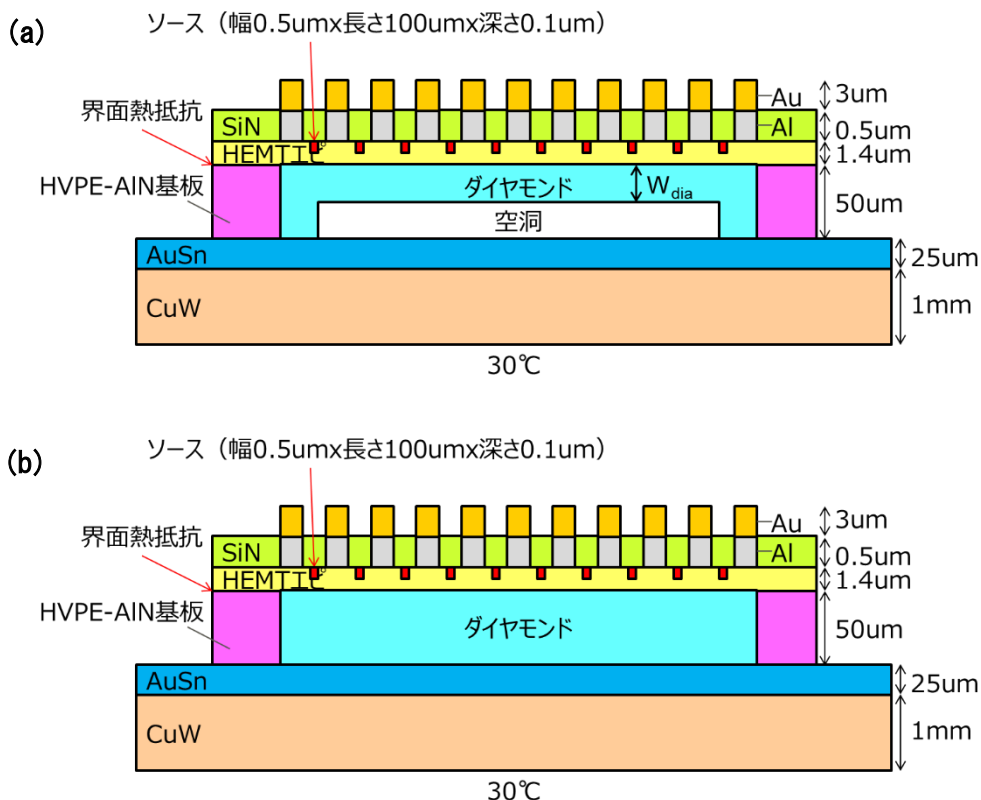
3.9.5.4 ダイヤモンドサーマルビアの設計

CVD ダイヤモンド膜は、表面放熱構造だけでなく GaN-on-SiC 基板裏面側のサーマルビアにも適用されている [37, 38]。例えば、GaN デバイス領域の直下の SiC 基板を GaN デバイス(エピタキシャル)層裏面まで開口し、その領域をダイヤモンド膜で被覆するか、もしくは完全にダイヤモンドで埋め込む。熱伝導率の高いダイヤモンド膜をデバイスの発熱源により近づけることにより排熱を促進することができる。しかしながら、CVD ダイヤモンドの成長速度は 0.5 $\mu\text{m}/\text{h}$. 程度であるために、十分な放熱特性を得るのに必要な 20 μm 以上の膜厚のダイヤモンドの形成、あるいは、ダイヤモンドの埋め込みには膨大な時間がかかる。そこで、適切なダイヤモンド厚 (W_{dia}) で効果的なサーマルビア放熱構造を設計した。

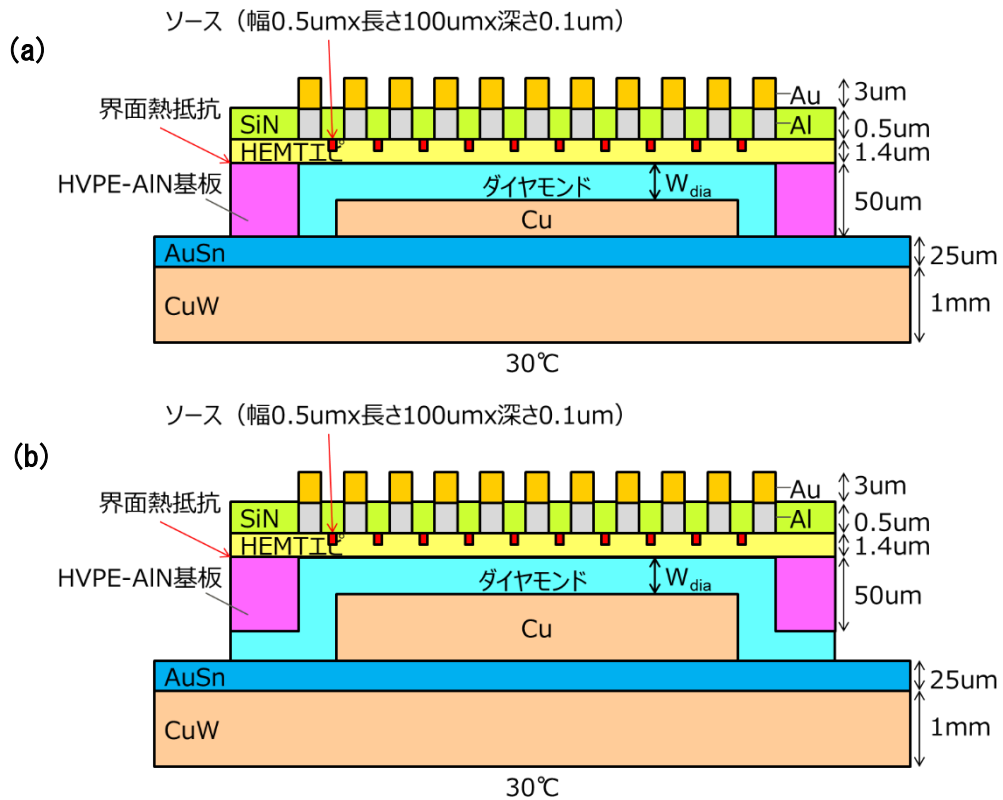
図⑨-5-13 は、従来のダイヤモンドサーマルビアを有する HEMT-on-AlN HPA シミュレーション構造を示している。これらは、上述と同様にデバイス領域の直下までの AlN 基板ビアホールを形成し、その領域をダイヤモンド膜で被覆(図⑨-5-13(a))、あるいはダイヤモンドで完全に埋め込む(図⑨-5-13(b)) ことにより形成される。AlN 基板ビアホールは、GaN 基板ビアホール [39] と同様に塩素系ドライエッチングにて形成可能と考えている。

また、図⑨-5-14 は、令和 2 年度に設計したダイヤモンド/Cu 埋め込みサーマルビアを有する

HEMT-on-AlN HPA シミュレーション構造を示している。図⑨-5-14(a)のダイヤモンド側面被覆/Cu埋め込み構造 I は、トランジスタ領域直下の AlN 基板に HEMT エピ層まで達する溝を形成し、その溝の内側をダイヤモンド膜で被覆し、残りの溝を銅(Cu)で埋めることにより形成可能である。また、図⑨-5-14(b)のダイヤモンド側面裏面被覆/Cu埋め込み構造 II は、トランジスタ領域直下の AlN 基板に HEMT エピ層まで達する溝を形成し、その溝の内側および AlN 基板裏面をダイヤモンド膜で被覆し、残りの溝を Cu で埋めることにより形成可能である。Cu 埋め込みは、いわゆるシリコン半導体の 3 次元積層プロセスで使われる Cu めっきで形成可能で、LED の放熱パッケージングに利用された例もある[40]。表⑨-5-6 に、本シミュレーションで用いたパラメータをまとめる。その他のパラメータは、表⑨-5-3 に記載しているとおりである。



図⑨-5-13 従来のダイヤモンドサーマルビアを有する HEMT-on-AlN HPA シミュレーション構造：
(a)ダイヤモンド被覆/空洞、 (b)ダイヤモンド完全埋め込み



図⑨-5-14 令和2年度に設計したダイヤモンド/Cu埋め込みサーマルビアを有する HEMT-on-AlN HPA シミュレーション構造：(a)ダイヤモンド側面被覆/Cu埋め込み構造 I、(b)ダイヤモンド側面裏面被覆/Cu埋め込み構造 II

表⑨-5-6 令和2年度に設計したダイヤモンド/Cu埋め込みサーマルビアを有する HEMT-on-AlN HPA 構造シミュレーションのパラメータ

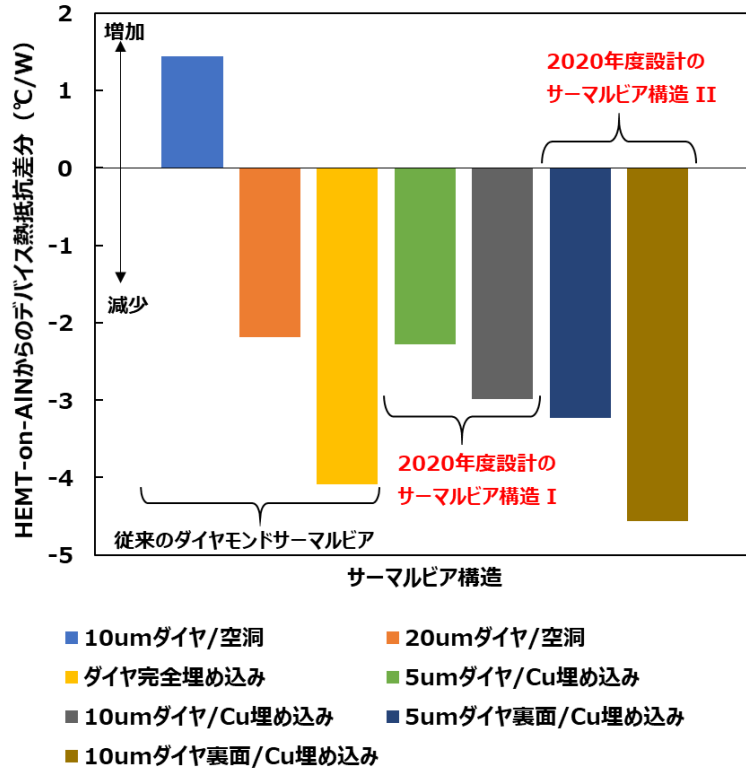
パラメータ	CVD ダイヤモンド	Cu
熱伝導率 (W/mK)	1000	385
比熱 (J/kgK)	1	385
密度 (g/cm ³)	1	8.93

図⑨-5-15 は、従来のダイヤモンドサーマルビアと令和2年度に設計したダイヤモンド/Cu埋め込みサーマルビアの排熱効果を比較したシミュレーション結果である。AlN基板厚 50 μm とし、サーマルビアがないデバイスのデバイス熱抵抗 (45.55 $^{\circ}\text{C}/\text{W}$) からの差分を求めた。従来のダイヤモンドサーマルビアでは、ダイヤモンド膜厚 10 μm では却ってデバイス熱抵抗が上昇することがわかった。これは、従来のダイヤモンドサーマルビアでは熱はダイヤモンド膜を介してのみ AlN 基板裏面側 CuW ヒートシンクに伝導するため排熱効率が悪いことを示している。従来のダイヤモンドサーマルビアでもダイヤモンド膜厚を厚くするとともに排熱効果が高くなり、完全にダイヤモンドで埋め込んだ場合、デバイス熱抵抗を 4.09 $^{\circ}\text{C}/\text{W}$ 低減することが可能になる。

一方、図⑨-5-14(a)で示すダイヤモンド側面被覆/Cu埋め込み構造 I では、サーマルビア内を被覆するダイヤモンド膜厚を 5 μm まで薄くしても、従来の 20 μm 厚ダイヤモンドサーマルビアと同等の放熱効果が得られることがわかる。また、図⑨-5-14(b)で示すダイヤモンド側面裏面被覆/Cu埋め込み構造 II では、サーマルビア内および AlN 基板裏面を被覆するダイヤモンド膜厚

10 μm で、ダイヤモンドだけを埋め込んだサーマルビアと同等以上の放熱効果が得られることがわかる。

以上のように、ダイヤモンドから金属への熱伝導経路を形成し、AlN 基板裏面側ヒートシンクに効率よく排熱されるため、CVD ダイヤモンド膜を薄くすることができ、成膜時間を短縮することが可能になることが期待される。今後、これらの実現可能性についても検討していく。



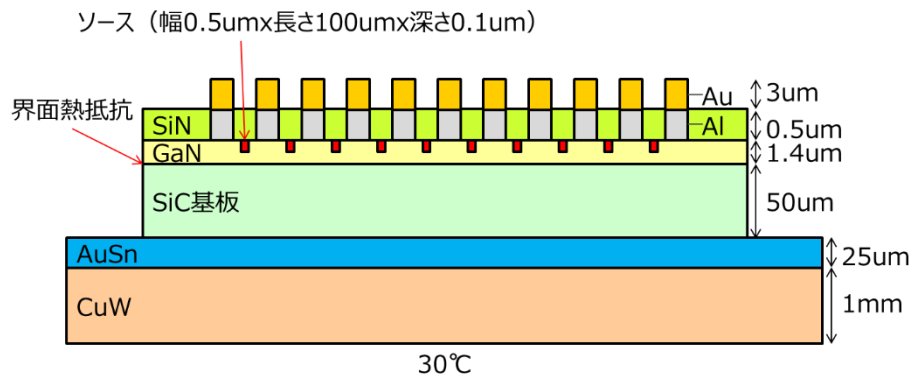
図⑨-5-15 従来のダイヤモンドサーマルビアと令和2年度に設計したダイヤモンド/Cu埋め込みサーマルビアの排熱効果を比較したシミュレーション結果

3.9.6 AlN 基板上デバイスの熱抵抗を低減する最適構造の検討

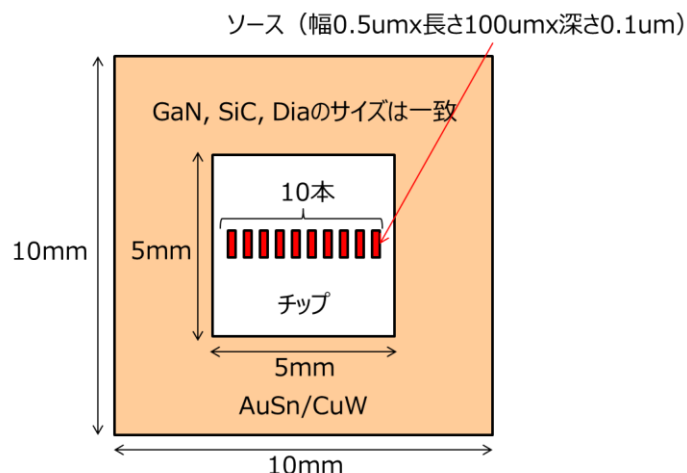
3.9.6.1 実現可能な AlN 基板上デバイスの表裏放熱構造の最適化設計

令和3年度は、膜厚 $8 \mu\text{m}$ で熱伝導率を 500 W/mK まで改善した CVD ダイヤモンドを適用した AlN 基板上デバイスの表裏放熱構造の設計を実施した。3D 熱シミュレーションには MentorGraphics 社製 FloTHERM を用いた。まず、上述の実現可能な AlN 基板/ダイヤモンドの裏面放熱構造の熱シミュレーションを実施する前に現行の GaN-on-SiC HPA 構造、AlN エピ/HVPE-AlN (AlN-on-AlN) 基板 HPA 構造、HEMT エピ/HVPE-AlN 基板 (HEMT-on-AlN) HPA 構造との熱抵抗比較を示す。

図⑨-6-1、図⑨-6-2 は、現行の GaN-on-SiC HPA シミュレーション構造の断面図、および、上面図である。シミュレーション精度向上のため GaN 表面に SiN パッシベーション膜とソース・ドレイン電極 (Al)、ソース・ドレイン配線 (Au) を施した実デバイスにより近いシミュレーション構造となっている。表⑨-6-1 は、現行の GaN-on-SiC HPA 構造のシミュレーションに用いたパラメータを示す。GaN、SiC の熱伝導率および GaN/SiC 界面熱抵抗は、それぞれ GaN/SiC 構造の熱分析測定から求めた 140 W/mK 、 420 W/mK 、および、 $9 \times 10^{-9} \text{ m}^2\text{K/W}$ とした。AuSn、CuW の膜厚はそれぞれ $25 \mu\text{m}$ 、 $1000 \mu\text{m}$ に固定した。チップサイズは $5 \text{ mm} \times 5 \text{ mm}$ の長方形で CuW ベース材サイズは $10 \text{ mm} \times 10 \text{ mm} \times 1 \text{ mm}$ の正方形とした。ゲート-ゲート間距離 $30 \mu\text{m}$ で、10 か所の発熱領域 (幅 $0.5 \mu\text{m}$ x 長さ $100 \mu\text{m}$ x 深さ $0.1 \mu\text{m}$) を GaN エピ層内でチップ中央に配置した。今回、発熱量は、ゲート 1 本当たりの発熱量を 1.2 W とした。環境は空気、 30°C 、1 気圧で、ベース材底面温度を 30°C 一定とした。HPA のトータル熱抵抗は、温度差分 (最高温度-ベースプレート温度 30°C) / 発熱量 (12 W) とした。結果として、現行の GaN-on-SiC HPA 構造の熱抵抗は、 20.77°C/W であった。



図⑨-6-1 GaN-on-SiC HPA シミュレーション構造 (断面図)



図⑨-6-2 GaN-on-SiC HPA シミュレーション構造 (上面図)

表⑨-6-1 GaN-on-SiC HPA 構造シミュレーションのパラメータ

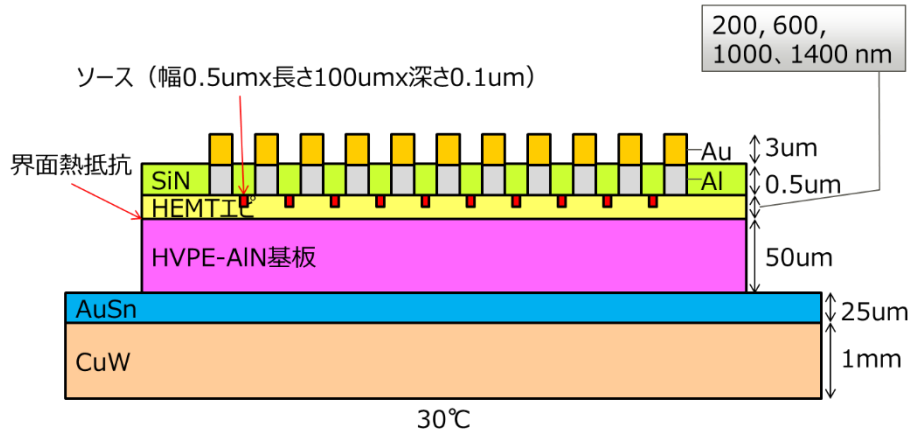
パラメータ	GaN	GaN/SiC	SiC	AuSn	CuW	SiN	Al	Au
熱伝導率 (W/mK)	140 (※)	-	420 (※)	57	200	1.1	201	296
界面熱抵抗 (m ² K/W)	-	9×10 ⁻⁹ (※)	-	-	-	-	-	-
比熱 (J/kgK)	490	-	690	151	180	1	913	132
密度 (g/cm ³)	6.15	-	3.21	14.52	15.65	1	2.71	19.3

※熱分析評価による測定値

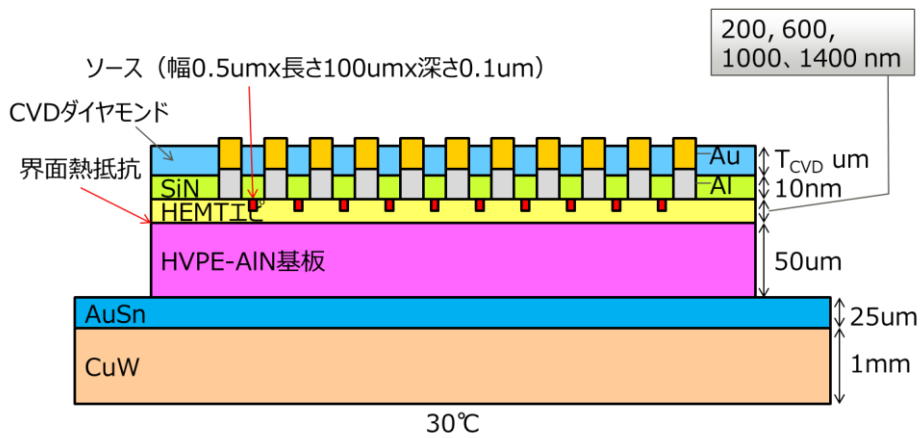
3.9.4に報告したように、AlN基板上に成長したAlGaIn/GaN HEMTエピ層は、基板との界面熱抵抗 ($8 \times 10^{-9} \text{ m}^2\text{K/W}$) はGaN-on-SiC構造と同程度であるものの、格子不整合による転位密度も高く、かつ、AlGaInバッファ層を用いているため、その熱伝導率 (34 W/mK) はHVPE-AlN基板よりも一桁低い値であった。このため、HEMT-on-AlN HPA構造のデバイス熱抵抗は現行のGaN-on-SiC構造の71%以上も増加した。さらに、3.9.5に報告したように、CVDダイヤモンドおよび接合界面熱抵抗を改善した単結晶ダイヤモンド接合による表裏面放熱構造を用いても、デバイス熱抵抗はHEMTエピ膜厚1000 nm以下で、現行のGaN-on-SiC構造よりもわずかに低くなる程度であった。

令和3年度は、膜厚 (T_{CVD}) 8 μmで熱伝導率を500 W/mKまで改善したCVDダイヤモンドを適用した表裏放熱構造の効果を検証した。図⑨-6-3、図⑨-6-4、図⑨-6-5は、それぞれシミュレーションしたHEMT-on-AlN HPA構造、CVDダイヤモンド/HEMT-on-AlN HPA構造、CVDダイヤモンド/HEMT-on-AlN/ダイヤモンド接合 HPA構造を示す。表⑨-6-2、表⑨-6-3に、HEMT-on-AlN HPA構造シミュレーションのパラメータ、および、AlN/ダイヤモンド裏面放熱構造およびCVDダイヤモンド/AlN表面放熱構造シミュレーションのパラメータを示す。図⑨-6-6はシミュレーションしたデバイス熱抵抗のHEMTエピ膜厚依存性を示している。

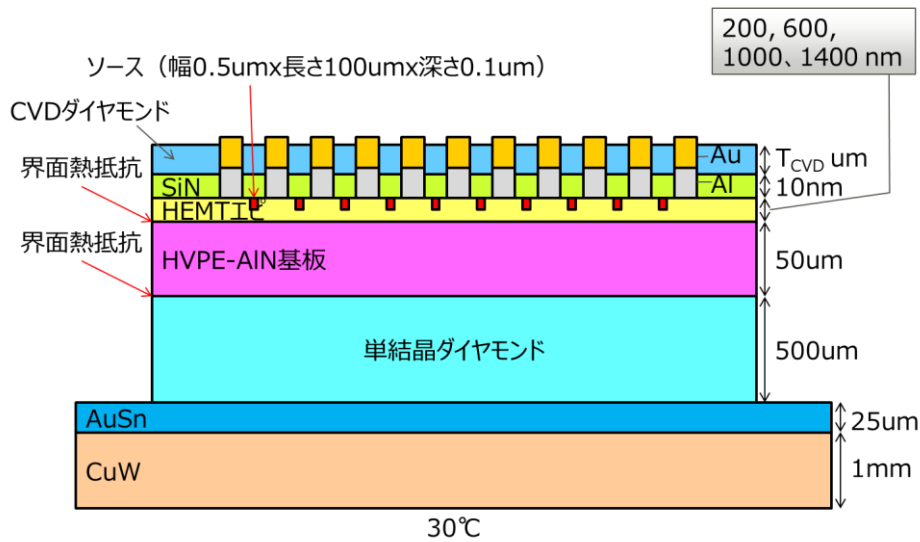
結果として、CVDダイヤモンド熱伝導率の改善により、デバイス熱抵抗はHEMTエピ膜厚1400 nm以下で、現行のGaN-on-SiC構造よりも低減する効果が確認された。HEMTエピ膜厚200 nmで最大17.5%低減した。しかしながら、HEMTエピ層およびCVDダイヤモンド/HEMTエピ界面のSiN膜の熱伝導率のインパクトが大きく、現行のGaN-on-SiC構造の熱抵抗の50%低減にはHEMTエピ層に近い表面側での放熱構造の工夫が必要である。



図⑨-6-3 HEMT-on-AlN HPA シミュレーション構造



図⑨-6-4 CVD ダイヤモンド/HEMT-on-AlN HPA シミュレーション構造



図⑨-6-5 CVD ダイヤモンド/HEMT-on-AlN/ダイヤモンド接合 HPA シミュレーション構造

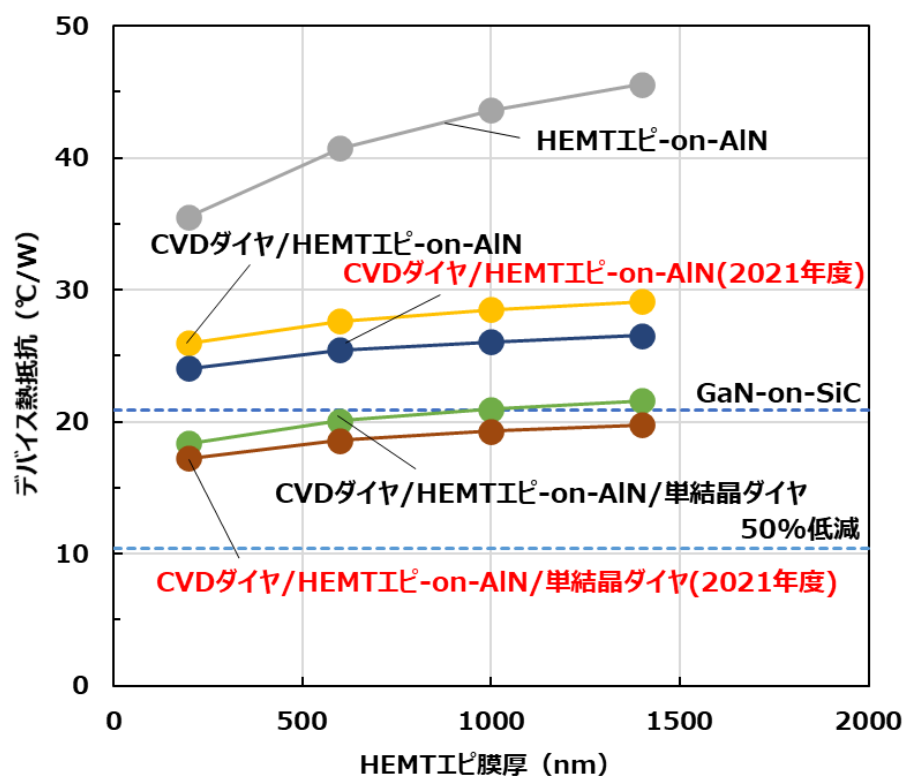
表⑨-6-2 HEMT-on-AlN HPA 構造シミュレーションのパラメータ

パラメータ	HEMT エピ	HEMT エピ /AlN	HVPE- AlN 基板	AuSn	CuW	SiN	Al	Au
熱伝導率 (W/mK)	34	-	329	57	200	1.06	201	296
界面熱抵抗 (m ² K/W)	-	8×10 ⁻⁹	-	-	-	-	-	-
比熱 (J/kgK)	516	-	805	151	180	1	913	132
密度 (g/cm ³)	5.47	-	3.24	14.52	15.65	1	2.71	19.3

表⑨-6-3 AlN/ダイヤモンド裏面放熱構造

および CVD ダイヤモンド/AlN 表面放熱構造シミュレーションのパラメータ

パラメータ	単結晶ダイヤモンド (裏面放熱構造)	AlN 基板 /単結晶ダイヤモンド	CVD ダイヤモンド (表面放熱構造)
熱伝導率 (W/mK)	2000		235 (T _{CVD} =3μm@令和 2 年度) 500 (T _{CVD} =8μm@令和 3 年度)
界面熱抵抗 (m ² K/W)	-	2.93×10 ⁻⁸ (令和 2 年度)	-
比熱 (J/kgK)	520		520
密度 (g/cm ³)	3.515		3.515

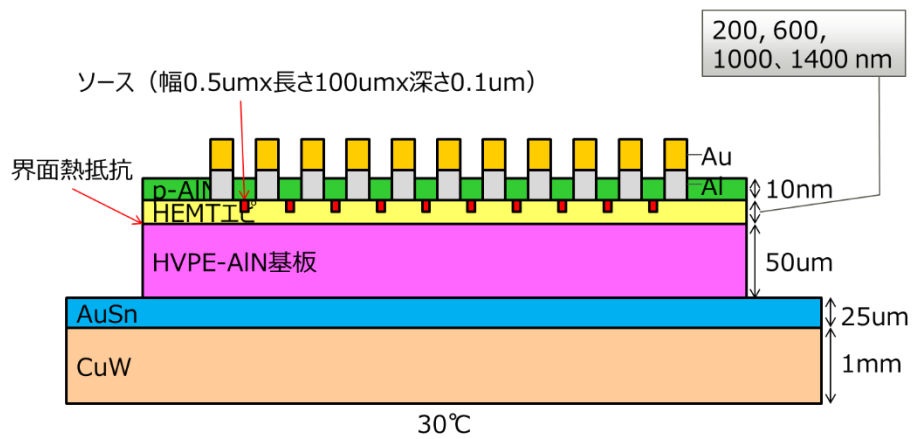


図⑨-6-6 CVD ダイヤモンド/GaN 界面に SiN を用いた構造のデバイス熱抵抗の HEMT エピ膜厚依存性のシミュレーション構造比較

3.9.6.2 CVD ダイヤモンド/HEMT エピ界面材料による最適化設計

令和 2 年度には、CVD ダイヤモンド/HEMT エピ界面材料を SiN 膜から p-AlN 膜に変更することにより、CVD ダイヤモンド/p-AlN/HEMT エピ-on-AlN 基板/ダイヤモンド表裏放熱構造でデバイス熱抵抗を現行の GaN-on-SiC 構造の 35%まで低減可能であることを示したが、目標である 50%低減には達していなかった。そこで、上述の熱伝導率が著しく改善された CVD ダイヤモンドを適用した熱シミュレーションにより、デバイス熱抵抗低減効果について検証した。図⑨-6-7 は、シミュレーションした p-AlN/HEMT-on-AlN HPA 構造である。ここでは、HEMT エピ膜厚を 200~1400 nm とした。CVD ダイヤモンド/HEMT エピ界面の p-AlN 膜厚は 10 nm とした。また、図⑨-6-8、図⑨-6-10 は、シミュレーションした CVD ダイヤモンド/p-AlN/HEMT-on-AlN HPA 構造、CVD ダイヤモンド/p-AlN/HEMT-on-AlN/ダイヤモンド接合 HPA 構造である。表⑨-6-4 に p-AlN/HEMT-on-AlN 基板 HPA 構造シミュレーションのパラメータを示す。AlN/ダイヤモンド裏面放熱構造および CVD ダイヤモンド/AlN 表面放熱構造のパラメータは、表⑨-6-3 に示している。

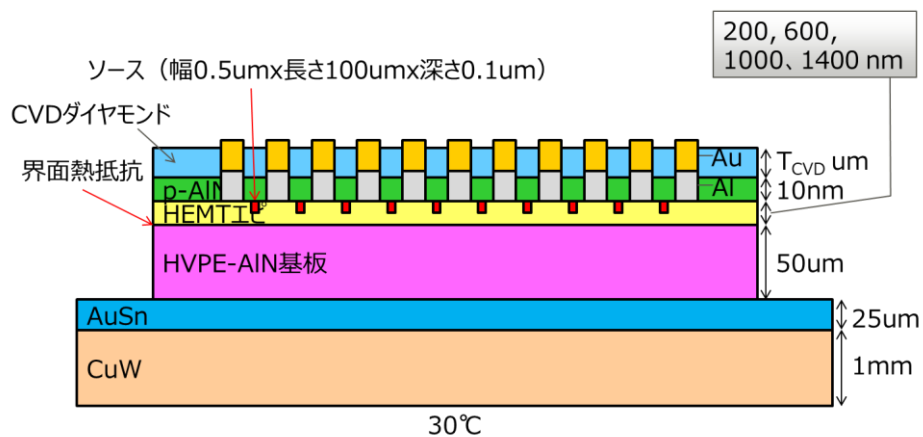
図⑨-6-10 は、シミュレーションしたデバイス熱抵抗の HEMT エピ膜厚依存性を示している。シミュレーション結果として、熱伝導率が向上した CVD ダイヤモンド成膜により、令和 2 年度と比べてデバイス熱抵抗の著しい低減効果が見られ、現行の GaN-on-SiC 構造よりも低いデバイス熱抵抗が得られた。これは、p-AlN 膜が SiN 膜よりも速く、CVD ダイヤモンドに熱を伝達し、さらに熱伝導率が向上した CVD ダイヤモンドにより令和 2 年度のシミュレーション結果よりも熱拡散効果を促進したためである。さらに、AlN 基板裏面側に単結晶ダイヤモンドを接合すると、デバイス熱抵抗は HEMT エピ膜厚 200 nm で、現行の GaN-on-SiC 構造の 50%まで低減が可能になることを示した。



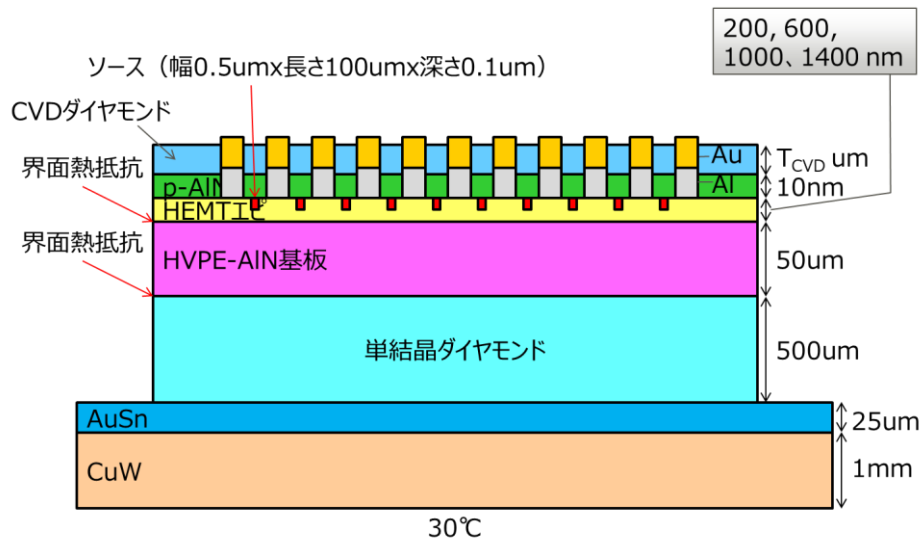
図⑨-6-7 p-AlN/HEMT-on-AlN HPA シミュレーション構造

表⑨-6-4 p-AlN/HEMT-on-AlN HPA 構造シミュレーションのパラメータ

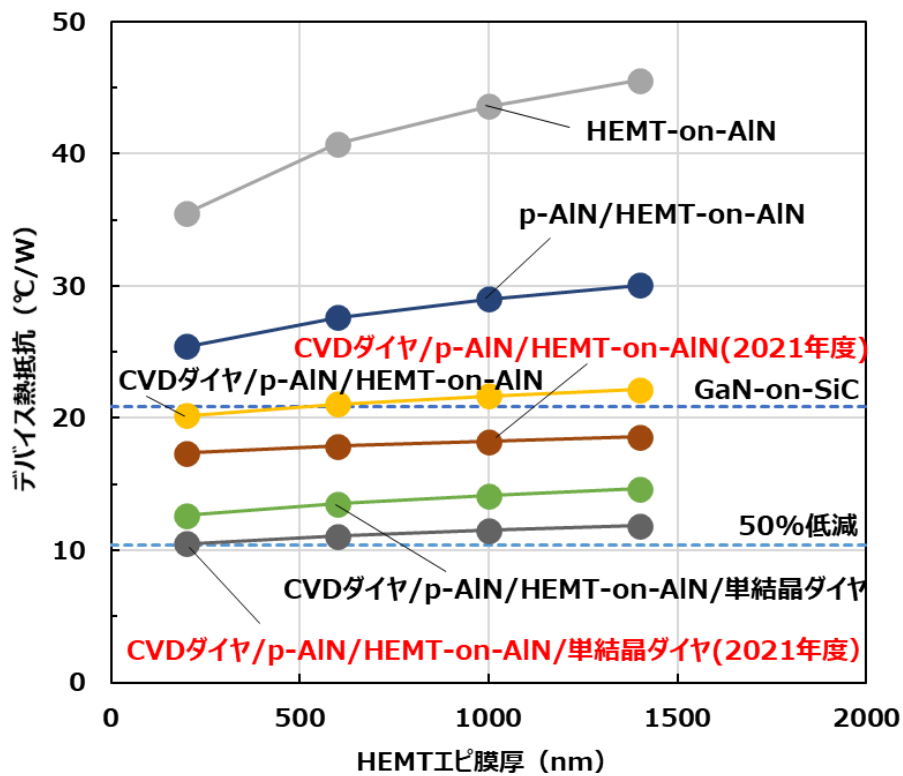
パラメータ	HEMT エピ	HEMT エピ /AlN	HVPE- AlN 基板	AuSn	CuW	Poly- AlN	Al	Au
熱伝導率 (W/mK)	34	-	329	57	200	100	201	296
界面熱抵抗 (m ² K/W)	-	8×10^{-9}	-	-	-	-	-	-
比熱 (J/kgK)	516	-	805	151	180	1	913	132
密度 (g/cm ³)	5.47	-	3.24	14.52	15.65	1	2.71	19.3



図⑨-6-8 CVD ダイヤモンド/p-AlN/HEMT-on-AlN HPA シミュレーション構造



図⑨-6-9 CVD ダイヤモンド/p-AlN/HEMT-on-AIN/ダイヤモンド接合 HPA シミュレーション構造



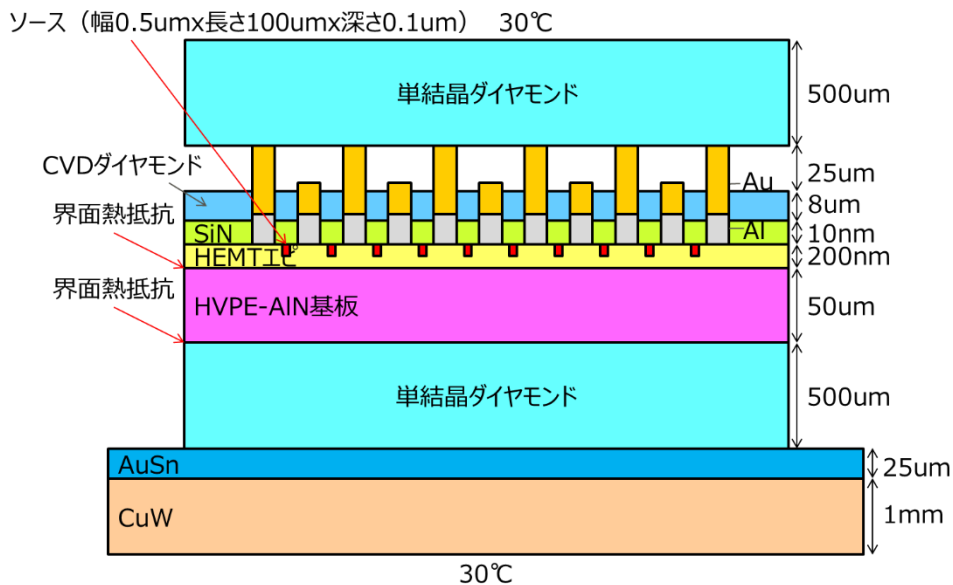
図⑨-6-10 CVD ダイヤモンド/GaN 界面に p-AlN を用いた構造のデバイス熱抵抗の HEMT エピ膜厚依存性のシミュレーション構造比較

3.9.6.3 ダイヤモンド上部ヒートシンク構造の設計

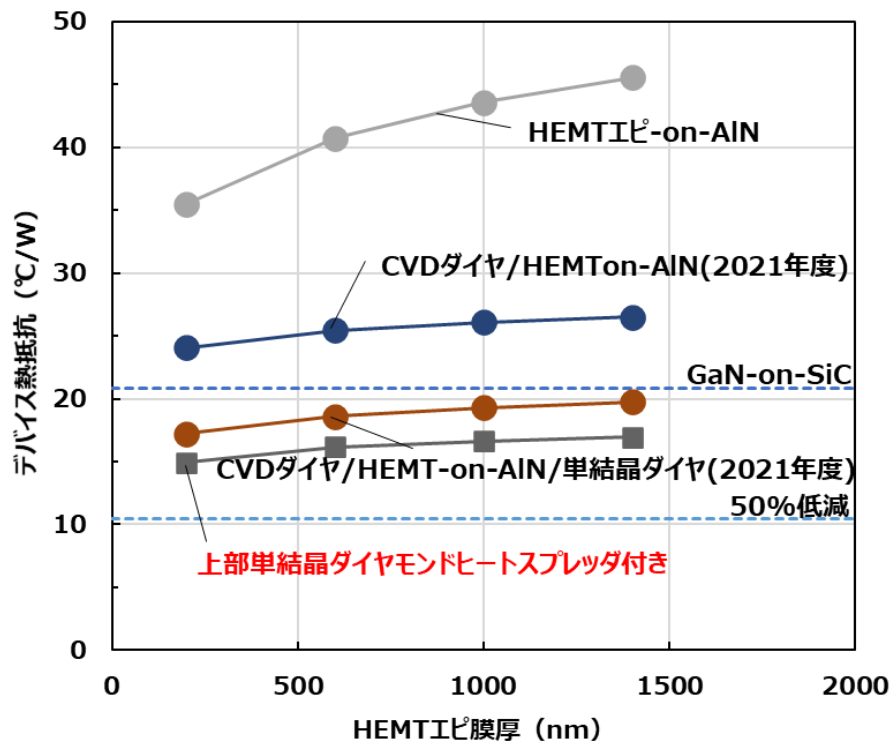
3.9.3に報告したように、デバイス電極上配線を介して排熱する上部ヒートシンク構造も有効である。平成30年度の熱シミュレーションでは上部ヒートシンク材料に銅タングステン(CuW)を使用した。令和3年度では単結晶ダイヤモンドを上部ヒートシンク材に適用した放熱構造設計を実施した。

図⑨-6-11は、ダイヤモンド上部ヒートシンク/CVDダイヤモンドおよび基板側ダイヤモンド表裏放熱構造(10mm×10mm×1mm)を示す。上部ヒートシンクは、ソース電極とソース配線に接続された構造となっており、シミュレーションでは上部ヒートシンクの上面は常に30℃に固定されている。ここではCVDダイヤモンド/HEMTエピ界面にはSiNを用いた。熱パラメータは、表⑨-6-2、表⑨-6-3を用いた。最新の論文[41]でも、フリップチップ方式でCVDダイヤモンドを覆うソースフィールドプレート上のサーマルバンプで接合したダイヤモンドヒートシンクおよび基板側に接合したダイヤモンドからなる表裏放熱構造の熱シミュレーションの報告があるが、アンダーフィルが含まれるため高周波デバイスとしては容量が増加しやすい構造となっている。一方、本放熱構造ではアンダーフィルは無く空洞となっているため、容量増加にはならない。

結果として、図⑨-6-12に示すようにデバイス熱抵抗はHEMTエピ膜厚200nmで、現行のGaN-on-SiC構造の28%低減が可能になることを示した。しかしながら、デバイス熱抵抗を50%以上低減するためには、上述のようにCVDダイヤモンド/HEMTエピ界面の熱抵抗を下げるのが不可欠であるといえる。



図⑨-6-11 上部ダイヤモンドヒートシンク構造



図⑨-6-12 上部ダイヤモンドヒートシンク構造のデバイス熱抵抗のHEMTエピ膜厚依存性のシミュレーション構造比較 (CVDダイヤモンド/GaN界面にSiNを用いた場合)

3.9.7 まとめ

平成29年度は、AlN基板上AlN構造と、従来のSiC基板上GaN構造の熱抵抗をシミュレーションにより算出し、SiC基板上GaN構造における界面熱抵抗の影響について調査した。結果として、AlN/AlN基板は現行構造のGaN-HEMT/SiCよりも熱抵抗を低減できるポテンシャルを持つことがわかった。

平成30年度は、理想的に接合したAlN/ダイヤモンド基板の熱シミュレーションを行い、最適な裏面放熱構造を設計した。また、CVDダイヤモンド/AlN基板の熱シミュレーションを行い、最適な表面放熱構造を設計した。さらに、平成30年度時点で入手可能であったHEXATECH社製PVT-AlN基板、および、再委託先のトクヤマから提供されたHVPE-AlN/PVT-AlN基板の熱伝導率を評価した。結果として、以下のことがわかった。

- ・AlN熱伝導率300 W/mKでAlN/ダイヤモンド基板の熱抵抗は従来の42%まで低減する。
- ・CVDダイヤモンド/AlN界面のSiN膜が熱抵抗となり、CVDダイヤモンドへの熱伝導を阻害する。このため、熱抵抗を従来の50%まで低減するためには、AlN熱伝導率300 W/mKでSiN膜厚10 nm以下、AlN熱伝導率340 W/mKでSiN膜厚200 nm以下にすることが必要である。
- ・上部ヒートシンク構造は50%以上の熱抵抗低減に効果的であるが、その構造を実現するためのプロセスが複雑になる。
- ・PVT-AlN基板の熱伝導率は234 W/mKと、これまでに報告されているHVPE-AlNの熱伝導率341±6 W/mKと比べて低い。

平成31年度は、平成31年度に導入したCVD装置で成膜したCVDダイヤモンド膜の熱伝導率、および、CVDダイヤモンド/AlN基板の界面熱抵抗の熱パラメータを取得し、実現可能なダイヤモンドCVD/AlN基板の表面放熱構造の最適化を図った。また、AlN/ダイヤモンド接合の熱パラメータを取得し、精度向上に向けた熱シミュレーションへのフィードバックも併せて実施した。加えて、AlN基板上のHEMTエピの熱伝導率を評価し、デバイス熱抵抗に与える影響についてシミュレーションを実施した。結果として、以下のことがわかった。

・評価したHVPE-AlN基板の熱伝導率は329 W/mKと、文献値(341±6 W/mK)に近い値が得られた。また、実測したCVDダイヤモンド熱伝導率の膜厚依存性から3 μm厚で235 W/mK、また、界面のSiN膜の熱伝導率を1.06 W/mKと設定した。

・現行のCVDダイヤモンド/AlN-on-AlN表面放熱構造では、SiN膜厚10 nmでGaN-on-SiC従来構造に対して18%の低減効果が得られることを示した。さらにダイヤモンド接合裏面放熱構造の採用により、従来構造に対して50%の低減効果が得られることを示した。

・評価したAlN基板上HEMTエピ層の熱伝導率(34 W/mK)がHVPE-AlN基板よりも一桁低く、デバイス熱抵抗が従来構造に対して著しく増加(71%以上)することが示唆された。

令和2年度は、平成31年度導入の接合装置で接合したAlN基板/ダイヤモンドの界面熱抵抗の熱パラメータを取得し、実現可能なAlN基板/ダイヤモンドの裏面放熱構造の最適化を図った。また、CVDダイヤモンド膜の熱伝導率改善の状況に応じ、熱パラメータを取得するとともに精度向上に向けた熱シミュレーションへのフィードバックも併せて実施した。結果として、以下のことがわかった。

・実際に接合したAlN基板/ダイヤモンド界面熱抵抗は平成31年度まで使用したパラメータの約1/3と小さく、平成31年度と比べてデバイス熱抵抗を4%程度低減できることを示した。

・AlN基板上HEMTエピ層の熱伝導率の低さを補償するCVDダイヤモンド表面放熱構造を設計した結果、従来のSiN膜に代わりp-AlN膜を適用することにより、現状のHEMT-on-AlN構造に対してデバイス熱抵抗を約30%程度低減する可能性を示した。さらにAlN基板/ダイヤモンド接合裏面放熱構造を適用した場合、デバイス熱抵抗を現行のGaN-on-SiC構造の35%まで低減可能であることを示した。

・CVDダイヤモンド膜の熱伝導率は、Taフィラメントにより膜厚1.5 μmで350 W/mKに改善することがわかった。

・AlN基板上HEMTエピ層の熱伝導率の低さを補償するCVDダイヤモンドを用いた裏面サーマルビア構造を設計した結果、ダイヤモンド/Cu埋め込みサーマルビア構造は、従来のダイヤモンドのみのサーマルビア構造よりも薄いダイヤモンド膜で同等以上の放熱効果を持つ可能性を示した。

令和3年度は、令和2年度までに取得した AlN 基板/ダイヤモンド界面熱抵抗および CVD ダイヤモンド熱伝導率等の熱パラメータを基に、実現可能な AlN 基板上デバイスの表裏放熱構造の最適化を図った。結果として、以下のことがわかった。

- ・CVD ダイヤモンド熱伝導率の改善により、CVD ダイヤモンド/SiN/HEMT エピ/A1N 基板/単結晶ダイヤモンド構造にてデバイス熱抵抗を現行の GaN-on-SiC 構造よりも最大 17.5%低減する効果を示した。しかし、HEMT エピ層および CVD ダイヤモンド/HEMT エピ界面の SiN 膜の熱伝導率のインパクトが大きく、本施策だけでは熱抵抗 50%低減が困難であることが分かった。
- ・従来の SiN 膜に代わり p-AlN 膜を適用することにより、CVD ダイヤモンド/p-AlN/HEMT エピ/A1N 基板/単結晶ダイヤモンド構造で 50%超の熱抵抗削減を計算で実証した。
- ・配線を介して排熱する上部ダイヤモンドヒートシンク構造において、デバイス熱抵抗を現行の GaN-on-SiC 構造に対して最大 28%低減する可能性を示した。目標の熱抵抗 50%低減には、CVD ダイヤモンド/HEMT エピ界面の熱抵抗を下げる事が不可欠であることがわかった。

参考文献

- [1] A. AlShaikhi, and G. P. Srivastava, Journal of Applied Physics **103**, 083554 (2008).
- [2] G. A. Slack, J. Phys. Chem. Solids **34**, 321 (1973).
- [3] Y. Kurokawa, K. Utsumi, H. Takamizawa, T. Kamata, AND S. Noguchi, IEEE TRANSACTIONS ON COMPONENTS, HYBRIDS, AND MANUFACTURING TECHNOLOGY, VOL. CHMT-8, NO. 2, JUNE 1985 247.
- [4] G. A. Slack, L. J. Schowalter, D. Morelli, J. A. Freitas Jr., Journal of Crystal Growth **246** (2002) 287-298.
- [5] G. A. Slack, R. A. Tanzilli, R. O. Pohl, and J. W. Vandersande, J. Phys. Chem. Solids **48**, 641 (1987).
- [6] C. Mion, J. F. Muth, E. A. Preble, and D. Hanser, Applied Physics Letters **89**, 092123 (2006).
- [7] W. Liu, and A. A. Balandin, Journal of Applied Physics **97**, 073710 (2005).
- [8] A. Manoi, J. W. Pomeroy, N. Killat, and M. Kuball, IEEE ELECTRON DEVICE LETTERS, **31**, NO. 12, DECEMBER 2010 1395.
- [9] Z. Su, J. P. Freedman, J. H. Leach, E. A. Preble, R. F. Davis, and J. A. Malen, Journal of Applied Physics **113**, 213502 (2013).
- [10] J. W. Pomeroy, M. Kuball, 2014 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICs).
- [11] K. K. Chu, T. Yurovchak, P. C. Chao, C. T. Creamer, 2013 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICs).
- [12] D. Altman, D. M. Tyhach, J. McClymonds, S. Kim, S. Graham, J. Cho, K. Goodson, D. Francis, F. Faili, F. Ejeckam, S. Bernstein, 2014 IEEE Intersociety Conference on Thermal and Thermomechanical Phenomena in Electronic Systems (ITherm).
- [13] Y. Won, J. Cho, D. Agonafer, M. Asheghi, and K. E. Goodson, IEEE TRANSACTIONS ON COMPONENTS, PACKAGING AND MANUFACTURING TECHNOLOGY, **5**, NO. 6, JUNE 2015, 737.
- [14] D. Liu, *et al.*, Scripta Materialia **128**, 57 (2017).
- [15] T. J. Anderson, *et al.*, 70th DRC, 155 (2012).
- [16] T. J. Anderson, *et al.*, 2013 IEEE CSICs, 13-16 Oct. 2013, US.
- [17] M. J. Tadjer, *et al.*, IEEE Electr. Dev. Lett. **33**, 23 (2012).
- [18] Y. Zhou, *et al.*, Appl. Phys. Lett. **111**, 041901 (2017).
- [19] H. Sun, *et al.*, Appl. Phys. Lett. **106**, 111906 (2015).
- [20] R. Rounds, *et al.*, Journal of Appl. Phys. **123**, 185107 (2018).
- [21] R. Rounds, *et al.*, Appl. Phys. Exp. **11**, 071001 (2018).
- [22] P. Pobedinskas, *et al.*, Appl. Phys. Lett. **102**, 201609 (2013).

- [23] H. Takagi, *et al.*, PCIM Europe 2015, 19–21 May 2015, Nuremberg, Germany, p1220.
- [24] C. Mion, *et al.*, Appl. Phys. Lett. 89, 092123 (2006).
- [25] W. Liu, and A. A. Balandin, Appl. Phys. Lett. 85, 5230 (2004).
- [26] W. Liu, and A. A. Balandin, Journal of Applied Physics 97, 073710 (2005).
- [27] Dong Liu, Daniel Francis, Firooz Faili, Callum Middleton, Julian Anaya, James W. Pomeroy, Daniel J. Twitchen, Martin Kuball, Scripta Materialia 128 (2017) 57-60.
- [28] S. Manda, C. Yuan, F. Massabuau, J.W. Pomeroy, J. Cuenca, H. Bland, E. Thomas, D. Wallis, T. Batten, D. Morgan, R. Oliver, M. Kuball, and O.A. Williams, ACS Appl. Mater. Interfaces 2019, 11, 40826–40834.
- [29] M.D. Smith, J.A. Cuenca, D.E. Field, Y. Fu, C. Yuan, F. Massabuau, S. Manda, J.W. Pomeroy, R.A. Oliver, M.J. Uren, K. Elgaid, O.A. Williams, I. Thayne, and M. Kuball, AIP Advances 10, 035306 (2020).
- [30] S. Huang, Q. Jiang, S. Yang, C. Zhou, K.J. Chen, CS MANTECH Conference, April 23rd – 26th, 2012, Boston, Massachusetts, USA.
- [31] H.A. Shih, M. Kudo, M. Akabori, and T. Suzuki, Japanese Journal of Applied Physics 51 (2012) 02BF01.
- [32] B.E. Belkerk, S. Bensalem, A. Soussou, M. Carette, H.A. Brithen, M.A. Djouadi, and Y. Scudeller1, APPLIED PHYSICS LETTERS 105, 221905 (2014).
- [33] T.S. Pan, Y. Zhang, J. Huang, B. Zeng, D.H. Hong, S.L. Wang, H.Z. Zeng, M. Gao, W. Huang, and Y. Lin, JOURNAL OF APPLIED PHYSICS 112, 044905 (2012).
- [34] C. Duquenne, M.P. Besland, P.Y. Tessier, E. Gautron, Y. Scudeller, and D. Averty, J. Phys. D: Appl. Phys. 45 (2012) 015301.
- [35] M.H. Park, and S.H. Kim, Materials Science in Semiconductor Processing 15 (2012) 6-10.
- [36] R.L. Xu, M.M. Rojo, S.M. Islam, A. Sood, B. Vareskic, A. Katre, N. Mingo, K.E. Goodson, H.G. Xing, D. Jena, and E. Pop, J. Appl. Phys. 126, 185105 (2019).
- [37] B. Poust, V. Gambin, R. Sandhu, I. Smorchkova, G. Lewis, R. Elmadjian, D. Li, C. Geiger, B. Heying, M. Wojtowicz, A. Oki, B.B. Pate, T. Feygelson, K. Hobart, Proceedings of 2013 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS).
- [38] J.D. Blevins, and G.D. Via, Proceedings of 2016 IEEE Compound Semiconductor Integrated Circuit Symposium (CSICS)
- [39] N. Okamoto, A. Takahashi, Y. Minoura, Y. Kumazaki, S. Ozaki, T. Ohki, N. Hara, and K. Watanabe, J. Vac. Sci. Technol. A 38, 063003 (2020).
- [40] X. Liu, Z. Lv, and S. Liu, IEEE TRANSACTIONS ON COMPONENTS, PACKAGING AND MANUFACTURING TECHNOLOGY, VOL. 5, NO. 10, OCTOBER (2015) 1387.
- [41] D. Shoemaker, M. Malakoutian, B. Chatterjee, Y. Song, S. Kim, B. M. Foley, S. Graham, C. D. Nordquist, S. Chowdhury, and S. Choi, IEEE Transactions on Components, Packaging and Manufacturing Technology, vol. 11, no. 8, pp. 1177–1186, Aug. 2021, doi: 10.1109/TCPMT.2021.3091555.

3.10 ⑩要素技術統合向けインテグレーション

3.10.1 はじめに

窒化ガリウム高電子移動度トランジスタ(GaN HEMT)は大きな絶縁耐圧、高キャリア密度といった優れた特性を活かし、高周波高出力送信増幅器への応用が期待されている。しかしながら、高周波化を実現するためにゲート電極を微細化すると、ショートチャネル効果によりドレインリーク電流(I_{off})が増大する。 I_{off} は増幅器の効率を低下させることに加え、オン状態・オフ状態におけるデバイスの破壊耐圧を低下させるため、動作電圧向上の妨げとなる[1]。

I_{off} を低減するためには、チャネルであるGaNの薄層化が有効であるが、現在主流のSiC基板上HEMTでは、基板とGaNとの格子定数差が大きく、バッファ層やチャネル成長初期における転位が避けられない。このため、チャネルを薄層化すると転位に起因した点欠陥の影響が顕著となり、電流コラプスが増大してしまう[2]。それに対し、本研究で開発を進めているAlN基板上HEMTでは、AlN基板とGaNとの格子定数差が小さいため、結晶中の転位を低減でき、チャネルを薄くした際の電流コラプスを抑制できると期待される。

平成31年度は、従来のSiC基板上HEMTよりもチャネルを薄層化したAlN基板上HEMTを試作し、 I_{off} 低減による高耐圧化、電流コラプスの低減により、大電流化・高電圧動作の両立を狙った。その結果、AlN基板上HEMTの70Vの動作電圧(X帯)において15.2W/mmの P_{sat} が得られ、SiC基板上HEMTに対する優位性を示した。

令和2年度および令和3年度においては、AlN基板上HEMTの特性向上を行うためのエピタキシャル結晶構造、ゲート構造、キャリア変調構造、ダイヤモンドによる放熱構造の検討を行った。本項では、それぞれで開発した要素技術を統合することで、高い電流密度と高い絶縁破壊電圧を両立した高出力トランジスタの実現を目指した。

3.10.2 技術統合に向けた課題検討とデバイス試作プロセスの確立

3.10.2.1 CVDダイヤモンドをデバイス適用する際の課題

表面放熱に用いられるダイヤモンドの成膜方式としては“2.45GHzのマイクロ波を用いたプラズマCVD”が主流であるが[3]、以下の点が課題として挙げられる。

(1)ダイヤモンド成膜時の半導体層に対するダメージ

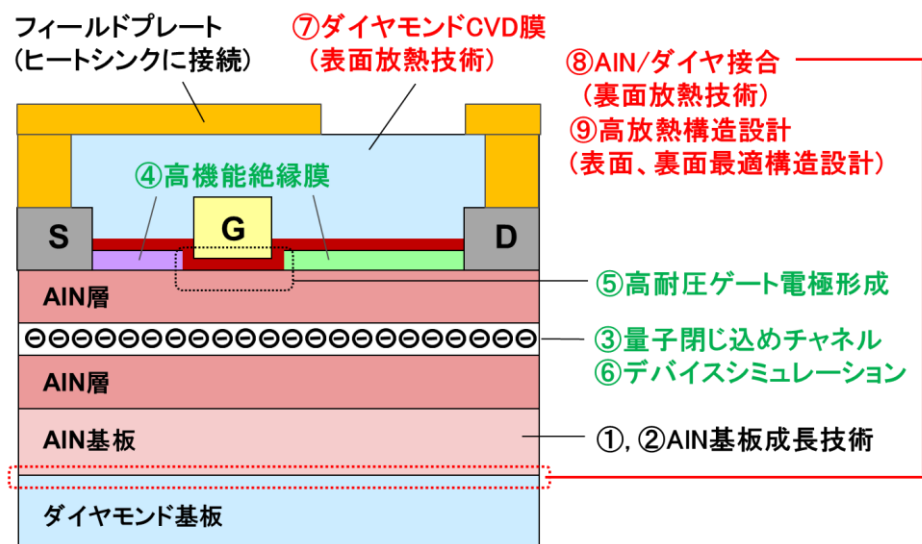
CVDダイヤモンドは成膜温度が750℃と高温であることに加え、成膜レートが0.1 $\mu\text{m/h}$ と非常に遅く、500nmの厚さを成膜するために5時間を要する[3]。また、原料ガスにメタン(CH_4)と水素(H_2)が用いられるため、GaNやAlGaNが下地の場合には、高温の H_2 によってエッチングされてしまう。そこで、半導体表面の保護膜として窒化シリコン(SiN)が一般的に用いられるが、SiNの熱伝導率は30 $\text{W/m}\cdot\text{K}$ と低く、ダイヤモンド(55 - 1300 W/mK [3, 4])による放熱効果を阻害してしまうことから、保護膜は可能な限り薄いことが望ましい。しかし、ダイヤモンドのCVD成膜がプラズマを用いる高エネルギープロセスであることから、本質的に保護膜の薄層化と低ダメージ化の両立が難しい。

(2)ダイヤモンド成膜時の熱履歴

750℃の成膜温度では、ゲートやソース・ドレイン電極が劣化するため、電極形成前にダイヤモンドを成膜する必要がある(ダイヤモンド先付け)。放熱効果を高めるためには厚膜のダイヤモンドが好ましいが、先付けの場合には、ゲート形成時にダイヤモンドをエッチングする必要があるため、開口部のアスペクト比を考慮する必要がある。厚膜化により開口部のアスペクト比が増加した際には、ゲート電極のカバレッジ不良や段切れが懸念される。なお、配線工程において、ダイヤモンド上に層間絶縁膜が形成されると、ダイヤモンドからヒートシンクに直接熱を逃がすこ

とができないため、効果的な放熱は期待できない。

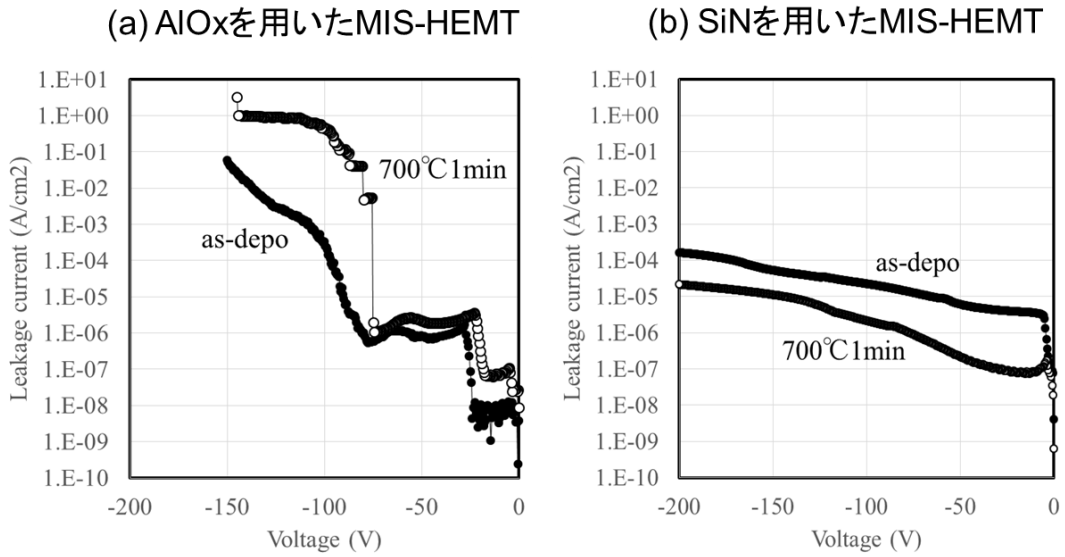
以上が課題となるが、CVDダイヤモンドの低温成膜が可能になると、高温H₂による窒化物半導体表面のエッチングを抑制でき、熱伝導率の低いSiNをダイヤモンド/エピ界面に用いる必要がなくなるため、(1)は解決できると考えられる。この点については、3.7 (⑦表面放熱技術)において、高融点フィラメントを用いて原料ガスを解離する“熱フィラメントCVD”にて検証を行ったので、詳細はそちらを参照されたい。また、成膜温度を600℃以下に低減できた際には、ソース・ドレイン電極に用いられるAlの融点(660℃)に起因した電極荒れを抑制することができる。ゲート電極については、絶縁膜を用いたMIS(Metal-Insulator-Semiconductor : MIS)構造とすることで耐熱性が向上し、絶縁膜の結晶化温度までダイヤモンドの成膜温度を許容することができる。よって(2)は解決し、電極上へのダイヤモンド成膜(ダイヤモンド後付け)を実現できる。その際には、図⑩-2-1に示すように、ダイヤモンド上にソースフィールドプレートを形成した後に、ヒートシンクを直接接続する構造が可能となるため、効果的な放熱が期待できる。図⑩-2-1は我々が目指す最終デバイス構造の一例であるが、この構造は“ダイヤモンド後付け”を想定しており、この構造を実現するためには、ダイヤモンド成膜時の熱履歴に耐え得る“高耐圧絶縁ゲート形成技術(実施項目④)”が必須となる。



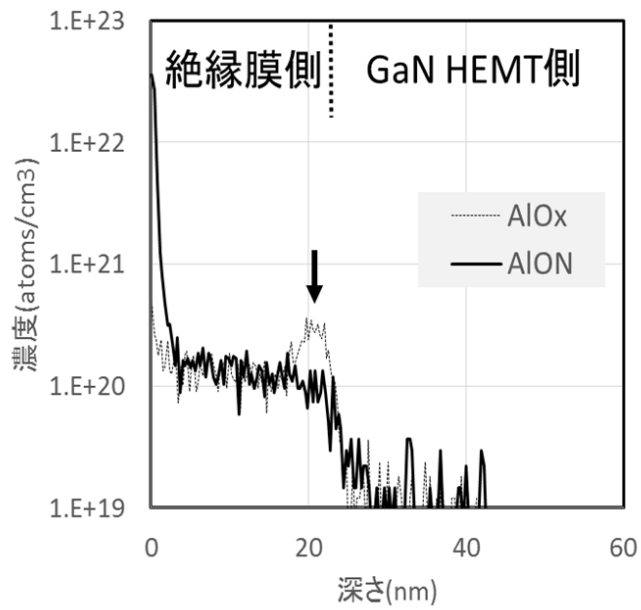
図⑩-2-1 本研究で目指す最終デバイス構造の一例

3.10.2.2 高耐圧絶縁膜の課題

高耐圧絶縁膜の課題を抽出するため、3.4 (④高耐圧絶縁ゲート形成技術)において、MIS-HEMTの熱処理前後における破壊電界強度を検証した結果を図⑩-2-2に示す。この結果から、AlO膜を用いたMIS-HEMTでは、ダイヤモンド成膜を想定した窒素雰囲気中700℃, 1min.の熱処理後によって、破壊電界強度が低下することがわかった。一方、SiN膜を用いたMIS-HEMTでは、熱処理による破壊電界強度の低下が抑制されており、高温でのダイヤモンド成膜に適合できる可能性が高いことがわかった。さらに、絶縁膜の成膜初期層にAlONを適用したAlON/SiN膜においては、図⑩-2-3に示すように絶縁膜/GaNにおける残留不純物(カーボン: C)が低下するとともに界面準位の低減が確認されている(3.5 ⑤高機能絶縁膜形成技術)。これは、AlONの成膜に使用するNH₃がプラズマ化した際のHラジカルが、GaN HEMTの最表面に付着していたCを除去した効果と考えられ、NH₃プラズマによる前処理が絶縁膜/GaN界面の改質に有効であることを明らかにした。



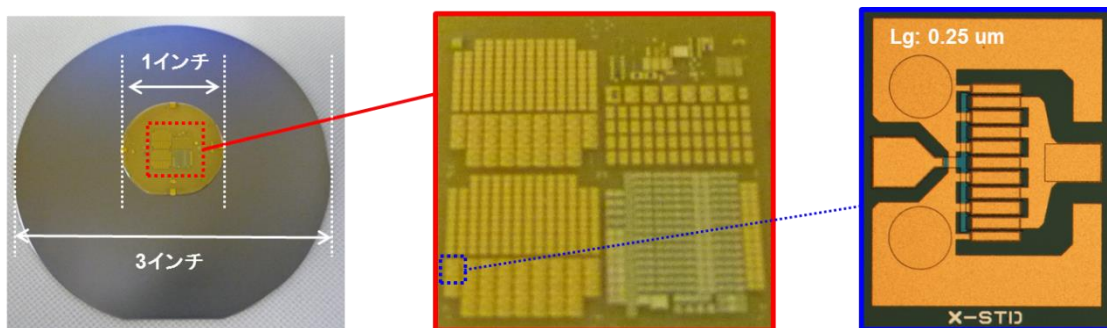
図⑩-2-2 AIO及びSiNの700°C, 1min. 熱処理前後のリーク特性(図④-3-4, 10に再掲)



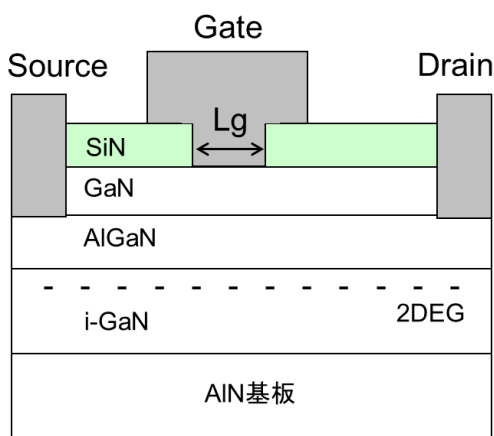
図⑩-2-3 AIO及びAIONとGaN HEMTのCのSIMS分析結果(図④-3-9に再掲)

3.10.2.3 1インチAlN基板上デバイスの試作

最終技術統合に必要な1インチAlN基板上でのデバイス作製を実現するため、1インチウェハプロセスを確立し、トランジスタ動作を確認した。実際に試作した1インチAlN上GaN-HEMTの表面写真を図⑩-2-4に示す。1インチウェハの中心に1ショット分のトランジスタTEGをEB描画にて試作した。図⑩-2-5に試作したデバイスの断面図を示す。デバイスのゲート長(L_g)は $0.25\ \mu\text{m}$ であり、X帯での動作を想定した諸元となっている。デバイス試作に使用したAlGaN/GaN HEMT構造は、実施項目③にて成長した結晶(n-GaN: 2 nm/n-i-Al_{0.31}Ga_{0.69}N: 11 nm /GaNチャネル: 200 nm /Si sub.)であり、as-grown状態での移動度(μ)、キャリア密度(N_s)、シート抵抗(R_{sh})をホール効果測定にて評価した結果を表⑩-2-1に示す。SiC上の結晶と比較すると、移動度が1/2以下と非常に低い値を示しているが、これはGaNチャネル中に不純物であるCが $3 \times 10^{17}\ \text{cm}^{-3}$ 程度取り込まれた影響と考えられる。AlN上に格子定数差の大きいGaNを平坦成長するには、表面平坦性の観点からV/III比を上げることが困難であり、CがGaN中に残留しやすい成長環境となる。この点は、AlN基板上GaN成長の本質的な課題であるため、実施項目③にて改善技術の開発を行った。



図⑩-2-4 1インチAlN基板上に作製したGaN-HEMTデバイスの表面写真



図⑩-2-5 試作したデバイスの断面図

表⑩-2-1 AlGaIn/GaN HEMT 構造のホール効果測定結果

サンプル	μ (cm^2/Vs)	N_s ($/\text{cm}^3$)	Rsh (Ω/\square)
GaN HEMT/ AlN sub.	857	7.3×10^{12}	995
GaN HEMT/ SiC sub.	1870	4.9×10^{12}	689

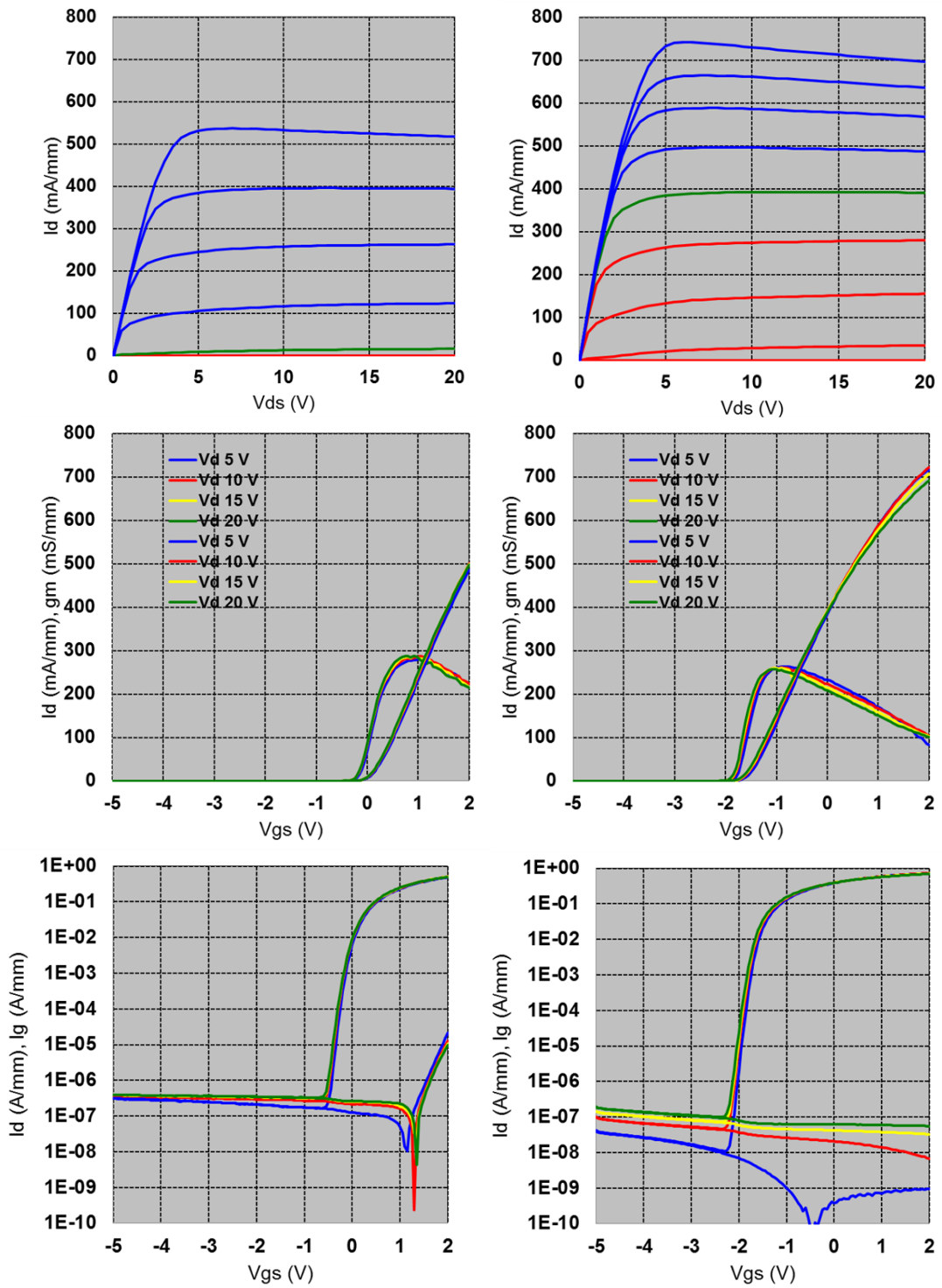
表⑩-2-2および図⑩-2-6に試作したデバイスのDC特性を示す。AlN基板上的GaN-HEMTは、移動度が低くシート抵抗(R_{sh})が高いため、SiC基板上と比較して最大ドレイン電流(I_{dmax})は低いものの、ピンチオフ特性は良好である。このことから、1インチウェハプロセスにおいても、 $L_g: 0.25 \mu\text{m}$ の微細ゲートが安定して形成されていることがわかる。また、ソース・ドレイン電極のオーミック特性については、コンタクト抵抗(R_c): 0.23 OHMmm 、コンタクト抵抗率(ρ_c) $5.9 \times 10^{-7} \text{ OHMcm}^2$ と、SiC基板上よりも良好なオーミック特性が得られている。デバイスのオン抵抗(R_{on})が $5.23 \text{ ohm} \cdot \text{mm}$ とSiC基板上(4.37 OHMmm)よりも高いのは、 I_{dmax} の差からもわかるように、アクセス領域の R_{sh} が高いためである。AlN品の閾値電圧(V_{th})がSiC品よりも浅いのは、AlN品のAlGaIn/GaN HEMT構造では、ゲートチャネル間距離が 13 nm と、SiC品の 22 nm に対して距離が短いためと考えられる。AlN品の相互コンダクタンス(g_{mmax})が大きい点も、ゲートチャネル間距離が影響していると考えられる。以上の結果は、今回試作に用いたAlGaIn/GaN HEMT結晶の構造や品質を反映した妥当なデータであり、1インチウェハプロセスの安定性を示している。

表⑩-2-2 試作したGaN HEMTのトランジスタパラメータ

サンプル	I_{dmax} (mA/mm)	g_{mmax} (mS/mm)	R_{on} (Ωmm)	V_{th} (V)	Rsh (Ω/\square)	R_c (Ωmm)	ρ_c (Ωcm^2)
GaN HEMT/ AlN sub.	501	287	5.23	-0.21	918	0.23	5.9×10^{-7}
GaN HEMT/ SiC sub.	722	261	4.37	-1.85	508	0.35	2.4×10^{-6}

GaN HEMT/AlN sub.

GaN HEMT/SiC sub.

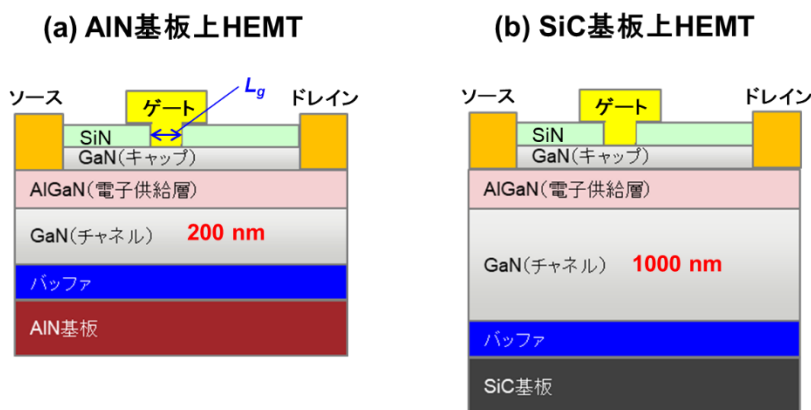


図⑩-2-6 試作した GaN-HEMT の DC 特性

3.10.3 薄いGaNチャネル層を有するAlN基板上HEMTの試作と評価

3.10.3.1 AlN基板上およびSiC基板上HEMTのDC特性の比較

図⑩-3-1(a)に試作したAlN基板上HEMTの断面図を示す。従来のSiC基板上HEMT(b)のチャネル厚が1000 nmであるのに対し、AlN基板上HEMTでは200 nmまでチャネルを薄層化した。 I_{dmax} 、オフ耐圧(V_{BD})、及び出力特性の評価ではX帯での動作を想定して L_g に0.25 μm を用いて評価を行った。一方、 I_{off} と電流コラプスについては、ショートチャネル効果が強い条件でAlN基板の優位性を検証するため、 L_g はさらに微細な0.1 μm で評価を行った。また、電子供給層であるAlGaNのAl組成は、表⑩-3-1に示すように評価ごとに異なる値を用いた。



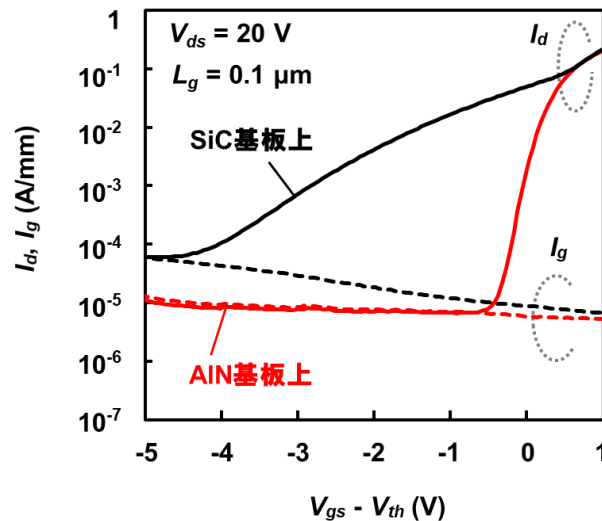
図⑩-3-1 試作した2種類のGaN-HEMTのデバイス構造。
(a) GaNチャネル層を薄層化した構造、(b) 従来構造

表⑩-3-1 各評価における L_g と電子供給層のAl組成

	I_{off} 電流コラプス	I_{dmax} , V_{BD}	出力特性
L_g (μm)	0.1	0.25	0.25
AlGaNのAl組成 (%)	AlN: 31 SiC: 31	AlN: 31, 60 SiC: 17, 22, 40, 50	AlN: 31 SiC: 22 (従来X帯)

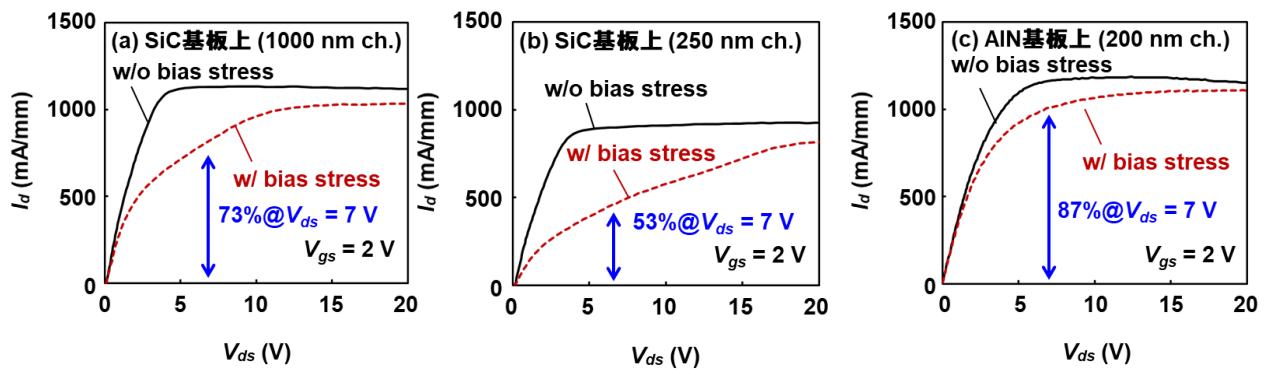
まず、図⑩-3-2に試作したAlN基板上HEMTのドレイン電流-ゲート電圧(I_d - V_{gs})特性を示す。 L_g は0.1 μm 、AlGaNのAl組成は31%、ドレイン電圧(V_{ds})は20 Vとし、従来のSiC基板上HEMTとピンチオフ特性を比較した。 V_{gs} を閾値電圧(V_{th})よりもマイナス方向に掃引し、オフした際のドレインリーク電流(I_{off})を比較するため、横軸は“ $V_{gs} - V_{th}$ ”とし、 V_{th} を基準として V_{gs} を変化させた。この結果から、チャネルが厚いSiC基板上HEMTでは、 V_{gs} が V_{th} よりも0.5 V程度深くなると、 I_{off} の影響により I_d カーブの傾きが緩やかになり、ピンチオフ特性が悪いことがわかる。これは、ショートチャネル効果により、チャネル及びバッファ内にゲート空乏層を迂回する電流パスが存在していることを示唆している。一方、チャネルが薄いAlN基板上HEMTでは、SiC基板上HEMTとは対照的に、オフ状態において I_d が急峻に低下しており、良好なピンチオフ特性を示している。これは、チャネルを薄層化したことで、ゲート空乏層を迂回する電流パスが遮断された効果と考えられる[1]。また、 I_{off} の絶対値についても、AlN基板上HEMTでは、 10^{-6} A/mmオーダーと低い値が得られている。

基地局用GaN-HEMTの製造においては、デバイスの長期信頼性を確保する観点から、 I_{off} やゲートリーク電流(I_g)は 10^{-6} A/mmオーダーに制御する必要があるため[1, 5]、AlN基板は信頼性確保の観点からも有望である。なお、AlN基板上HEMTにおいて、 I_{off} だけでなく I_g が低減しているのは、チャンネルが薄いことに加え、基板であるAlNのバンドギャップが広いことから、AlNがバックバリアとして機能し、HEMT結晶の表面側(GaNキャップ、電子供給層)において、電界が緩和された影響と考えられる。



図⑩-3-2 ピンチオフ特性の比較($L_g = 0.1 \mu m$)

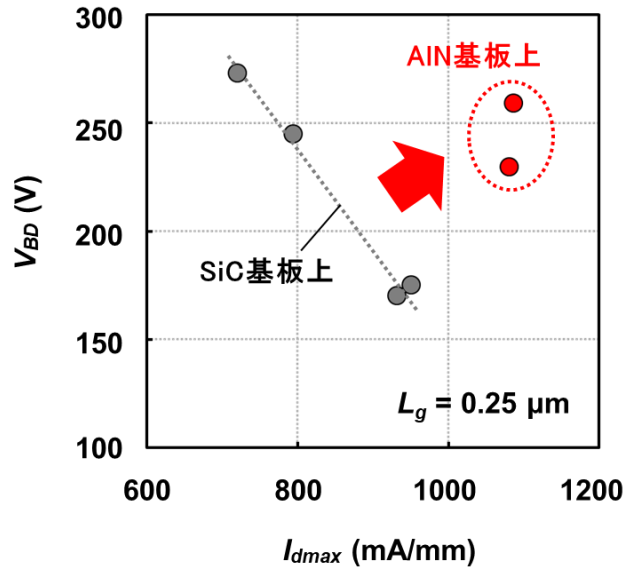
次に、パルスI-Vにて I_d - V_{ds} 測定を行い、電流コラプスを評価した結果を図⑩-3-3に示す。評価サンプルは、 I_d - V_{gs} 特性(図⑩-3-2)を測定した2種類のデバイスに加え、SiC基板上HEMTにおいてチャンネルを250 nmまで薄層化したデバイス(図⑩-3-3(b))をリファレンスとして用いた。パルス幅は1 μ sec.、パルス周期を1 msec.とし、バイアスストレス($V_{gs} = -5$ V, $V_{ds} = 30$ V)の印加前後で I_d - V_{ds} 測定($V_{gs} = 2$ V)を行い、Knee電圧近傍($V_{ds} = 7$ V)における I_d の減少率(I_d w/ bias stress/ I_d w/o bias stress)から、電流コラプスを定量化した。まず、従来のSiC基板上HEMTでは、チャンネルを1000 nm(図⑩-3-3(a))から250 nm(図⑩-3-3(b))に薄層化すると、バイアスストレスにより I_d が顕著に低下し、電流コラプスが增大していることがわかる。これは、SiC基板上HEMTでは、基板とGaNとの格子定数差が大きく、バッファ層やチャンネル成長初期における転位が避けられないため、それらに起因した点欠陥の影響がチャンネル薄層化により顕著になったものと考えられる[2]。それに対し、AlN基板上HEMT(図⑩-3-3(c))ではチャンネルが200 nmと、SiC基板上のリファレンス(図⑩-3-3(b))よりも薄層であるにもかかわらず、 I_d の減少率は87%と、チャンネルが厚い従来のSiC基板上HEMT(図⑩-3-3(a))よりもコラプスが抑制されている。これは、AlN基板により結晶中の転位を低減できた効果に加え、HEMT結晶の表面モフォロジーが転位低減により改善し、GaNキャップや電子供給層など、結晶の表面側における電子トラップが低減した効果と考えられる[2]。以上の結果から、AlN基板を用いたチャンネルの薄層化は、 I_{off} と電流コラプスをともに低減でき、従来のSiC基板上HEMTよりも大電流化・高電圧動作を実現できる可能性が得られた。



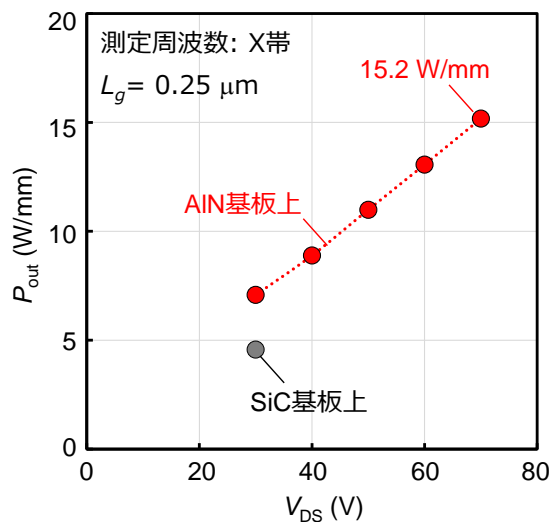
図⑩-3-3 GaNチャネル層の薄層化による電流コラプスの比較 ($L_g = 0.1 \mu\text{m}$)

そこで、HEMTの電子供給層であるAlGaNのAl組成を表⑩-3-1に示すように変化させ、最大ドレイン電流 (I_{dmax}) とオフ耐圧 (V_{BD}) の関係を基板間で比較した結果を図⑩-3-4に示す。X帯での動作を想定し、 L_g は $0.25 \mu\text{m}$ で評価を行った。SiC基板上HEMTでは、Al組成を17%から50%まで上昇させることで、 I_{dmax} の増加と、それともなう V_{BD} の低下が確認された。HEMT構造では、AlGaNのAl組成を上げることで、キャリアである二次元電子ガス (2DEG) が増加し、電子供給層内の電界強度が強くなるため、得られた傾向は妥当である。一方、 I_{dmax} と V_{BD} の関係を基板間で比較すると、SiC品のプロットから得られる直線に対し、AlN品のプロットは上に位置しており、大電流化・高耐圧化の観点でSiC品よりも優位であることがわかる。図⑩-3-2に示した I_d - V_{gs} 特性において、チャネルを薄層化したAlN基板上HEMTでは、 I_{off} に加え、 I_g も低減しており、AlN基板がバックバリアとして機能し、電子供給層内の電界を緩和している可能性が示唆された。よって、AlN基板上HEMTでは、Al組成を上げて2DEG密度を増加させた際も、電子供給層内の電界が緩和され、SiC基板上HEMTよりも耐圧が向上すると考えられる。そのため、大電流化と高電圧動作の両立が期待できる。

図⑩-3-5は、AlN基板上HEMTのパワー特性をX帯で評価し、飽和出力密度 (P_{sat}) を動作電圧に対してプロットしたグラフである。従来のSiC基板上HEMTは、図⑩-3-4に示した I_{dmax} と V_{BD} の関係から、出力向上に対して最適なAl組成 (AlGaN) は22%と判断し、リファレンスとした (AlN基板上のAl組成は31%)。 L_g はともに $0.25 \mu\text{m}$ である。この結果から、AlN品はSiC品よりも P_{sat} が高く、動作電圧が高い程、その差は顕著である。これは、図⑩-3-3に示した電流コラプスの影響と考えられ、結晶中の転位が少なくコラプスが小さいAlN品は、動作電圧に対して P_{sat} が直線的に増加し、70 Vの動作電圧において15.2 W/mmの出力が得られた。一方、コラプスが大きいSiC品では、動作電圧を上げても P_{sat} の伸びが小さく、最終的には動作電圧を70 Vに上げた際にデバイスが破壊した。図⑩-3-4 (I_{dmax} と V_{BD} の関係) に示すように、高耐圧化の観点からもAlN基板上HEMTは有利であり、AlGaNのAl組成を従来のSiC基板上HEMTより高くしても、高電圧動作が可能であることを明らかとした。



図⑩-3-4 最大ドレイン電流とオフ耐圧の関係 ($L_g = 0.25 \mu\text{m}$)



図⑩-3-5 X帯における飽和出力密度の動作電圧依存性 ($L_g = 0.25 \mu\text{m}$)

3.10.3.2 統合技術の選定およびデバイス構造の検討

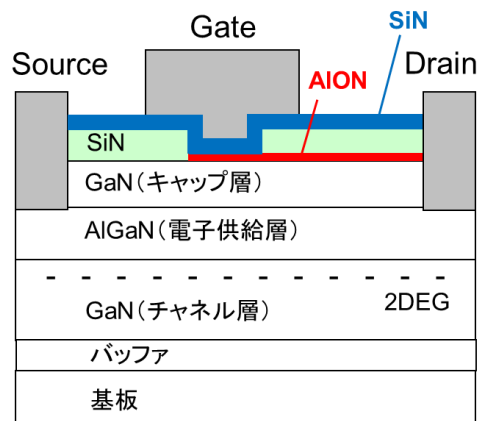
表⑩-3-2に、実施項目④、⑤に関するこれまでの検証結果(3.4.3, 3.5.3)を示す。これらの評価には、as-epi段階のシート抵抗 (R_{sh}) が1100 ohm/sq. 前後のSiC基板上HEMTを用いた。まず、絶縁膜の耐熱性に関しては、積層SiN/AlON膜をゲート絶縁膜として用いることで、ダイヤモンド成膜時の熱履歴による V_{BD} の劣化を抑制できる。一方、単層AlO膜では、熱履歴による結晶化により粒界起因のリークパスが生成するため[6]、ゲートリーク電流が増大し、 V_{BD} が低下してしまう。また、Low-k膜に関しては、スピコート成膜後の焼成温度は一般的に400°Cが上限であるため[7]、それ以上の温度では、膜中の有機基が脱離し、Siのダングリングボンドに起因した空孔型欠陥が生成してしまう。したがって、Low-k成膜後に高い R_{sh} が得られたとしても、ダイヤモンド成膜後には、ダングリングボンドに起因した正電荷が膜中に生成し、 R_{sh} が大幅に低下すると懸念される。それに対し、SiNとAlONの組み合わせでは、高い耐熱性により、ダイヤモンド成膜による固定電荷の変動を抑制できることに加え、伝導帯の持ち下げ効果が両者で異なるため、GS間、GD間

において非対称のキャリア密度を実現することが可能である。3. 5. 3の図⑤-3-10に示したように、実際に試作したデバイスのTLM評価から、SiNを成膜したGS間では R_{sh} が379 ohm/sq.、AlONを成膜したGD間では561 ohm/sq. と、GD間の R_{sh} に対してGS間が約50%高く、目標値(10%)を大きく上回る変調効果を実現することができた。更に、積層SiN/AlON膜では、膜中、及び絶縁膜/半導体界面における電子トラップを低減できるため、電流コラプスの抑制も可能である(3. 4. 4)。

以上の結果から、絶縁膜技術を統合したデバイス構造の一例として、図⑩-3-6に示す“SiN/AlONハイブリッド構造”を考案した。この構造では、GS間に単層SiN膜、ゲート直下、及びGD間に積層SiN/AlON膜を配置することで、高耐压化とキャリア変調を両立できると期待される。

表⑩-3-2 絶縁膜技術の検証結果(実施項目④, ⑤)

	SiN	AlO	AlON	Low-k
耐熱性	○	×	○	×
シート抵抗	66%減	50%減	50%減	15%増
電流コラプス	○	○	○	×



図⑩-3-6 絶縁膜技術を統合したデバイス構造の一例

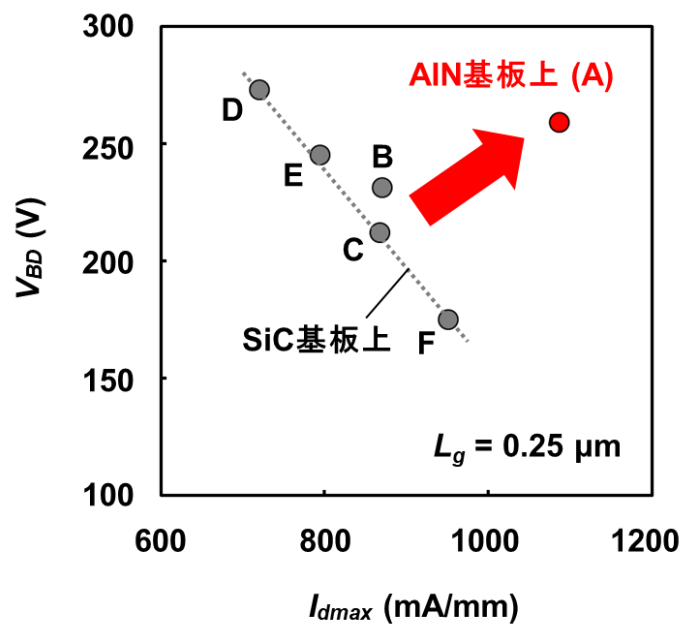
3.10.4 AlN基板上HEMTへの絶縁膜技術の適用と構造優位性の検証

3.10.4.1 AlN基板上HEMTにおける高耐圧化メカニズムの検証

図⑩-4-1は、HEMTのキャリア密度を変化させ、最大ドレイン電流(I_{dmax})とオフ耐圧(V_{BD})の関係を基板間で比較した結果である。SiC基板上HEMT(sample B, C, D, E, F)では、表⑩-4-1に示した条件でキャリア密度を $6.6 \times 10^{12} \text{ cm}^{-2}$ から $1.1 \times 10^{13} \text{ cm}^{-2}$ まで上昇させることで、 I_{dmax} の増加と、それともなう V_{BD} の低下が確認された。一方、 I_{dmax} と V_{BD} の関係を基板間で比較すると、SiC品のプロットから得られる直線に対し、キャリア密度 $1.1 \times 10^{13} \text{ cm}^{-2}$ のAlN品(sample A)はプロットが上に位置しており、大電流化・高耐圧化の観点でSiC品よりも優位であることが明らかとなった。

このメカニズムを検証するため、Al組成30%のAlGaInバッファを用いたAlN基板上HEMTと同じ構造において、チャンネルを薄層化した際のバンドプロファイルをシミュレーションした結果を図⑩-4-2に示す。シミュレーションにおいては、 V_{th} を基準として変化させた V_{gs} ($V_{gs} - V_{th}$)を-3 V、 V_{ds} を20 Vとし、GaNチャンネルの厚さを200 nm、1000 nmと変化させ、ピンチオフ状態での電位分布を計算した。図⑩-4-2(a), (b)のゲート直下におけるバンドプロファイルを(c)、チャンネル内における横方向の電界強度分布を(d)に示す。この結果から、チャンネルを薄膜化すると、電子供給層における電位の傾きが緩やかになり、電界が緩和されていることがわかる。これにより、電子供給層における電子のトンネルを抑制でき、ゲートリーク電流を低減できると考えられる。また、図⑩-4-2(d)からは、ゲート端およびフィールドプレート端における電界強度がチャンネルの薄膜化によって緩和されていることがわかる。このことから、チャンネルを薄層化したAlN基板上HEMTでは、高Al組成のAlGaInバッファがバックバリアとして機能し、電子供給層やチャンネル内の電界緩和に寄与することで、図⑩-4-1に示すように耐圧が向上したと考えられる[8]。

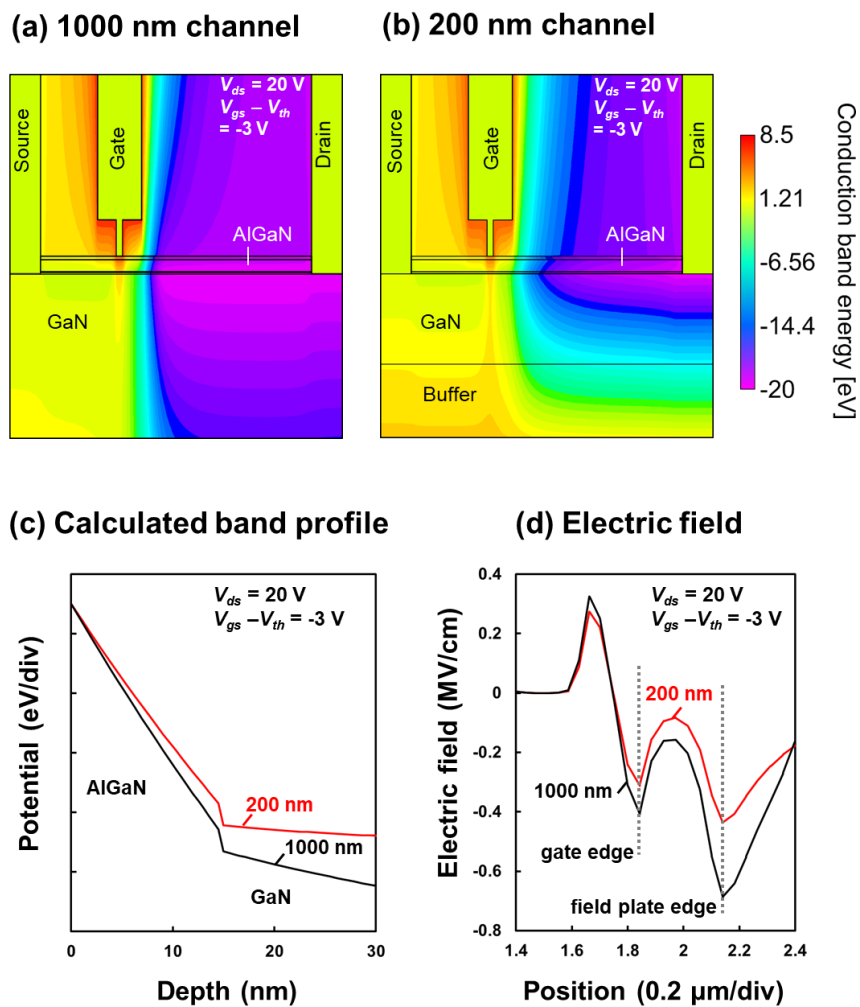
そこで本研究では、電界緩和構造として高Al組成AlGaInバッファ(30%)、200 nmチャンネルを適用したAlN基板上HEMTをベースとし、“高耐圧絶縁膜(実施項目④)”にて開発を進めてきたMIS構造を適用することで、更なる大電流化・高耐圧化について検証を行った。



図⑩-4-1 種々のエピ構造の最大ドレイン電流とオフ耐圧の関係

表⑩-4-1 種々のAlGaIn/GaN HEMTのエピ構造

Sample	A	B	C	D	E	F
Substrate	AlN	SiC	SiC	SiC	SiC	SiC
Al composition of AlGaIn buffer	30%	5%	5%	5%	5%	5%
Thickness of GaN channel (nm)	200	200	1000	1000	1000	1000
Al composition of AlGaIn barrier	31%	31%	31%	17%	22%	40%
Carrier density ($\times 10^{13} \text{ cm}^{-2}$)	1.13	0.83	0.82	0.66	0.74	1.15



図⑩-4-2 AlGaIn/GaN HEMTのシミュレーション結果から得られたバンドプロファイル

3.10.4.2 AlN基板上HEMTに対するMISおよびキャリア変調構造の適用

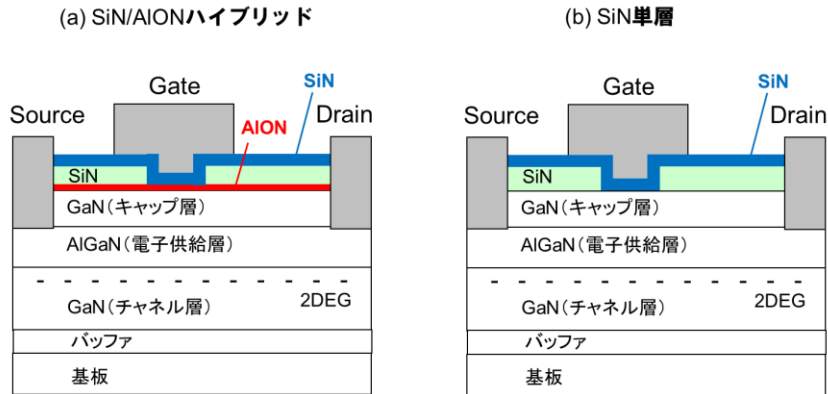
図⑩-4-3に試作したAlN基板上MIS-HEMTの断面図を示す。デバイス試作においては、まず、オーミック形成領域のGaNキャップを除去した後、Ti/Alの積層構造から成るオーミック電極をAlGaIn上に形成した。その後、図⑩-4-3(a)に示すSiN/AlONハイブリッド構造では、2 nmのAlONをALDにて形成した後、パッシベーション膜として、SiNをAlON上に40 nm形成した。なお、図⑩-4-3(b)に示すSiN単層構造においては、オーミック電極が形成されたエピ上に、直接SiNを形成した。次に、ゲート形成領域のSiNをドライエッチングにて除去した後、ゲート絶縁膜としてSiNを8 nm形成した。そして、Ni/Auの積層構造から成るゲート電極を、開口部に形成した。開口部のゲート長(L_g)は0.25 μm とした。図⑩-4-4に、 I_{dmax} とオフ耐圧(V_{BD})の関係を比較した結果を示す。従来のショットキーゲート構造に対し、SiN/AlONハイブリッドMIS構造は I_{dmax} 、 V_{BD} ともに向上しており、大電流化・高耐圧化が見込めることが明らかとなった。これは、3.4.5で述べたように、ショットキーゲートの最大ドレイン電流(I_{dmax})は1053 mA/mm程度(@ $V_{\text{gs}}=2\text{ V}$)であるのに対し、MISゲートは $V_{\text{gs}}=3\text{ V}$ において、1297 mA/mm(SiN/AlONハイブリッド)~1348 mA/mm(SiN単層)と、順方向に振り込むことで最大ドレイン電流が20~30%程度向上することに加え、SiN/AlONハイブリッドMIS構造では、ゲート直下にAlONが存在するため、ゲート開口プロセス(ドライエッチング)に起因したシート抵抗上昇を抑制できた効果と考えられる。一方、SiN/AlONハイブリッドMIS構造において、耐圧が向上している点については、AlONがキャリア変調膜として機能した効果と考えられる。

次に、パルスI-Vにて I_d - V_{ds} 測定を行い、電流コラプスを評価した結果を図⑩-4-5に示す。評価サンプルは、図⑩-4-3に示す2種類のMIS構造に加え、リファレンスとしてショットキーゲート構造についても評価を行った。パルス幅は1 μsec 、パルス周期を1 msecとし、バイアスストレス($V_{\text{gs}} = -5\text{ V}$, $V_{\text{ds}} = 30\text{ V}$)の印加前後で I_d - V_{ds} 測定を行い、Knee電圧近傍($V_{\text{ds}} = 5\text{ V}$)における I_d の減少率(I_d w/ bias stress/ I_d w/o bias stress)から、電流コラプスを定量化した。この結果から、MIS構造を適用したデバイスでは、バイアスストレスにより I_d が顕著に低下し、電流コラプスがショットキーゲートよりも増大していることがわかる。これは、ゲート電極とエピの間に絶縁膜が挿入されたことで、絶縁膜/半導体界面における電子トラップに加え、絶縁膜中に存在するバルクトラップが増加した影響と考えられ、ショットキーゲートよりも電流コラプスが增加するのは妥当な結果である。MIS構造で比較すると、SiN/AlONハイブリッドMISよりも、SiN単層MISにおいて電流コラプスが抑制されており、これは、3.4.5の表④-5-2で示したシート抵抗差の影響と考えられる。SiN/AlONハイブリッドMISでは、AlONがキャリア変調膜として機能することで、2DEG密度が低下し、従来構造よりもコラプスの影響を受けやすくなったためと考えられる。2DEG密度が低いHEMTにおいては、同じ数の電子がトラップされたとしても、もともと存在していた電子に対する捕獲電子の割合が、2DEG密度が高いHEMTと比べて大きいため、 I_d 低下が顕著になる。3.5.5の図⑤-5-3で示したコラプス評価結果(図⑩-4-7)からも、GD間に形成したAlONはコラプス改善効果が見られるため、絶縁膜/半導体界面の電子トラップがAlONにより増加した可能性は低いと考えられる。図⑩-4-8に示すように、AlONキャリア変調構造では、動作電圧を上げた際の飽和出力密度(P_{sat})も従来構造に比べて約15%向上しており、コラプス低減が出力向上に寄与していることがわかる。しかしながら、SiN/AlONハイブリッドMIS構造においては、表⑩-4-2に示すように、バイアスストレス印加後の I_d がショットキーゲートよりも低いため、出力低下が懸念される。

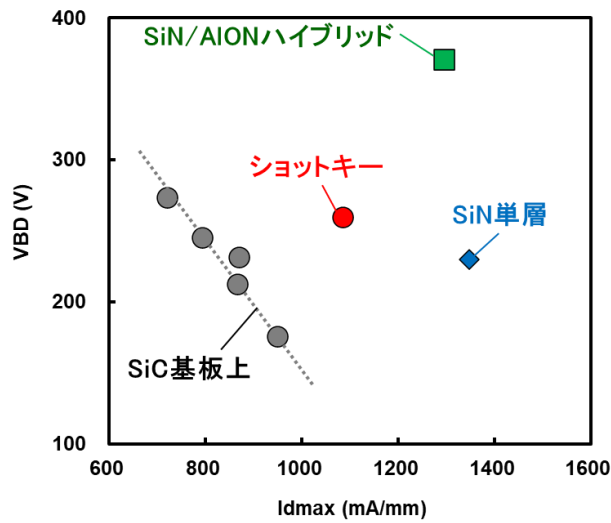
そこで、AlN基板上MIS-HEMTのX帯における出力特性を評価した結果を図⑩-4-9に、得られた P_{sat} をバイアスストレス印加後の I_d に対してプロットした結果を図⑩-4-10に示す。出力評価の動作電圧については、SiN単層MISの V_{BD} がショットキーゲートよりも低いことを考慮し、動作電圧40 Vにて評価を行った。この結果から、SiN/AlONハイブリッドMISは、コラプスによる I_d 低下に伴い、 P_{sat} がショットキーゲートよりも低下している。一方、SiN単層MISでは、コラプス後の I_d がショットキーゲートよりも高く、それに伴い出力が向上している。このことから、ゲート直下のMIS構造については、絶縁膜/半導体界面の電子トラップを抑制することに加え、高いキャリア密度を確保することが、コラプス抑制、出力向上の観点から重要であることが明らかとなった。

以上の結果から、令和3年度に統合するMIS構造として、“高機能絶縁膜形成技術(実施項目⑤)”

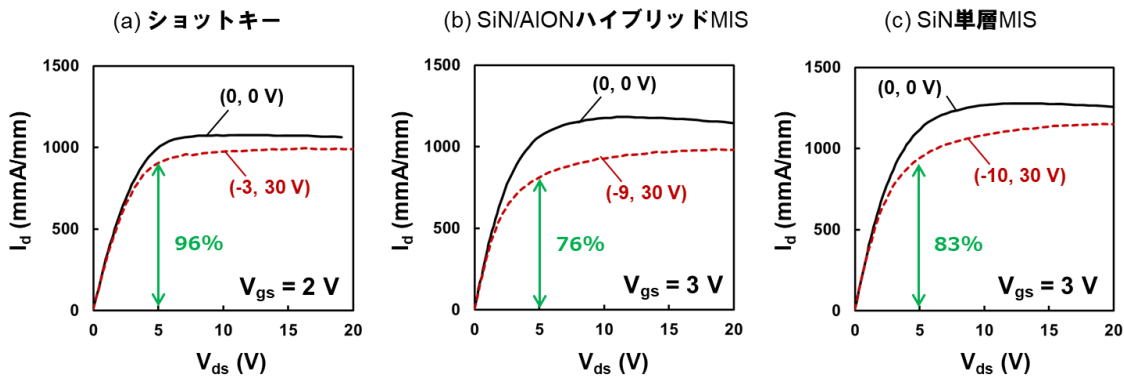
との技術統合も視野に入れ、図⑩-4-8に示す構造を考案した。この構造では、GS間、及びゲート直下に単層SiN膜、GD間に積層SiN/AION膜を配置することで、大電流化と高耐圧化を両立できると期待される。今後は、本構造をAlN基板上HEMTに適用し、①MIS構造による I_d 向上、②キャリア変調による V_{BD} の両立を実現し、技術統合による高出力化を実証する。



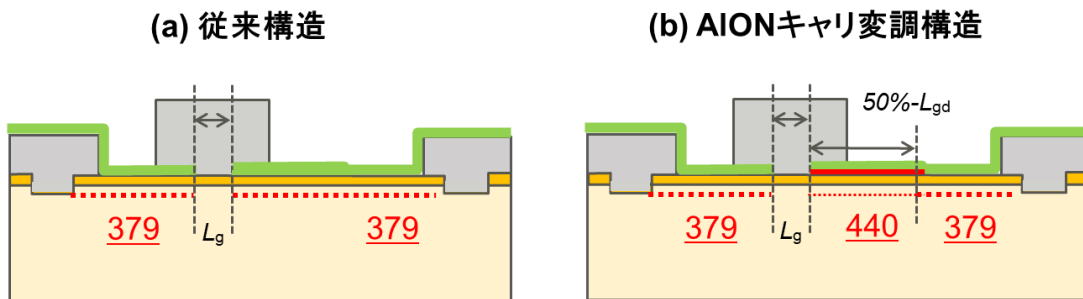
図⑩-4-3 試作した AlN 基板上 MIS-HEMT のデバイス構造 (図④-5-3 再掲)



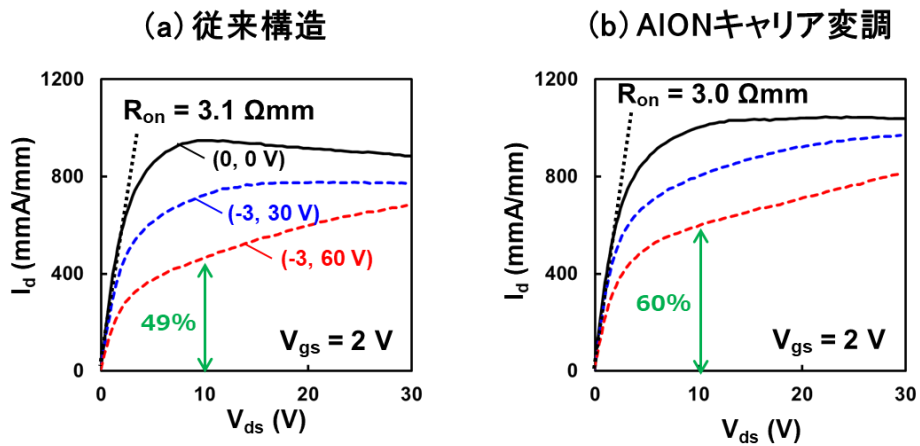
図⑩-4-4 最大ドレイン電流とオフ耐圧の関係 (図④-5-5 再掲)



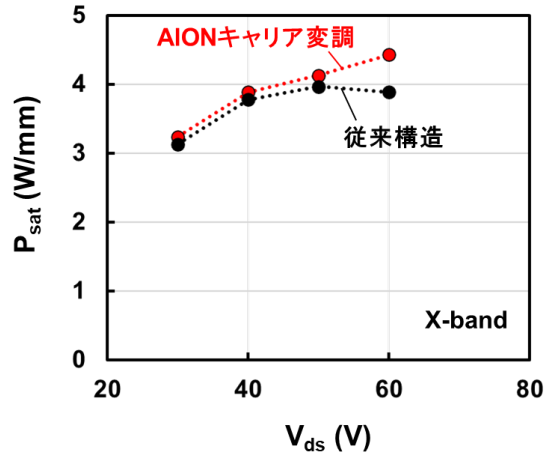
図⑩-4-5 パルスI-Vによる電流コラプス評価結果



図⑩-4-6 AIONキャリア変調を適用したデバイス構造(図⑤-5-2再掲)



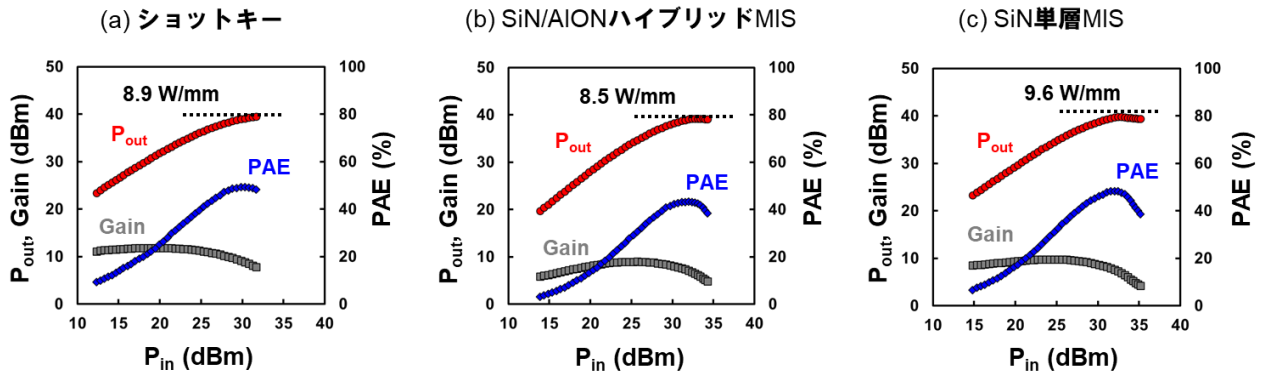
図⑩-4-7 AIONキャリア変調デバイスの電流コラプス評価結果(図⑤-5-3再掲)



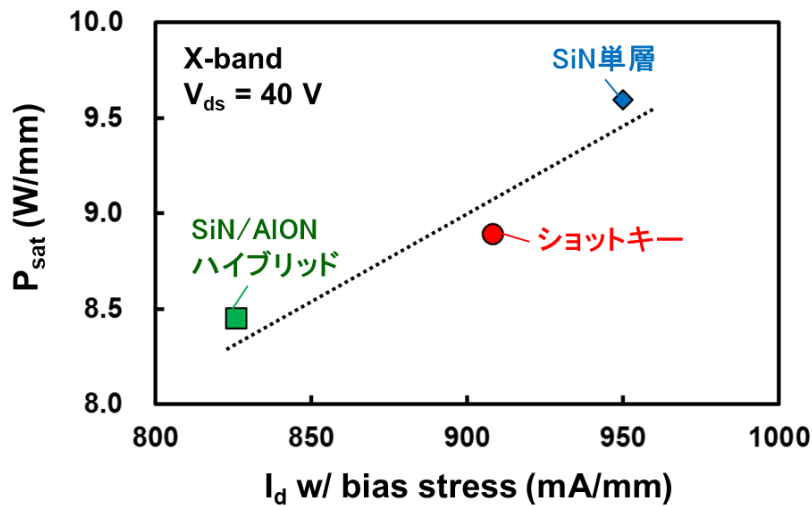
図⑩-4-8 AIONキャリア変調デバイスにおけるP_{sat}の動作電圧依存性

表⑩-4-2 AlN基板上MIS-HEMTの特性まとめ

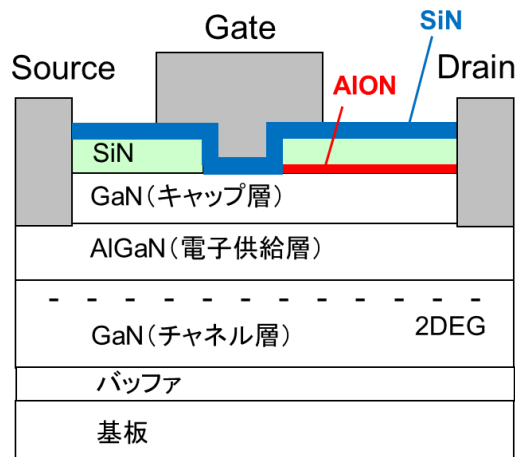
	Id w/o stress (mA/mm)	Id w/ 30V stress (mA/mm)	Psat@40V (W/mm)	VBD (V)
ショットキー	1009	908	8.9	260
SiN/AION	1065 ↑ ×1.06	826 ↓ ×0.91	8.5 ↓ ×0.96	370 ↑ ×1.42
SiN単層	1118 ↑ ×1.12	950 ↑ ×1.05	9.6 ↑ ×1.08	230 ↓ ×0.88



図⑩-4-9 AlN基板上MIS-HEMTの出力特性



図⑩-4-10 AlN基板上MIS-HEMTにおける P_{sat} と I_d の関係



図⑩-4-11 絶縁膜技術を統合したデバイス構造の候補となる模式図

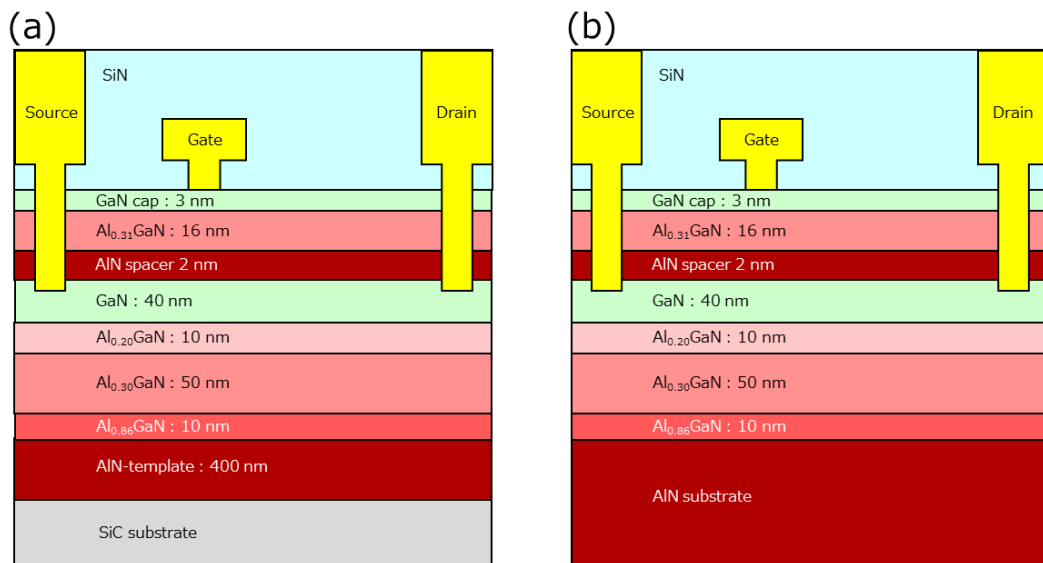
3.10.4.3 AlN基板上HEMTとSiC基板上HEMTの構造優位性の検討

GaN HEMTは高い絶縁破壊電界強度と移動度を持つため、高周波・高出力のデバイスとして期待されている。5Gなどの高いデータ容量を持つ通信技術や高分解能のレーダーを実現するために、より高い周波数のパワーアンプの利用が広まっている。しかし、周波数を高くすると電波は減衰してしまうため、通信及び探知距離が短くなってしまいう問題がある。そのため、より高出力のデバイスが求められている。近年、AlN/GaN/AlNの量子井戸型(Quantum Well: QW)-HEMTは従来のGaN HEMTに比べて高い耐圧を実現できることが報告されており、高出力化が期待できる。これまでは、このような薄いGaN層を用いたQW HEMTはSiやサファイア基板上へ厚いAlNテンプレート層を適用することで試作されてきた。しかし、SiやサファイアはAlNおよびGaNより格子定数が非常に大きいため、AlNテンプレート層上に格子不整合に起因した高密度の転位が形成される。さらに、これらの基板は熱伝導率が低いため、高出力動作時の自己発熱によって出力密度が大きく制限されてしまう。そこで、格子定数がより近く(~1%)熱伝導率の高いSiC基板上へ厚

いAlN層を製膜することでQW HEMT構造を試作した報告がされている。SiC基板上に作製することによって、QW HEMT構造の利点である高耐圧化に加えて、サファイア基板上よりも優れた特性が実現できることが報告されている。SiCとAlNとの格子不整合は、サファイアとAlNとの格子不整合(11%)と比較して小さいものの、1%の格子不整合では、転位の発生が避けられない。

AlN基板は 10^4 cm^{-2} の転位密度しか持たないため、デバイス領域では、転位フリーで作製できる可能性がある。また、AlN基板の熱伝導率は $\sim 340 \text{ W/m-K}$ とSiやサファイアと比べて非常に大きく、SiC(370 W/m-K)と同等であるため、デバイスの熱抵抗を下げるためにも有用である。そこで、本研究ではQW HEMTのさらなる特性向上のため、AlNの単結晶基板を用いてQW構造を試作した。

QW GaN HEMT構造は、4H-SiC及びAlN基板上へMOVPE (Metal Organic Vapour Phase Epitaxy: MOVPE)装置を用いて成長した。HEMT構造は、400 nmのAlNテンプレート層、それぞれ10 nm、50 nm、10 nmの $\text{Al}_{0.86}\text{GaN}$ 、 $\text{Al}_{0.30}\text{GaN}$ 、 $\text{Al}_{0.20}\text{GaN}$ からなるAlGaNバッファ層、40 nmのGaNチャンネル層、2 nmのAlNスペーサー層、16 nmの $\text{Al}_{0.31}\text{GaN}$ 供給層、3 nmのGaNキャップ層を順次成長することで形成した。AlGaNバッファ層は、GaNチャンネル層の電界緩和を行うことで、移動度を向上させるために適用している。表面パッシベーション膜として、 SiN_x 絶縁膜をプラズマCVD法にて製膜した。ソース及びドレインのオーミック電極としてTi/Alを用いた。また、ゲートとしてNi/Pd/Auのショットキー電極を形成した。作製したデバイス構造を図⑩-4-12に示す。AlN基板及びSiC基板の基板厚さによる熱抵抗の差をなくすために、AlN及びSiC基板をそれぞれ $50 \mu\text{m}$ になるまで研削した。



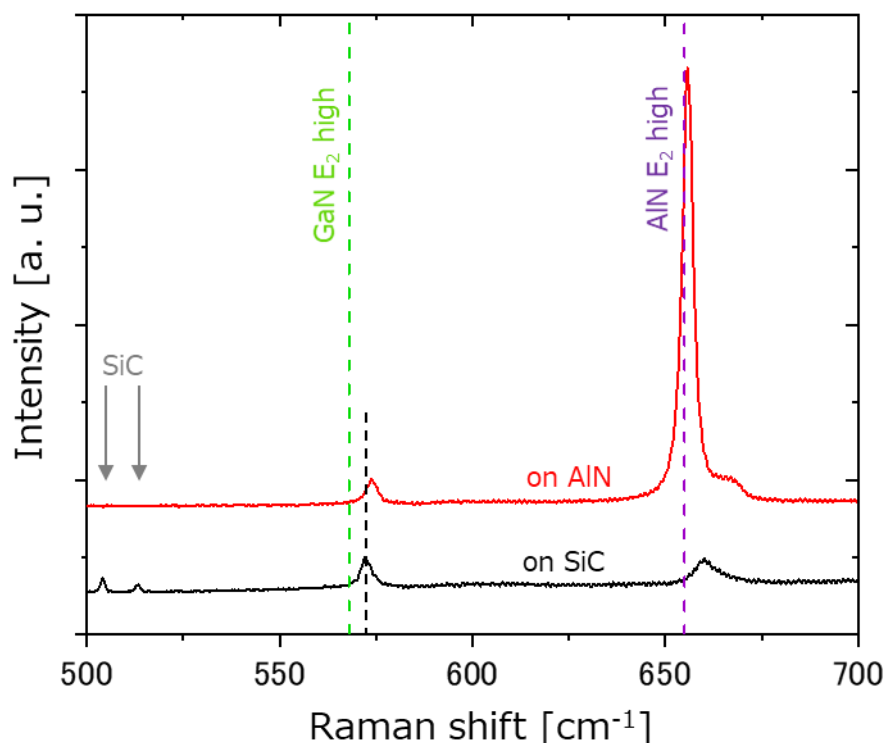
図⑩-4-12 (a) SiC基板上、(b) AlN基板上に作製した量子井戸構造を有するGaN HEMTデバイス構造の模式図

成長層の SiC および AlN 基板依存性

ホール効果測定によりアクセス領域の特性を評価した結果を表⑩-4-3 に示す。結晶構造が同じであっても基板の違いにより差がみられ、AlN 基板上的 GaN HEMT の方がより低いシート抵抗を示した。これは、AlN 基板上的 GaN HEMT の方がより高い 2DEG 濃度となったためである。同一の結晶構造にもかかわらず、2DEG 濃度に差が出る主な原因は SiC 基板上と AlN 基板上で (Al)GaN 層の分極電荷が異なることが原因の 1 つとして挙げられる。図⑩-4-13 に SiC 基板上、AlN 基板上それぞれについて成長した GaN HEMT の Raman スペクトルの結果を示す。AlN 層は AlN 基板上ではほぼ理論値と一致した位置にピークが観察されている。一方で、SiC 基板上の AlN テンプレート層は理論値よりも高波数側にシフトしている。すなわち、SiC 上の AlN テンプレート層は圧縮ストレスを受けている状態である。これは、SiC 基板と AlN テンプレート層との格子不整合によるものであると考えられる。また、GaN チャネル層については、AlN 基板上的 GaN チャネル層の方が SiC 基板上的 GaN チャネル層よりもより強い圧縮ストレスが存在していることが分かる。この GaN チャネル層の圧縮ストレスは供給層と GaN 界面に、より高いピエゾ分極電荷を生成させることに繋がる。SiC 基板上よりも AlN 基板上 GaN HEMT の 2DEG 濃度が高いのはこのためである。つまり、同一構造の GaN HEMT であっても、SiC 基板上と AlN 基板上でわずかに特性差が出ることが分かった。

表⑩-4-3 SiC 及び AlN 基板上 QW GaN HEMT のホール効果測定結果

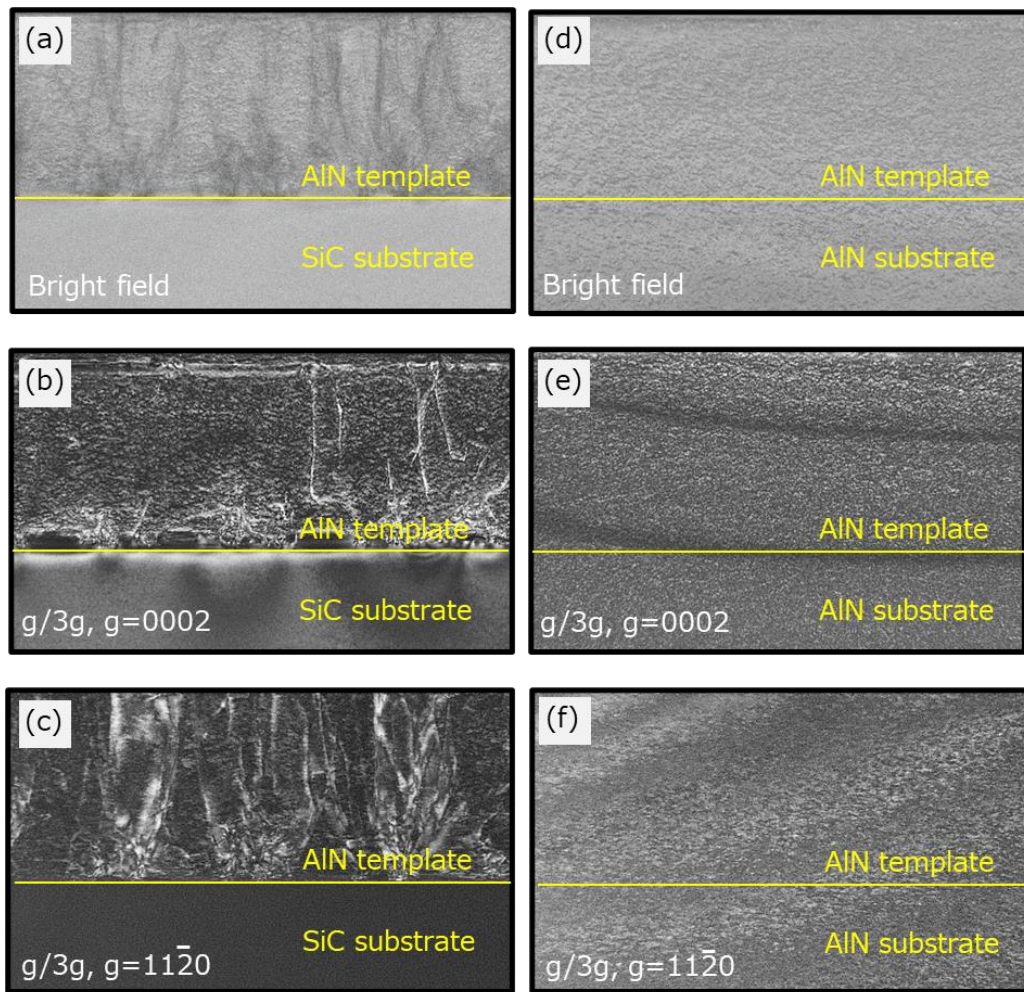
	On SiC	On AlN
Sheet resistance [ohm/sq.]	388	367
2DEG density [cm ⁻²]	0.99×10 ¹³	1.12×10 ¹³
Mobility [cm ² /Vs]	1620	1520



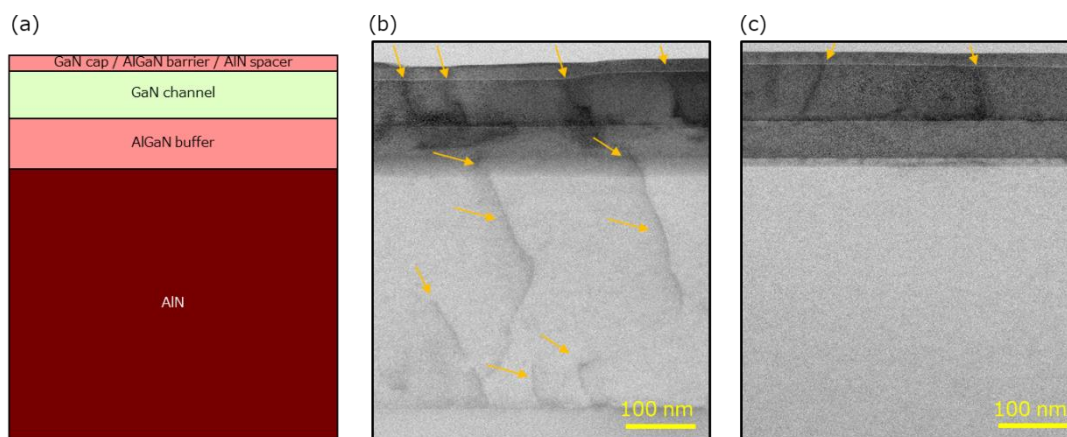
図⑩-4-13 作製した GaN HEMT の Raman スペクトル結果。赤線は AlN 基板上、黒線は SiC 基板上の GaN HEMT。点線はそれぞれ GaN の E₂ (high) と AlN の E₂ (high) の理論ピーク位置を示している。

この原因を調査するため、断面 TEM により AlN 基板上と SiC 基板上の AlN 層について結晶構造の分析を行った。図⑩-4-14 に SiC 基板上にヘテロエピタキシャル成長した AlN テンプレート層と AlN 基板上にホモエピタキシャル成長した AlN 層の断面 TEM 像を示す。SiC 上の AlN 層はその格子定数差によって多くの転位が発生していることが確認できる。一方で、AlN 基板に内在する転位密度はおおよそ 10^4 cm^{-2} 程度であるため、TEM の観察範囲では転位線が見られず、基板起因の貫通転位はもちろん、成長層界面でも転位の発生も観察できなかった。転位種類の同定のため $g = 0002$ および $g = 11-20$ で結像した結果、 $g = 0002$ において多くの転位線が消滅していることが観察された。すなわち、SiC 基板上に形成されている転位線の多くはバーガースベクトル $B = 1/3[11-20]$ を持つ刃状転位であることが分かった。転位の形成はヘテロ界面での転位形成エネルギーとギブス自由エネルギーの大小によって決定されるため、hcp 結晶の場合では c 軸に対して垂直のバーガースベクトルを持つ刃状転位は格子不整合を緩和するために螺旋転位や混合転移に比較して形成されやすいことは適切である。

AlN 層中のこれらの転位線は GaN チャネル層への貫通転位として現れることが予測されるため、GaN HEMT 全体の TEM 像についても観察を行った。図⑩-4-15 に図⑩-4-12 で作製したデバイス全体の TEM 像を示す。SiC 基板上では GaN 層において AlGaN バッファ層付近からの転位形成に加えて、AlN テンプレート層から GaN チャネル層への貫通転位も確認できる。一方で、AlN 基板上の GaN チャネル層は、わずかに AlGaN バッファ層付近から GaN チャネル層で転位の形成がみられるが、SiC 基板上の GaN チャネル層よりも転位密度が少ないことが確認できた。この結果は、図⑩-4-13 に示した Raman スペクトルの結果とも一致している。AlN 基板上では AlN の E_2 high ピークは理論値通りとなっており、内部ストレスがほぼ存在していないが、SiC 上の AlN 層は転位の形成によって、内部ストレスが発生し Raman ピークは高波数側にシフトしている。一方で、GaN チャネル層は転位密度が増加した結果、格子緩和が引き起こされやすく AlN 基板上の GaN チャネル層よりもむしろ SiC 基板上の GaN チャネル層の内部ストレスが小さくなっている。これらの結果から、AlN 基板上の GaN チャネル層は SiC 基板上の GaN チャネル層よりも転位密度が少ないものの、より強い圧縮ストレスが印加されていることが分かった。



図⑩-4-14 (a, b, c) SiC 基板上及び (d, e, f) AlN 基板上の断面 TEM 像。
 (a, d) は明視野、(b, e) は $g = 0002$ 、(c, f) は $g = 1100$ 。

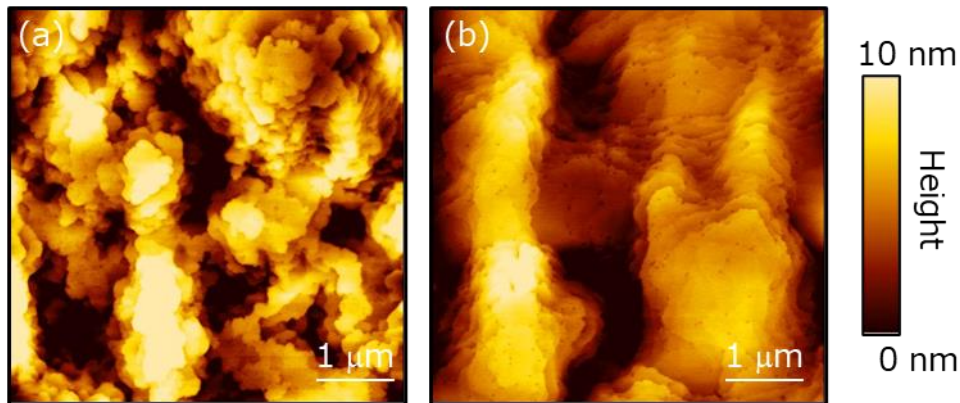


図⑩-4-15 (a) TEM 観察領域の対応模式図、(b) SiC 基板上と (c) AlN 基板上の
 TEM 像。黄色い矢印は転位線の場所を示している。

SiC 基板上と AlN 基板上 GaN HEMT の電気特性評価結果

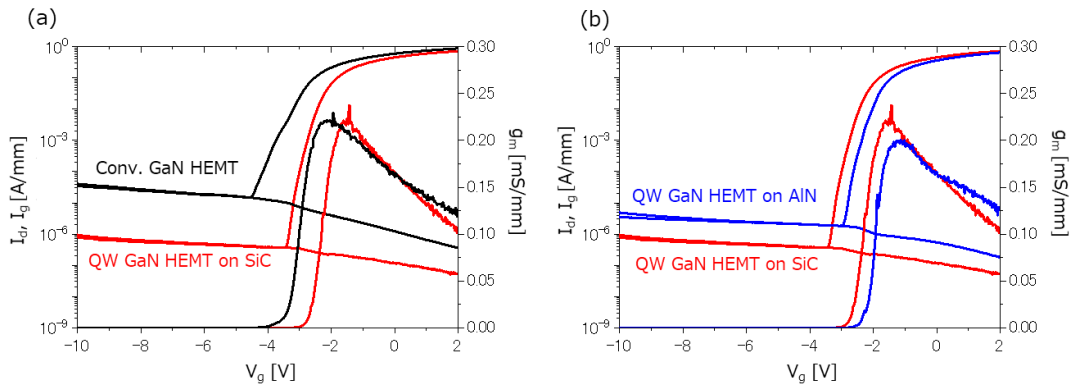
これら転位密度や圧縮ストレスが二次元電子ガス (2DEG) へ与える影響を調べるために 1.7 K から 300 K までの移動度測定結果を示す。QW 構造では GaN チャンネル内部電界が通常の GaN HEMT よりも強く、電子の波動関数の重なり積分が増えることによりバンド内散乱頻度が増えることで移動度が低下してしまう。さらに、界面ラフネスによる散乱頻度も実効電界強度に依存するため、界面ラフネスが支配的になる低温での移動度も低下する。そのため、基板による依存性とは別に通常の GaN HEMT に比べて QW 構造の移動度は、全温度領域によって移動度が低い。しかし、SiC 基板と AlN 基板で同一の HEMT 構造を作製しているにもかかわらず、AlN 基板上の HEMT において移動度が低いことが観察された。低温での電子移動度を律速する原因は界面ラフネスのほかに、転位による散乱因子が考えられるが、図⑩-4-15 で示したように AlN 基板上の GaN チャンネル層は SiC 基板上の GaN チャンネル層に比べて転位密度が低い。したがって、界面ラフネスによる散乱因子が AlN 基板上の GaN チャンネルでは高くなることが考えられる。そこで、それぞれの GaN HEMT 表面ラフネスから界面ラフネス因子の大きさを見積もった。

図⑩-4-16 に SiC 基板上および AlN 基板上 GaN HEMT の AFM 像を示す。表面ラフネスによる移動度は凹凸高さ Λ とその周期 Δ で決定される。SiC 基板上の GaN HEMT の場合、凹凸高さ Λ と周期 Δ は 3.45 nm と 0.49 nm であり、AlN 基板上の GaN HEMT は 2.561 nm と 0.33 nm であった。図⑩-4-16 の AFM 像で見られるように凹凸は SiC 基板上の方が大きいものの、その周期は AlN 基板上のものの方が小さく、散乱頻度が高くなることが分かる。これにより、AlN 基板上の低温での移動度は小さくなっていると考えられる。また、図⑩-4-13 で示した通り、AlN 基板上の GaN チャンネル層の方が SiC 基板上の GaN チャンネル層よりも強い応力が印加されており、全体の移動度が低い原因として有効質量が変化していることも理由であると考えられる。

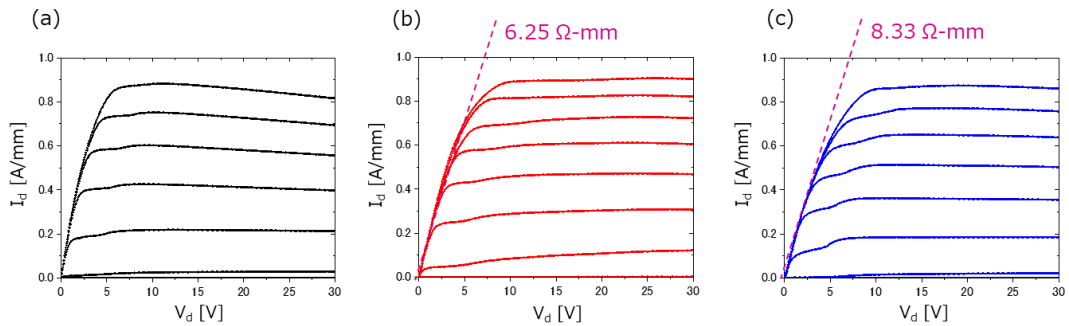


図⑩-4-16 (a) SiC 基板上、(b) AlN 基板上に作製した GaN HEMT 表面の AFM 像

試作したデバイスの電気特性として、 I_d - V_{gs} 特性及び I_d - V_{ds} 特性の結果を図⑩-4-17 および図⑩-4-18 にそれぞれ示す。従来の GaN HEMT に比べて QW 構造を適用した場合には同じ SiC 基板上でも AlGaN の強いバックバリアによってゲートリーク電流が減少しており、閾値付近のドレイン電流の変化も鋭くなっていることが分かる。従来の GaN HEMT との閾値電圧の差は、従来の GaN HEMT の 2DEG 濃度 ($1.3 \times 10^{13} \text{ cm}^{-2}$) と比べて QW GaN HEMT の 2DEG 濃度が低いためである。また、2DEG 濃度が低くなることに加え、QW GaN HMET の移動度も低いため、最大電流値 I_{\max} は QW GaN HMET の方が低くなってしまふ。図⑩-4-17 (b) に示した SiC 基板と AlN 基板との依存性の観点では、AlN 基板のシート抵抗がわずかに低いためリーク電流が大きくなるが、一方で I_{\max} は AlN 基板上 GaN HEMT の方が低いことが分かった。さらに I_d - V_{ds} 特性からも AlN 基板上 GaN HEMT の方が低いシート抵抗を実現できているにもかかわらず、SiC 基板上の GaN HEMT のオン抵抗 $6.25 \text{ ohm} \cdot \text{mm}$ に対して AlN 基板上では $8.33 \text{ ohm} \cdot \text{mm}$ と高くなることが観察された。

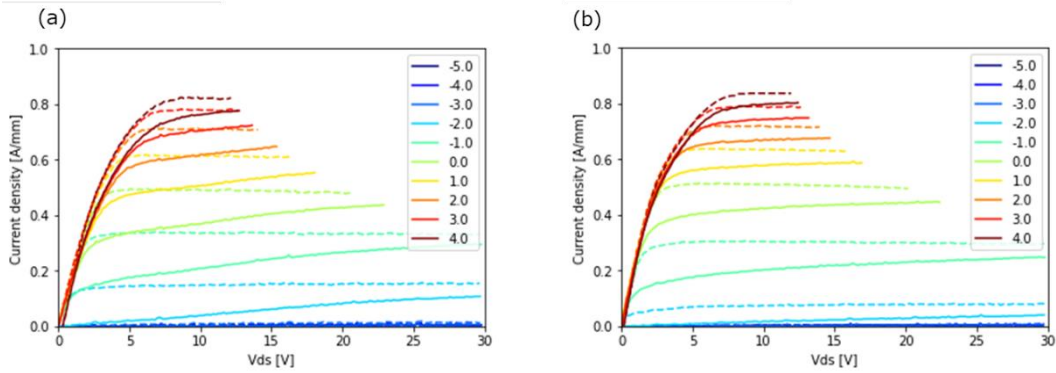


図⑩-4-17 (a)SiC 基板上的通常の GaN HEMT と QW GaN HEMT および (b)AlN 基板上的と SiC 基板上的 QW GaN HEMT の I_d - V_{gs} 特性



図⑩-4-18 (a)SiC 基板上通常の GaN HEMT, (b)SiC 基板上 QW GaN HEMT, (c) AlN 基板上 QW GaN HEMT の I_d - V_{ds} 特性

一方で、パルス IV 特性の結果では、バイアスストレスなしの場合でも AlN 基板上的の I_{max} ($= 0.64$ A/mm at $V_{gs} = 2$ V, $V_{ds} = 5$ V) よりも、SiC 基板の I_{max} ($= 0.57$ A/mm) の方が高くなった(図⑩-4-19)。パルス IV 特性は Duty 比 0.1 % で測定したため、DC の I_d - V_{ds} 測定との差は発熱の影響の有無であると考えられる。さらに、AlN 基板上的の GaN HEMT では電流コラプスが 91.5% と SiC 基板上的の GaN HEMT の 83.9 % よりも大きく高いことが分かった。電流コラプスは絶縁膜や GaN 層のトラップに起因するが、同一構造であってもこのような特性差が出る理由として、転位密度の差が考えられる。特に SiC 基板上的の AlN テンプレート層では図⑩-4-14 の TEM 像から 6×10^9 cm⁻² の刃状転位が観察されている。この刃状転位は不對電子対を持つために、螺旋転位よりも電流コラプスに強く影響することが報告されている。その結果、AlN 基板の上では電流コラプスが SiC 基板上的の GaN HEMT よりも向上したと考えられる。一方、DC 特性とパルス IV の I_{max} の差は、基板の熱伝導率に関する発熱の差であると考えられるため、熱抵抗の測定を行った。



図⑩-4-19 (a) SiC 基板上 QW GaN HEMT,
(b) SiC 基板上 QW GaN HEMT のパルス IV 測定結果

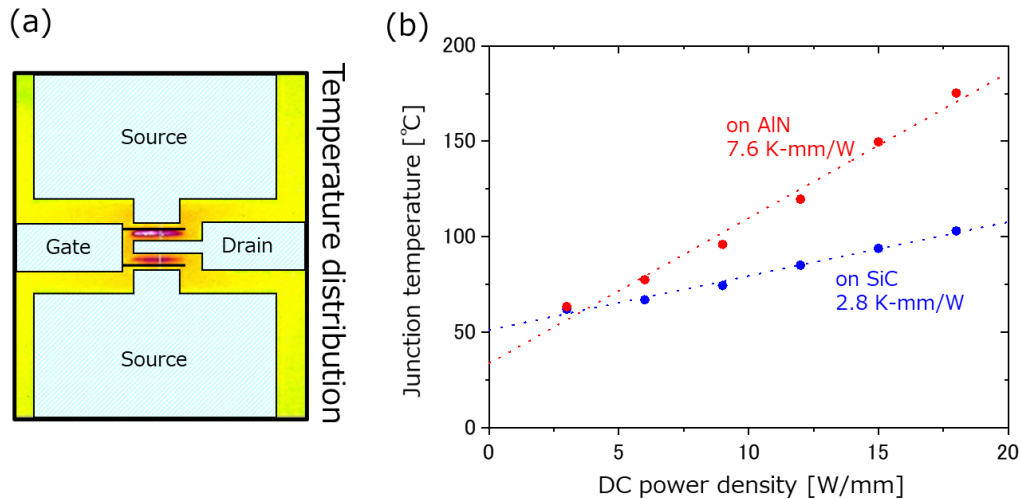
熱特性の基板依存性

SiC 基板上及び AlN 基板上 QW GaN HEMT の熱抵抗について、赤外線カメラを用いて得られた熱抵抗の測定結果を図⑩-4-20 に示す。熱抵抗の測定は、図⑩-4-9(a) に示すようなデバイス構造を用いて、ゲート-ドレイン間の最大温度をプロットすることで求めた。SiC 基板上の QW GaN HEMT の熱抵抗 (2.8 K-mm/W) に比べて、AlN 基板上の QW GaN HEMT の熱抵抗は 7.6 K-mm/W と 3 倍近く高いが、”⑨高放熱構造設計技術” の計算結果から、AlN 基板の熱伝導率が低いことに起因していると推察される。

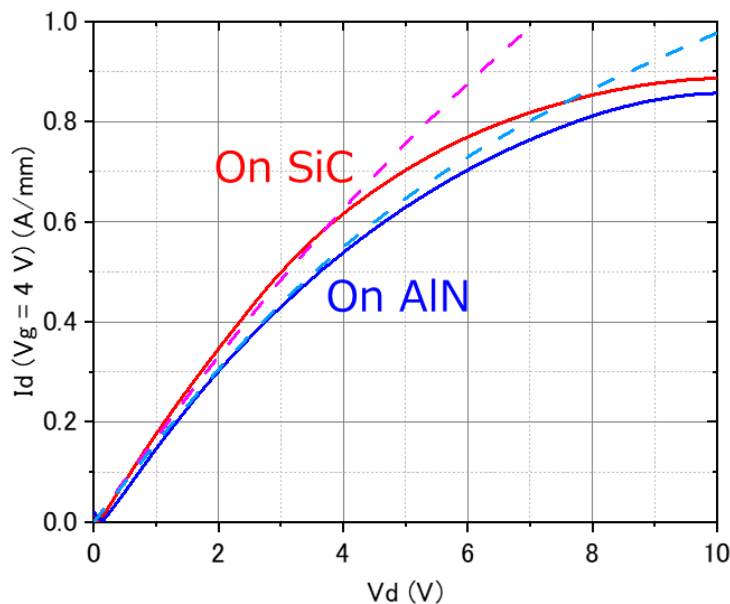
ここで得られた熱抵抗から、高温での移動度低下を考慮する。室温以上ではほぼフォノン散乱によって移動度は制限されるため、下記のフォノン散乱の式から移動度の温度依存性を類推することができる。

$$\frac{1}{\tau} = \frac{3E_D^2 k_b T m^* b}{16\rho u_t \hbar^3} \int \frac{1}{2\pi k^3 (q + q_{TF})^2 \sqrt{1 - \left(\frac{q}{2k}\right)^2}} q^4 dq \quad \text{式⑩-4-1}$$

ここで、 ρ は結晶の密度、 u_t はアコースティックフォノンの速度、 E_D は GaN のデフォメーションポテンシャル、 k は電子の波数ベクトル、 b は Fang-Howard 関数、 q はスクリーニング因子、 q_{TF} はトーマスフェルミ波数ベクトルである。式⑩-4-1 と、図⑩-4-20 で得られた熱抵抗から出力電力と温度の関係から移動度を計算することができ、DC 特性の I_d - V_{ds} 特性で得られた電流特性と重ね合わせた結果を図⑩-4-21 に示す。電子飽和速度に達する低電圧領域において、精度の良い一致が得られた。すなわち、AlN 基板と SiC 基板上の GaN HEMT の DC 特性のオン抵抗や電流密度の差は主に AlN 基板の熱伝導率が低いことに起因していると考えられる。



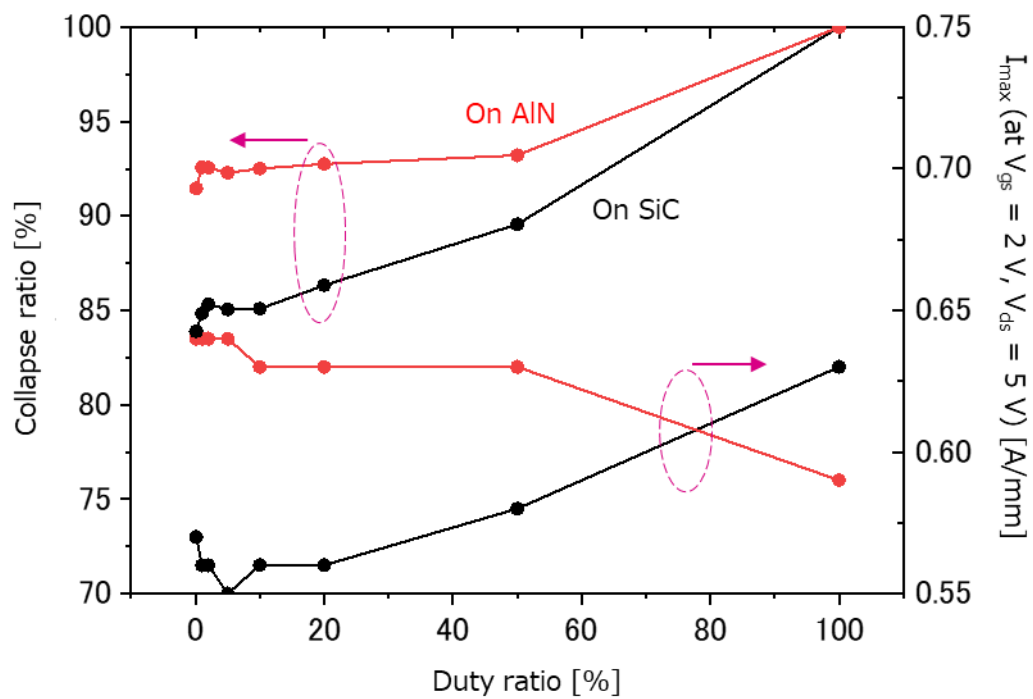
図⑩-4-20 (a) AlN 基板上 GaN HEMT の IR 測定画面と (b) 熱抵抗の測定結果



図⑩-4-21 SiC 基板上と AlN 基板上 GaN HEMT の $V_g = 4$ V での I_d - V_{ds} 特性(実践)と(1)式から得られた移動度の温度依存性を考慮して求めた I-V 特性(点線)

これまでの結果から、AlN 基板上の QW GaN HEMT は低転位密度の GaN チャネル層を実現できるため、電流コラプスの観点では優れている。一方で、熱伝導率が低いため DC 特性や CW での測定では SiC 基板上へ厚い AlN テンプレート層を用いた疑似的な QW GaN HEMT 構造よりも出力が落ちてしまうことが分かった。図⑩-4-22 に Duty 比に対するコラプス率と I_{max} の関係を示す。コラプス率の観点では、全領域にわたって AlN 基板上の GaN HEMT が SiC 基板上の GaN HEMT よりも優れた特性を示していることが分かる。しかしながら、Duty 比が高くなると熱の影響が大きくなり、コラプス率が高くても I_{max} が低下してしまうため、出力密度が下がってしまう。30 V 動作を想定した 30 V ストレス下の評価では、およそ 70 - 80% の duty 比を超えると AlN 基板上の GaN HEMT は on SiC よりも出力が低くなってしまふことが示唆されている。逆に、それ以下の duty

比でパルス動作を行うことを想定すると AlN 基板上的の QW GaN HEMT は SiC 基板上的の QW GaN HEMT よりも優れた特性を示すことが分かった。



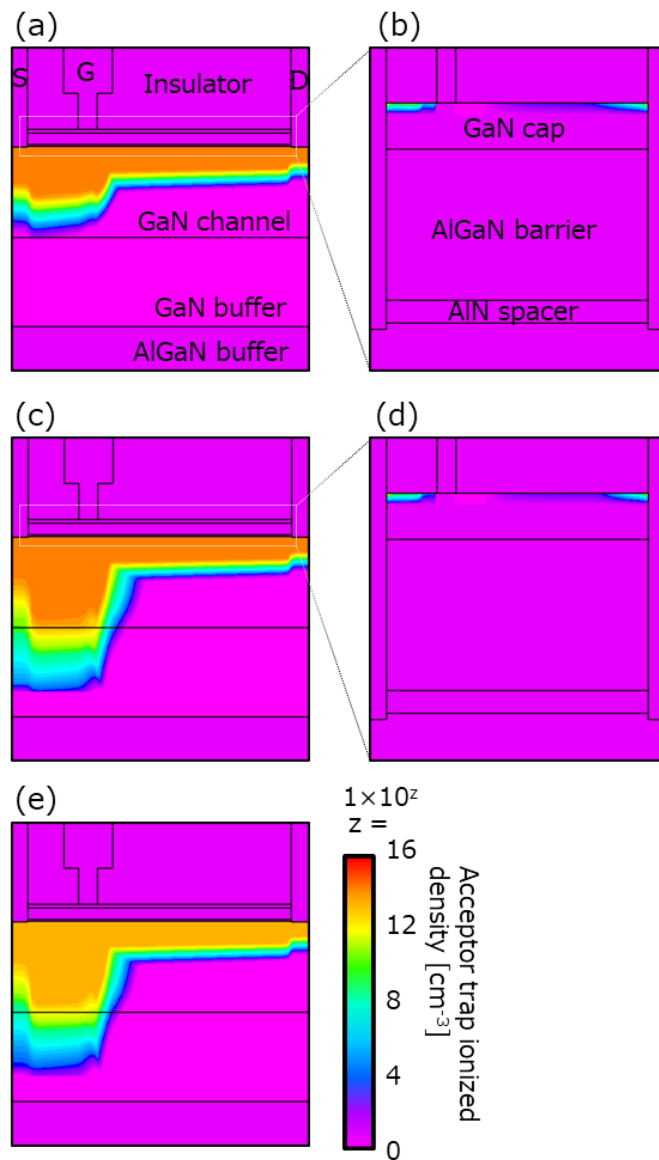
図⑩-4-22 AlN 基板上と SiC 基板上の QW GaN HEMT の duty 比に対する I_{max} , コラプス率依存性

3.10.5 技術統合を行ったHEMT構造試作とRF出力の評価

3.10.5.1 AlON-MIS構造および低不純物GaN層の適用

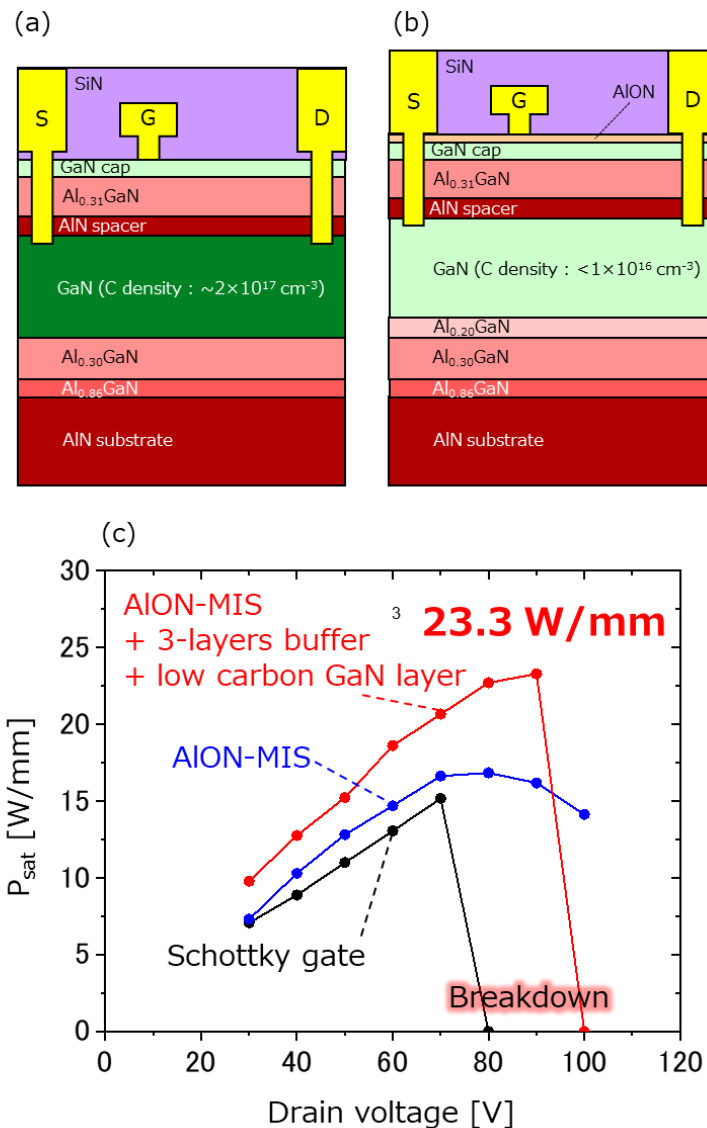
“④高耐圧絶縁ゲート形成技術”において、ゲート直下を AlON の MIS 構造とし、アクセス領域を AlON/SiN の積層構造とすることで、平成 31 年度に得られた $P_{\text{sat}} = 15.2 \text{ W/mm}$ を凌駕する出力密度が得られることを示した。この構造により 16.8 W/mm の高い出力密度を実現できた。一方で、 $V_{\text{ds}} = 80 \text{ V}$ 以上の動作電圧では、電流コラプスの影響により、出力が伸びていないことが分かった。すなわち、さらなる高出力化のためには、高電圧動作領域でのコラプスを改善する必要がある。

そこで、シミュレーションを用いて、電子トラップの影響を調べた結果を図⑩-5-1 に示す。半導体-絶縁膜の界面トラップには④の CV 特性で得られた欠陥準位の密度と同等の $1 \times 10^{13} \text{ cm}^{-2}$ の界面電荷を設定し、GaN チャンネル層及びバッファ層には”③量子閉じ込めチャンネル構造成長技術”の SIMS によって得られた炭素不純物の濃度である $5 \times 10^{16} \text{ cm}^{-3}$, $2 \times 10^{17} \text{ cm}^{-3}$ の密度でアクセプター型のトラップとして導入した。定常状態(図⑩-5-1(a), (b))に比べて、ストレス印加後(図⑩-5-1(c), (d))ではゲート下の領域へ電子が流れるため、特にソース-ゲート間の領域において GaN チャンネルおよびバッファ層による電子捕獲が増加している。さらに、トラップされる電子の量は半導体-絶縁膜界面のトラップに比べて、非常に多いことが示されている。すなわち、より高い電流コラプスの低減を実現するためには GaN 層のトラップ密度を低減することが有用であると考えられる。実際に、”③量子閉じ込めチャンネル構造成長技術”で開発したような炭素不純物濃度の低い($1 \times 10^{16} \text{ cm}^{-3}$ 以下) GaN 層を用いた場合、トラップされる電子の濃度は従来の炭素濃度の高い GaN 層を用いた場合よりも 1 桁程度低減されることが分かる(図⑩-5-1(e))。そこで、AlON 単層-MIS 構造及び 3 段の AlGaIn バッファ層と炭素不純物を抑制した GaN 層を適用して AlN 基板上に GaN HEMT を作製した。AlN 基板は”②高純度・大口径 AlN 基板成長技術”において作製した 2 インチ AlN 基板を用いた。AlN 基板上に $\text{Al}_{0.86}\text{GaIn}/\text{Al}_{0.30}\text{GaIn}/\text{Al}_{0.20}\text{GaIn}$ による AlGaIn バッファ層、低炭素濃度の GaN 層を 200 nm, AlN スペーサー層、 $\text{Al}_{0.31}\text{GaIn}$ 供給層、GaN cap 層を順次成長した。この HEMT 構造上に AlON 単層の MIS ゲート及びアクセス領域には AlON/SiN 2 層の絶縁膜を用いた。このデバイス構造及びそのロードプルの測定結果を図⑩-5-2 に示す。平成 31 年に報告したショットキーゲートの構造(図⑩-5-2(a))でも、平成 31 年度に報告したように $P_{\text{sat}} = 15.2 \text{ W/mm}$ であり SiC 基板上 HEMT に対して優位性を持っている。さらに、“④高耐圧絶縁ゲート形成技術”で記載したように、AlON-MIS 構造を用いることで耐圧が向上し、 16.8 W/mm の出力を得ることができた。また、”③量子閉じ込めチャンネル構造成長技術”で開発した、低炭素濃度 GaN 層と 3 層の AlGaIn バッファ層により、コラプス率とシート抵抗を低減をした構造(図⑩-5-2(b))を用いることによって、 $V_{\text{ds}} = 40 \text{ V}$ での出力がこれまで検討してきた AlN 上 HEMT よりも飛躍的に増加した。さらに、飽和し始めている様子が見られるものの、 $V_{\text{ds}} = 90 \text{ V}$ まで出力電力は緩やかに増加し、 23.3 W/mm という高い出力密度を達成した。



図⑩-5-1 電流トラップのシミュレーション結果。(a, b) 定常状態、(c, d, e) パルス印加時のアクセプタトラップのイオン化密度。(a, b, c)はGaN バッファ層のトラップ密度は $2 \times 10^{17} \text{ cm}^{-3}$ であり(e)は $1 \times 10^{16} \text{ cm}^{-3}$ である。

今回の測定では、100 V 測定時に絶縁破壊が起きてしまっている。これは、同じ AION-MIS 構造であっても、従来の AlN 上 HEMT 構造に比べて電流密度が高くなったため、アバランシェ崩壊やインパクトイオン化などといった電子数が増加することによって引き起こされやすくなる絶縁破壊によるものと考えられる。一方で、90 V 以上の領域においては今回の HEMT 構造を用いても出力密度が飽和し始めており、これ以上の耐圧改善は必ずしも最良のアプローチではない可能性がある。そこでさらなる出力密度の向上を目指し、電流密度の向上にも目を向けて研究を推進した。



図⑩-5-2 (a)令和2度に報告したショットキーゲート構造の AlN 基板上デバイスの模式図。(b) AION 単一 MIS 構造の AlN 基板上デバイスの模式図。(c) 各デバイスのロードプル測定結果

3.10.5.2 コンタクト抵抗低減に向けたn-GaN再成長層の効果

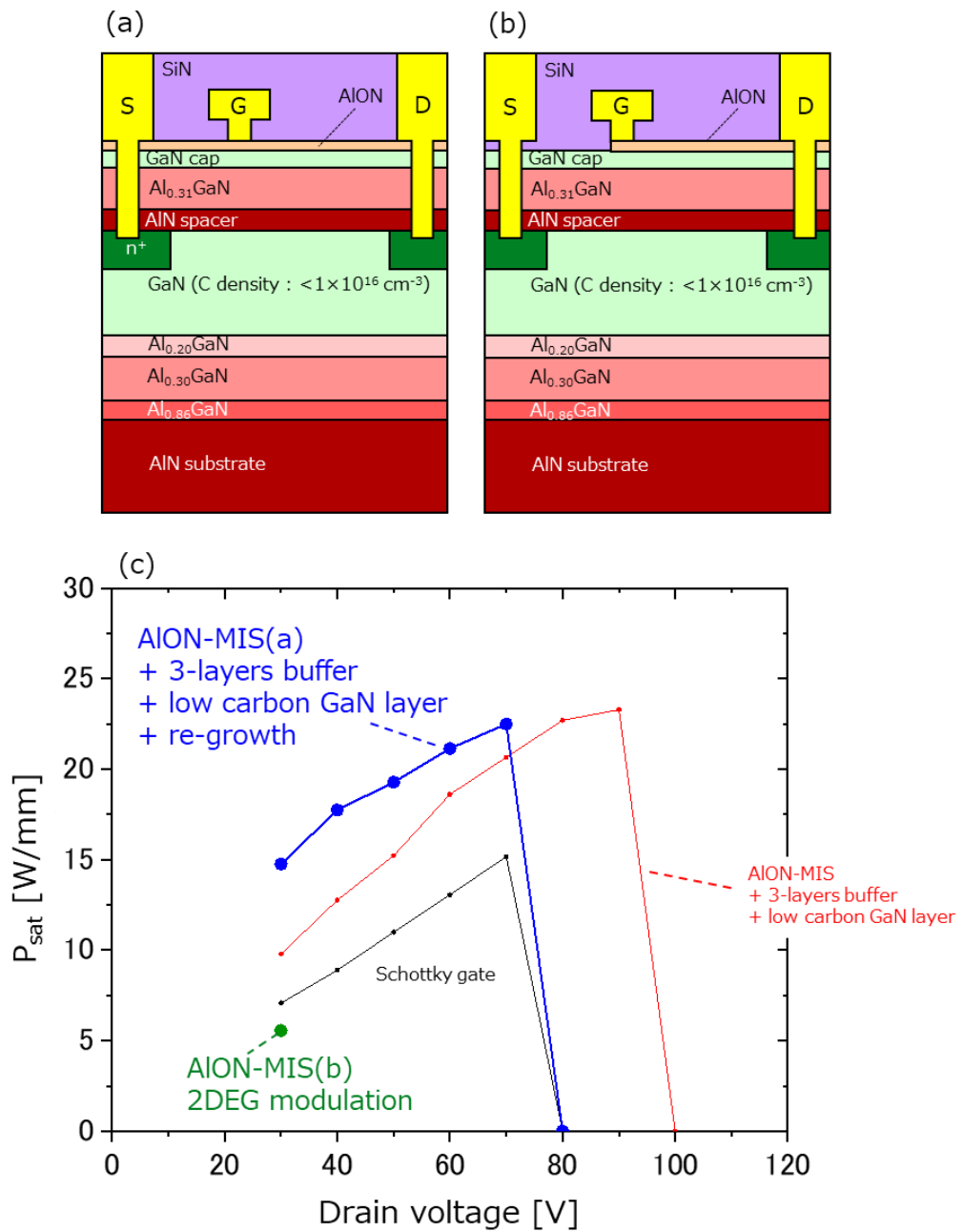
3.10.5.1に示したように、AlON-MISゲート構造および3層のAlGaNバッファ層、低炭素濃度Ga_N層を用いることで劇的な高出力化を達成できた。

一方で、3層AlGaNバッファを用いたことでAlN基板上Ga_N HEMTの低シート抵抗化が実現できたため、これまで無視してきたコンタクト抵抗の影響が無視できなくなる。実際に、測定に使用しているデバイスのソース-ドレイン間は約4.5 μmであるため、シート抵抗が300 OHM/sq.の場合ソースからドレインまでの抵抗はおおよそ1.5 ohm・mmである。TLMパターンから求めたコンタクト抵抗はおおよそ0.4 OHM-mmであったため、ソースおよびドレインを考慮すると0.8 OHM-mmがコンタクト抵抗として存在する。これは、Ga_N HEMTの全抵抗(2.3 = 1.5 + 0.8 OHM-mm)の35%程度を占めるため、シート抵抗を低減したAlN上のHEMT構造では電流密度を低下させる主な原因の1つである。

さらに、AlONを導入することでゲート-ドレイン間のキャリア濃度を低下させることは、高耐压化には有効であるものの、キャリア濃度の低下によりシート抵抗は増加してしまう。ゲート-ドレイン間は耐压の向上というメリットがあるが、ソース-ゲート間のキャリア濃度は耐压と直接関係しないため、高い方が望ましく”⑤高機能絶縁膜の形成技術”で記載したようにソース-ゲート間とゲート-ソース間のキャリア濃度を変化させる構造を適用することが高電流化と高耐压化を両立するカギとなる。

そこで、コンタクト抵抗を低減するためにAlN上Ga_N HEMTにn⁺-Ga_Nの再成長コンタクト及びゲート-ドレイン間のみAlON絶縁膜を適用したキャリア変調技術を適用することでさらなる高出力化を狙った。図⑩-5-3に測定に使用したデバイス構造とロードプルの測定結果を示す。ソースからドレインまでAlON絶縁膜を適用した図⑩-5-3(a)の構造においては、高いコラプス率を維持したままコンタクト抵抗が低減(~0.1OHM-mm)されたため、同一ドレイン電圧動作において20%以上の出力電力向上が観察された。しかしながら、再成長を適用していないAlON絶縁膜を適用したデバイスよりも低いV_{ds} = 80 V動作時に絶縁破壊が起きてしまった。結果として、最大出力電力密度は約23 W/mmと再成長を適用していない場合のデバイスと同等の出力密度しか得られなかった。高周波動作時にはデバイスオフ時の耐压だけでなく電流が流れている領域もロードラインが通るため、高い電流密度によって安全動作領域(SAO)が狭くなってしまったことが原因であると考えられる。つまり、コンタクト抵抗減少により高い出力動作を行うためには、絶縁破壊電界領域のさらなる高耐压化が必要であることを示していると考えられる。また、高耐压化を実現するため、Si_N単層絶縁膜とAlON/Si_N積層絶縁膜を作り分けて適用した図⑩-5-3(b)の構造では、V_{ds} = 30 V動作の時点で、従来のショットキーデバイスよりもさらに低い出力密度となっている。これは、”⑤高機能絶縁膜形成技術”でも記載したように、再成長後ではシート抵抗に変化がなくなることやSi_N絶縁膜直下の2DEG移動度がAlON/Si_N積層絶縁膜直下の2DEG移動度に比べて低いことで高周波特性の劣化が引き起こされるためであると考えられる。

以上のことから、より高い出力密度を実現するためには、コラプス率を維持しながらより高い絶縁性が必要であることが分かった。

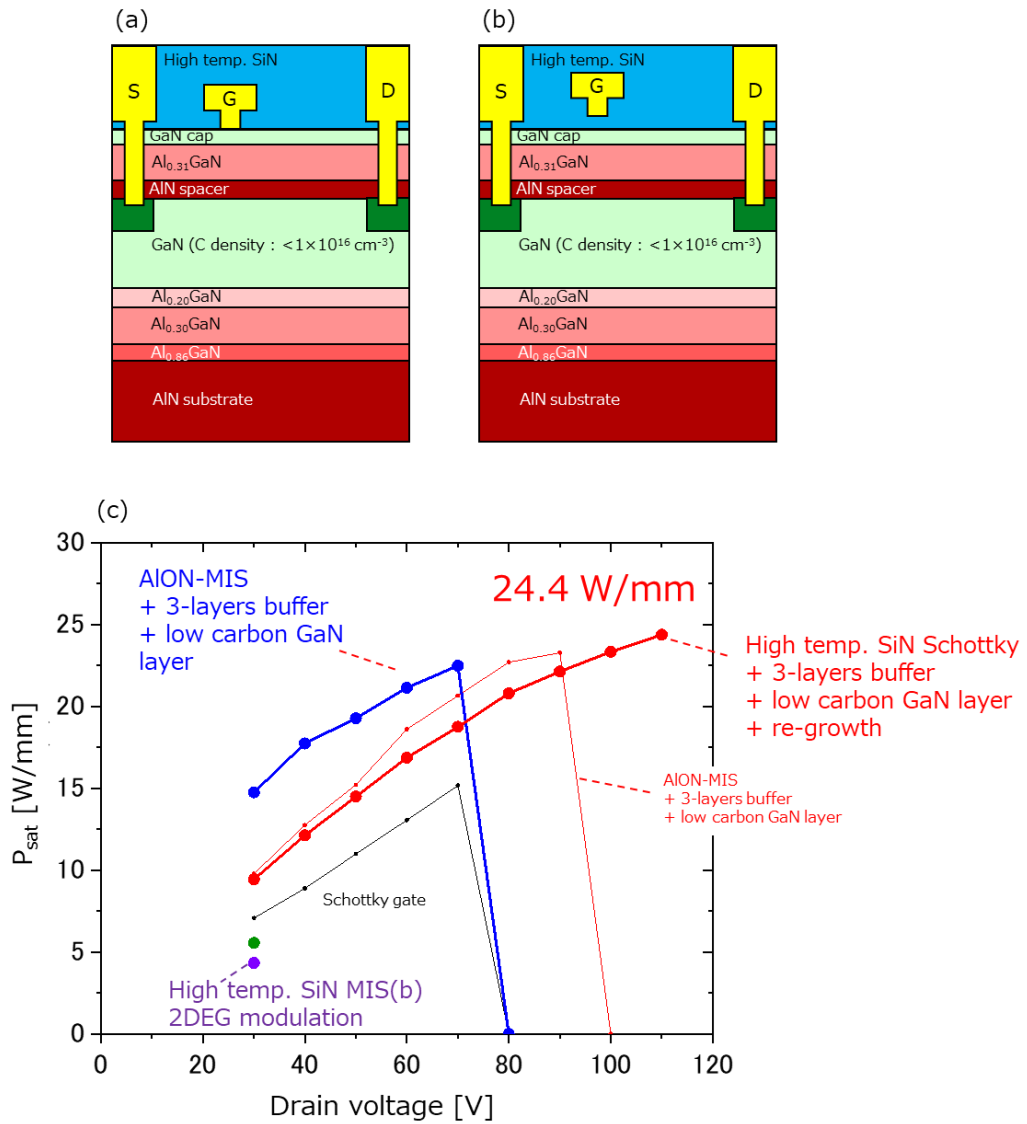


図⑩-5-3 (a) 再成長を適用した AION 単層 MIS 構造の模式図と (b) キャリア変調を追加適用したデバイスの模式図。(c) 各構造のロードプル測定結果

3.10.5.3 高温成膜SiN絶縁膜の技術統合とその効果

より高い絶縁性を持つ絶縁膜の候補として、SiN絶縁膜の高品質化があげられる。”④高耐圧絶縁ゲート形成技術”にて記載した通り、高温成長したSiN絶縁膜はコラプス率はAlON/SiN積層絶縁膜を適用した図⑩-5-3(a)の構造よりも劣るものの、より高い絶縁破壊電圧を実現することができる。そこで、高温成膜SiN絶縁膜を適用したデバイスを用いてロードプル測定を行った結果を図⑩-5-4に示す。高温成膜したSiN絶縁膜では従来のショットキー構造で用いられたSiN絶縁膜を高温成膜したSiNに置き換えたデバイス構造(図⑩-5-4(a))と”④高耐圧絶縁ゲート技術”および”⑦表面放熱技術”にて検討し、有用性が認められた10 nmのMIS構造デバイス(図⑩-5-4(b))について測定を行った。

“④高耐圧絶縁ゲート形成技術”でも報告したように、高温成膜したSiN絶縁膜はAlON単層のMIS構造に比べてコラプス率がわずかに低い。そのため、 $V_{ds} = 30$ Vでの出力電力密度はAlON単層MIS構造と比較して低い。一方で、コンタクト再成長層を用いてコンタクト抵抗を低減している分、電流密度が高くなるため、コンタクト再成長層を利用していないAlON単層MIS構造と同等の出力密度を実現できている。AlON単層MIS構造との大きな差は $V_{ds} = 100$ V以上の動作電圧においても絶縁破壊が引き起こされていない点である。今回使用した測定系では、最大の V_{ds} が110 Vであるが110 Vの動作電圧においても高温成長したSiNのショットキーデバイスでは絶縁破壊が観察されなかった。その結果、出力密度は110 Vにおいて24.4 W/mmを実現した。一方で、高い耐熱性を持つため”⑦表面放熱技術”との相性が良い10 nmのMIS構造については、ゲート電極作製工程において、電子トラップ等が形成された影響により電流コラプスが大きく悪化したため、 $V_{ds} = 30$ Vでの出力密度が最も低い結果となった。この点に関しては、今後さらなるプロセス工程の検討によって改善する余地があると考えられる。



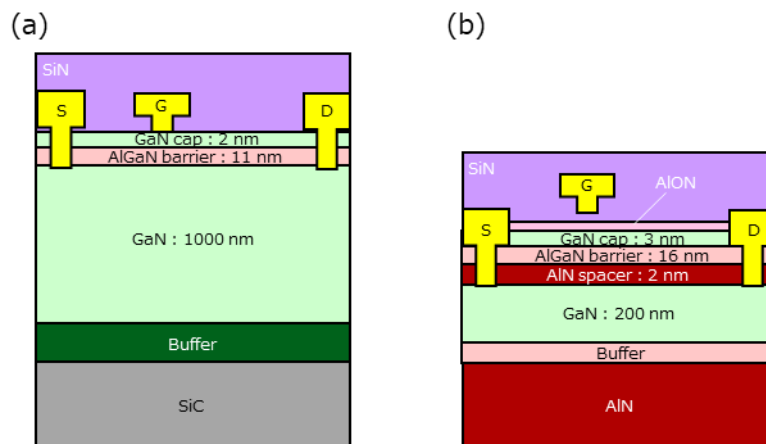
図⑩-5-4 (a)再成長を適用したAION単層MIS構造の模式図と(b)キャリア変調を追加適用したデバイスの模式図。(c)各構造のロードプル測定結果

3. 1 0. 6 耐環境性および量子チャネル構造における電子輸送現象の評価

3. 1 0. 6. 1 AlN基板上HEMTの放射線耐性評価

Si の LDMOS や GaAs HEMT に比べて GaN HEMT は高出力かつ高周波動作が可能である。そのため、人工衛星など低コスト化のためのパワーアンプ小型軽量化と長距離通信のための高出力化が求められる分野においては非常に有用であるため期待されている。このような宇宙環境では α 線・ β 線・ γ 線・陽子線などの高エネルギーの放射線が存在するため、それらに対して十分な耐性を持つことが必要である。GaN は Si や GaAs に比べて耐放射線性の指標である変位はじき出しエネルギー (E_d) が高いため耐放射線性の観点からも優れた材料である。本研究で用いている AlN 結晶は GaN 結晶よりもさらに高い E_d を持つ[9]ため、AlN 結晶を利用した HEMT は従来の GaN HEMT に比べてより高い耐放射線性を持つことが期待できる。そこで、従来の SiC 上 GaN HEMT と基板および供給層に AlN を適用した GaN HEMT の耐放射線性について調査を行った。

図⑩-6-1 に今回の検討で使用した SiC 上デバイスおよび AlN 上のデバイス構造を示す。SiC 基板上のデバイスは高品質化の観点から一般的な GaN チャネル厚さ 1000 nm を用いた。一方、AlN 基板上的デバイスは本研究で開発した GaN チャネル厚さ 1000 nm を用いて実験を行った。また、AlN 上のデバイスには AlN スペースを供給層との間に適用することで基板表面からの放射線入射に対する AlN 層の有無の影響を調査した。GaN は元々、高い耐放射線性を持つため γ 線等では非常に長時間照射しない限りは特性の劣化が見られない。そこで、今回はより高いエネルギーを持つ放射線として炭素イオンの重イオン線を照射することでデバイス特性の変化を観察した。炭素イオンの照射条件は表⑩-6-1 に示す通り、2 MeV 固定でドーズ量 1.0×10^{10} , 1.0×10^{11} , $1.0 \times 10^{12} \text{ cm}^{-2}$ にて行った。



図⑩-6-1 耐放射線性評価に用いた(a) SiC 上 (b) AlN 上のデバイス構造模式図

表⑩-6-1 放射線(重イオン)照射条件

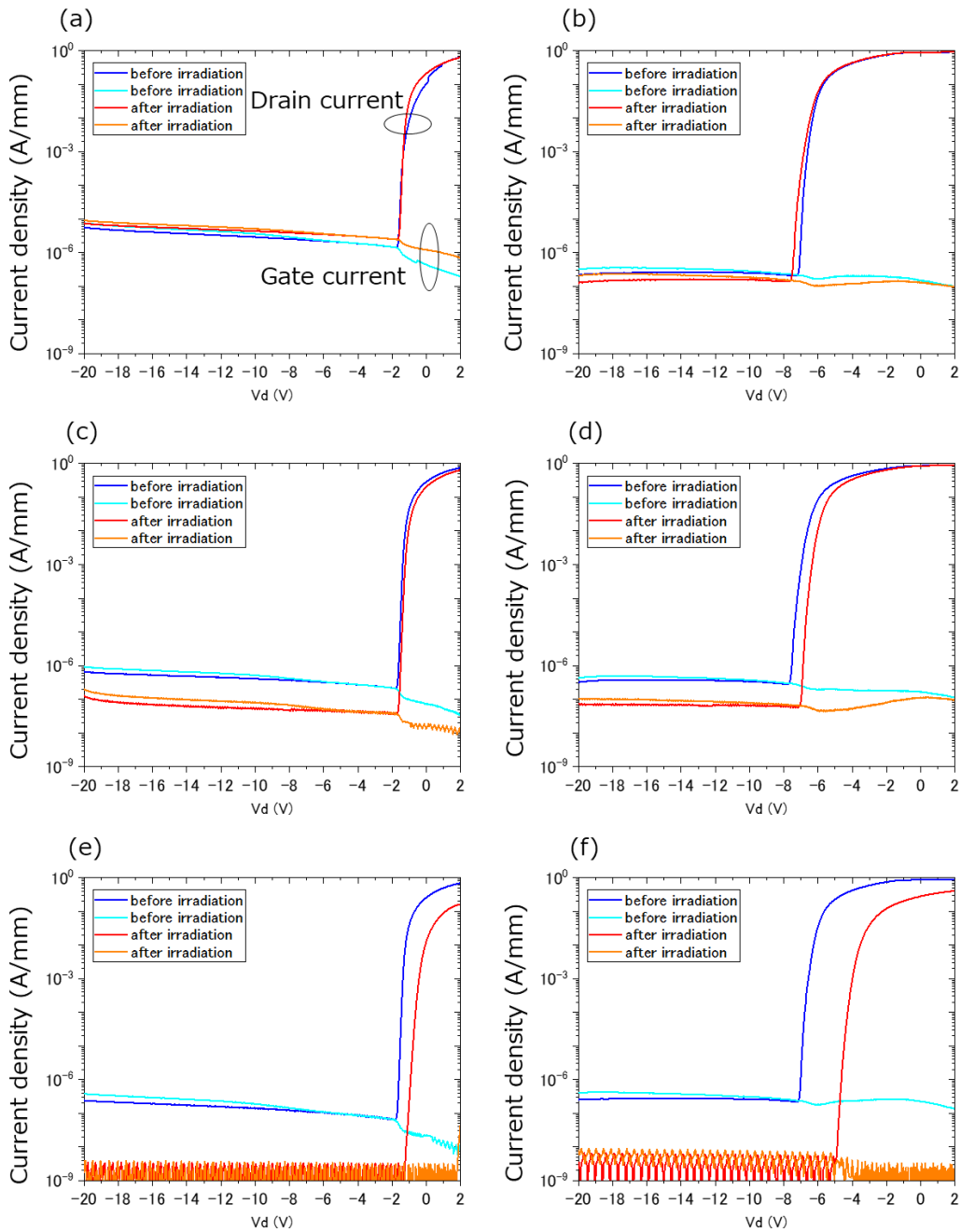
条件	イオン種	エネルギー[keV]	注入量[cm^{-2}]	注入時間 [sec.]
A	C	2000	1×10^{10}	2.9
B	C	2000	1×10^{11}	25
C	C	2000	1×10^{12}	40

表⑩-6-2 に重イオン照射前後の SiC 上 GaN HEMT の特性変化を示す。シート抵抗 R_{sh} 、キャリア濃度 N_s 、移動度 μ はホール効果測定より求め、コンタクト抵抗 R_c は TLM パターンより求めた。ドーズ量が 10^{10} cm^{-2} の条件 A では、すべての値に対して大きな変化が観察されず、 $1 \times 10^{10} \text{ cm}^{-2}$ のドーズ量に対しては通常の GaN HEMT デバイスでも十分な耐性があることが示されている。 $1.0 \times 10^{11} \text{ cm}^{-2}$ のドーズ量の条件 B では R_{sh} はわずかな上昇しか観察されないがキャリア濃度及び移動度を分けて考慮すると N_s が大きく増加しており、その一方で移動度は大きく低下している。この重イオン照射による移動度の低下は AlGaIn/GaN HEMT でよく観察されており、重イオンによって半導体中に固定電荷が形成され、その固定電荷による散乱であると結論付けられている[10]。さらにドーズ量を増加させた条件 C の場合には、条件 B で観察された移動度の低下に加えてキャリア濃度の低下も観察された。ドーズ量が多くなると AlGaIn 供給層中に Al 空孔を形成し、これがアクセプター型の欠陥となるためキャリア濃度の低下も招く[11]。その結果、シート抵抗の大幅な増加に加えてコンタクト抵抗も増加し電気特性の著しい劣化として観察された。

表⑩-6-2 イオン照射前後の SiC 上 HEMT の特性変化

照射条件	照射前	A	B	C
R_{sh} [ohm/sq.]	411	414	438	802
N_s [cm^{-2}]	0.98×10^{13}	0.94×10^{13}	1.36×10^{13}	0.77×10^{13}
μ [cm^2/Vs]	1580	1610	1050	1010
R_c [ohm-mm]	1.14	0.76	1.04	1.96

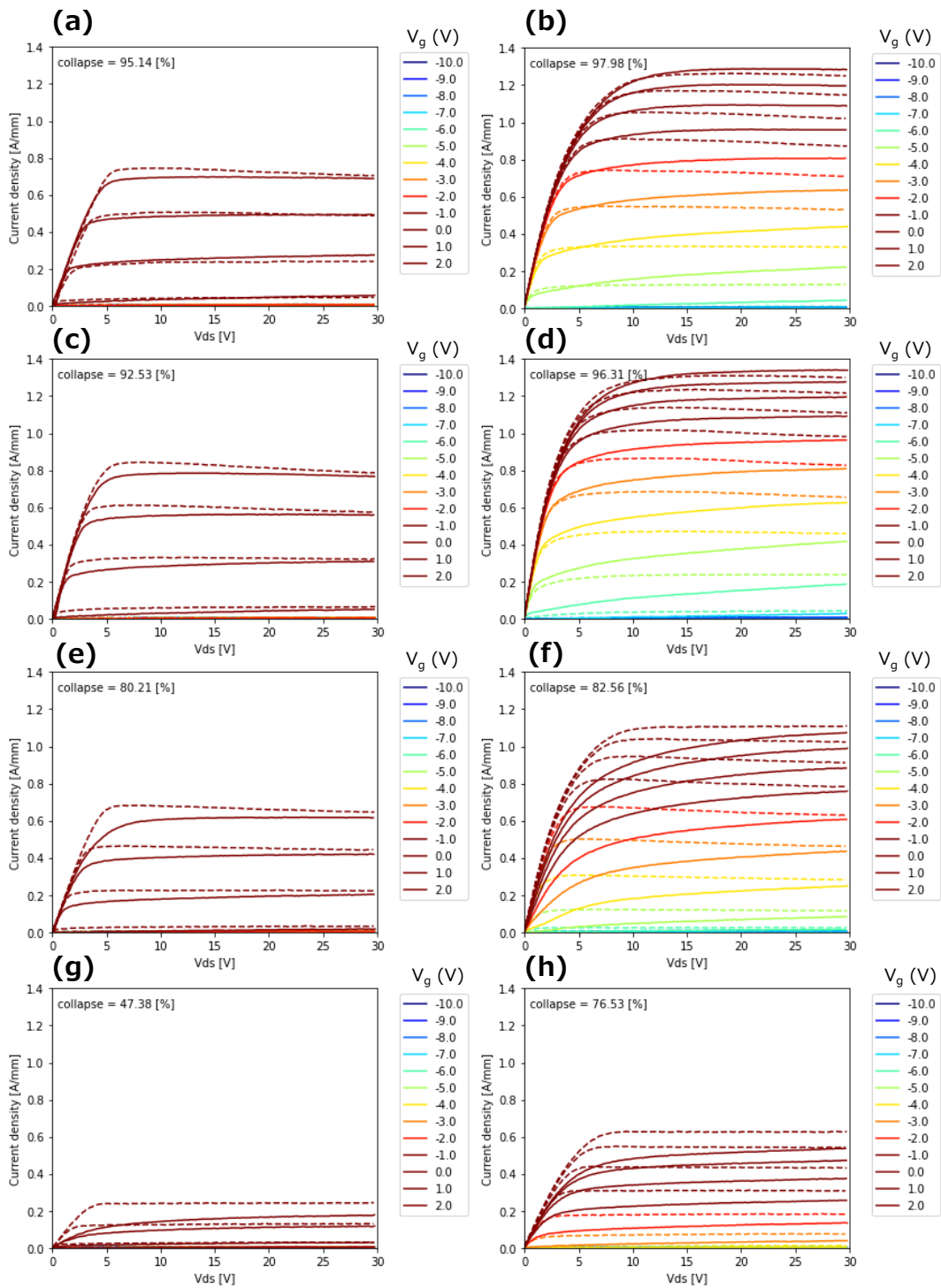
図⑩-6-2 に放射線照射後の I_d - V_{gs} 特性を示す。照射条件 A では、表⑩-6-2 で示したようにシート抵抗やコンタクト抵抗に大きな変化がないため SiC 上のデバイスにおいても(図⑩-6-5(a))特性の変化は見られず、AlN 上のデバイスでも同様の結果が得られている(図⑩-6-5(b))。照射条件 B においてもシート抵抗のわずかな上昇によって、ゲートリーク電流のわずかな減少がみられるものの、DC 特性には大きな変化は観察されなかった。照射条件 C では、SiC 上のデバイスではコンタクト抵抗及びシート抵抗がそれぞれ 2 倍程度増加したため、もともとの最大電流密度 $I_{max} = 0.70 \text{ A/mm}$ からイオン照射後では $I_{max} = 0.16 \text{ A/mm}$ と大きく減少する様子が観察された。また、キャリア濃度の減少による正方向への閾値シフトも観察された。AlN 基板上のデバイスにおいても I_{max} の減少は観察されたものの、放射線照射前の $I_{max} = 0.88 \text{ A/mm}$ に対して放射線照射後でも $I_{max} = 0.41 \text{ A/mm}$ とその減少率は SiC 基板上のデバイスと比較して小さい。AlN 基板でも閾値の正方向へのシフトが観察されることから AlGaIn 供給層中で Al 空孔形成によるキャリア濃度の減少は起きていると考えられる。それにもかかわらず I_{max} の減少が小さいということはシート抵抗の増加が SiC 上のデバイスと比較して少ないことを意味している。すなわち、原子のはじき出しエネルギーの高い AlN 結晶が存在することで、AlN 結晶が存在しない SiC 上のデバイスよりも移動度の低下要因となる固定電荷が 2DEG の近くに形成されにくく、固定電荷のポテンシャルによるキャリア散乱が起きにくくなるため、AlN 結晶を利用した AlN 上のデバイスでは I_{max} の低下が SiC 上デバイスに比べて小さくなったと考えられる。



図⑩-6-2 放射線照射後の I_d - V_{gs} 特性変化。それぞれ (a, c, e) SiC 基板上デバイスと (b, d, f) AlN 基板上デバイスの (a, b) 照射条件 A、(c, d) 照射条件 B、(e, f) 照射条件 C での特性。青線、赤線はそれぞれ放射線照射前後の特性を示す。(照射条件は表⑩-6-1 を参照のこと)

さらに、このような固定電荷や供給層中の欠陥は高周波特性にも影響を及ぼすため、Pulse-IV測定により放射線照射前後の電流コラプスの変化を調べた。図⑩-6-6にPulse-IVの測定結果を示す。測定条件はパルス幅1 μ sec.においてデューティー比0.1%で行った。ストレス条件は $V_{gs} = -10$ V, $V_{ds} = 30$ Vにて行った。放射線照射前はSiCおよびAlN上のデバイスの両者ともに95%以上の高いコラプス率を持っており、良好な特性を示している。照射条件Aの後では、わずかなコラプス率の低下がみられるものの大きな変化は見られなかった。照射条件BではSiC上およびAlN上の両者のデバイスで80%程度までコラプス率は低下した。このコラプス増加の原因は、前述したように放射線によってAlGaIn供給層中にアクセプター中心など固定電荷となる欠陥が形成されたためであると考えられる。さらに過酷な照射条件Cにおいては、SiC上およびAlN上のどちらのデバイスにおいてもコラプス率の低下がみられたもののAlN上では76%であったのに対して、SiC上のデバイスでは47%と大きな差がみられた。これは、DCの I_d - V_{gs} 特性でも見られたように2DEGの近くにAlN結晶が存在することで、電子トラップとなるアクセプター中心が形成されにくいため、表面側での電子トラップがSiC上のデバイスと比較して少ないためであると考えられる。

以上のことから、AlN結晶を利用したGaIn HEMTは耐放射線性に関しても従来のGaIn HEMTと比較しより高い耐放射線性を持っていると考えられる。

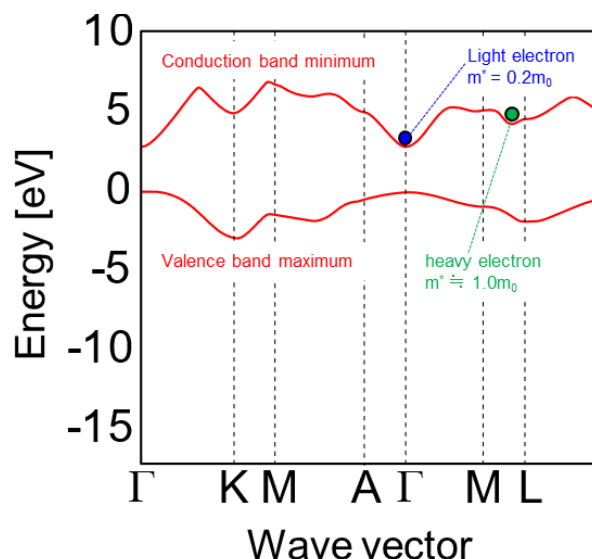


図⑩-6-3 (a, c, e, g) SiC上、(b, d, f, h) AlN上デバイスのPulse-IV測定結果。それぞれ(a, b)放射線照射前、(c, d)照射条件A、(e, f)照射条件B、(g, h)照射条件Cでの特性。ダッシュ線はバイアスストレスなし、実線は $V_{gs} = -10$ V、 $V_{ds} = 30$ Vストレスでの測定結果。(照射条件は表⑩-6-2を参照のこと)

3.10.6.2 量子チャネル構造適用による電子移動度の変化とその影響

窒化ガリウム高電子移動度トランジスタ (GaN HEMT) は強い分極電界による高い二次元電子ガス (2DEG) 濃度や高い絶縁破壊電界強度を持つため、高出力のパワーアンプとして用いられている。近年、無線通信データ容量の増大や高分解能のレーダーが求められており、X 帯などの高い動作周波数においてもさらなる高出力なデバイスが求められている。本研究では、このような高出力・高周波デバイスのニーズに向けたパワーアンプを創出するため、従来比 10 倍の出力を持つ GaN HEMT の確立を目指している。

この飛躍的な性能向上を実現するための 1 つの要素として、従来の GaN HEMT と異なるきわめて強い量子閉じ込め効果を電子輸送チャネルに適用することがあげられる。薄い GaN チャネルと AlN 材料を用いたこのような量子井戸 (QW) GaN HEMT 構造は強い電子閉じ込め効果によって、高い絶縁破壊電界強度を実現できることが報告されている。高い出力を構成する要素としては、このような耐圧の向上に加えて、高い電子移動度による電流密度の増加も重要である。一般的に GaN HEMT の場合、室温以上の動作範囲ではフォノンによって制限される平均自由行程と電子の有効質量によって電子移動度が決定される。そこで、GaN チャネル層にストレスを与えることで GaN の Γ 点付近の伝導体形状を変化させることで有効質量を軽くし、低電界の電子移動度を向上することなどが考えられている。しかし、GaN HEMT の場合は高い絶縁破壊電界強度を持つため、動作電圧も高くなり GaAs などの HEMT に比べてより高い電子のエネルギー状態になる。その結果、高エネルギー状態では Γ 点から M-L 点の有効質量の重い電子も考慮する必要がある (図⑩-6-4) [12]。

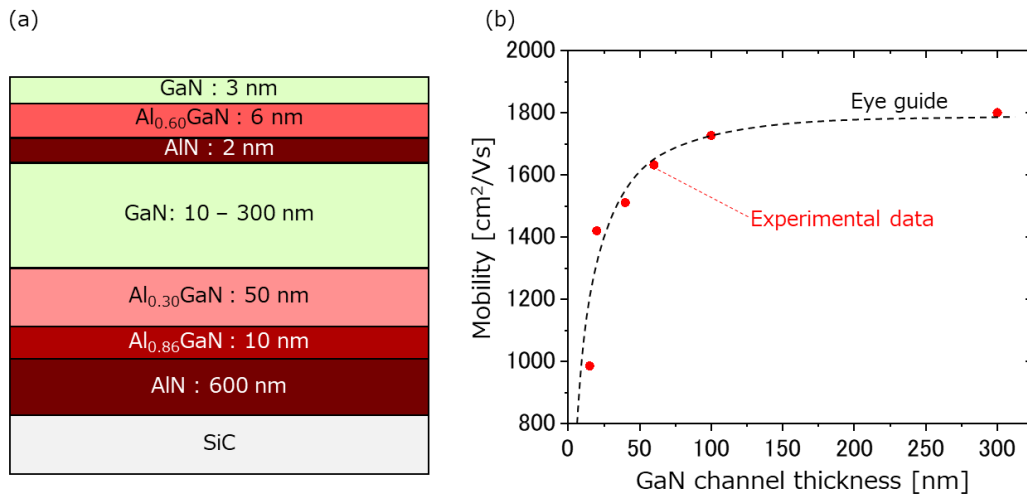


図⑩-6-4 GaN のバンド図

また、強い量子閉じ込め効果によるサブバンド形成の影響を考慮する必要がある。実際に、これまで報告されている QW GaN HEMT は通常の GaN HEMT の電子移動度と異なり、非常に遅くなること ($\sim 1000 \text{ cm}^2/\text{Vs}$) が報告されている。そこで本節では QW 構造を作製することによって、GaN HEMT 中の 2DEG が強い量子閉じ込め状態にあるときの特性変化を観察するとともに、その特性改善と電子輸送現象が GaN HEMT としての電流に与える変化を検討した。

QW GaN HEMT 適用による電子移動度及び電子速度の依存性を調べるため、GaN チャネル層膜厚と電子移動度の関係について調べた結果と用いた構造を図⑩-6-5 に示す。ここで用いた GaN HEMT 構造は、SiC 基板上に厚い AlN template 層を成長後に AlN 基板上と同様に AlGaIn バッファ層、GaN チャネル層、供給層を順次成長することで得た。SiC 基板上に厚い AlN template 層を成長すると 3.10.4.3 で報告するように、格子不整合起因となる 10^8 cm^{-2} 程度の転位が発生する。これは、AlN 基板の転位密度 $\sim 10^4 \text{ cm}^{-2}$ と比較して非常に多いが、室温での電子輸送特性や 2DEG 濃度には大きく依存しないため、SiC 上の AlN template 層を用いることでも QW GaN HEMT として比較可能である。従来報告されているように、GaN チャネル層の膜厚を増加させるほど電子移動度

は増加していることが分かる。GaN チャンネル層の膜厚を薄くすることによって移動度が減少する理由としてはこれまで、(i) GaN チャンネル裏面の GaN/AlN 界面に二次元正孔ガス (2DHG) が生成されることで、2DEG とのクーロン引力により電子速度が減少すること、(ii) 薄い GaN チャンネルの場合、GaN チャンネル層にわずかでも 2 次元的な膜厚分布があると裏面の AlN 層からの分極電荷の影響が強いため伝導帯のエネルギーも分布ができてしまう結果として、AlGaIn/GaN 界面の界面ラフネス散乱が増加する、などが考えられている。



図⑩-6-5 (a) 測定に使用した GaN HEMT 構造と (b) GaN チャンネル厚さと移動度の依存性

(i)について考慮すると、AlN 上に直接 GaN を成長した場合は 2DEG が形成される供給層/GaN 界面から GaN の膜厚分離れた位置に 2DHG が形成される。一方で、今回適用した QW GaN HEMT 構造は AlGaIn バッファ層が下地の AlN に対して格子整合するように成長されている(図⑩-6-6(a))。この場合、AlGaIn バッファ層の分極電荷は自発分極 P_s に加えて piezoelectric 分極 P_p 分だけ変化する。この時の piezoelectric 分極 P_p は下記の式⑩-6-1 で計算することができる。

$$P_p = 2[xE_{31}^{AlN} + (1-x)E_{31}^{GaN}]s_{11}^{AlGaIn} + [xE_{33}^{AlN} + (1-x)E_{33}^{GaN}]s_{33}^{AlGaIn} \quad \text{式⑩-6-1}$$

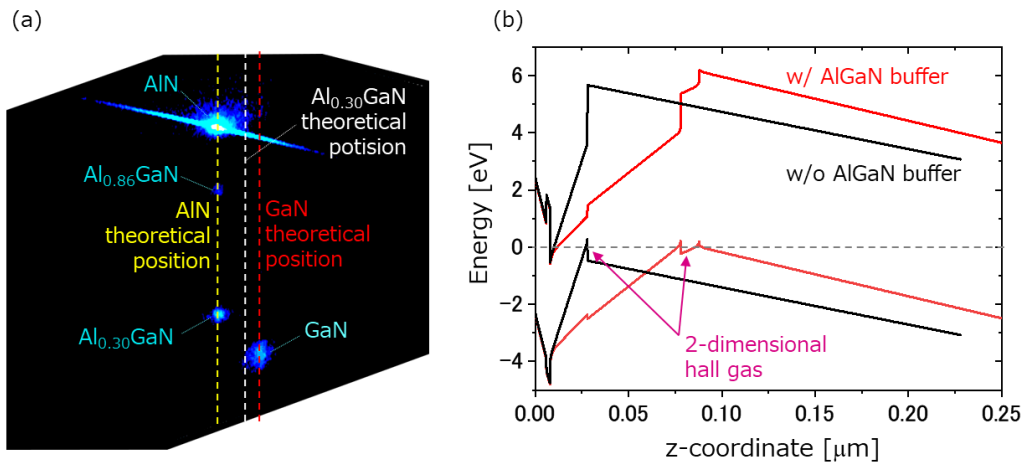
ここで、 $x(0 \leq x \leq 1)$ は AlGaIn の Al 組成であり、 $E_{i,j}$, $s_{i,j}$ はそれぞれ piezoelectric 定数テンソル及び応力テンソルの i , j 成分である。AlGaIn バッファ層の応力は図⑩-6-6(a)で示したように AlN と 2 軸応力が一致していることを考慮して、分極電荷を設定し Poisson-Schrödinger 方程式より求めたバンド図を図⑩-6-6(b)に示す。AlN 上に直接 GaN を成長した場合においては、GaN 層中に 2DHG も形成されることが分かる。一方で、AlGaIn バッファ層を用いると AlGaIn バッファ層の下端へ 2DHG が形成される。すなわち、AlGaIn バッファ層を用いることで形成される 2DEG と 2DHG の距離を大きく話すことができる。実際に、この構造を作製して Hall 効果測定により移動度を求めると AlN 上に GaN を直接成長するとチャンネル 20 nm において 1170 cm²/Vs であったのに対して、AlGaIn バッファ層を用いた場合では 1420 cm²/Vs と移動度が向上した。クーロン引力は電荷間の距離 r に対して $1/r^2$ で比例して弱くなる。しかし、50 nm 厚の AlGaIn バッファ層を用いた場合は、15 nm の GaN チャンネルでも 2DEG - 2DHG 間距離は 65 nm ある。

これは、AlN 上に直接成長した GaN チャンネルの 20 nm より 3 倍以上離れており、クーロン引力は $1/10$ 以下となっているにもかかわらず図⑩-6-6(b)に示した通り、AlGaIn バッファ層を適用した GaN チャンネルを 15 nm 成長した場合の移動度は 985 cm²/Vs と AlN 上に直接成長したものよりも低くなっていることが分かる。すなわち、QW GaN HEMT 構造適用による低電界移動度の低下の主

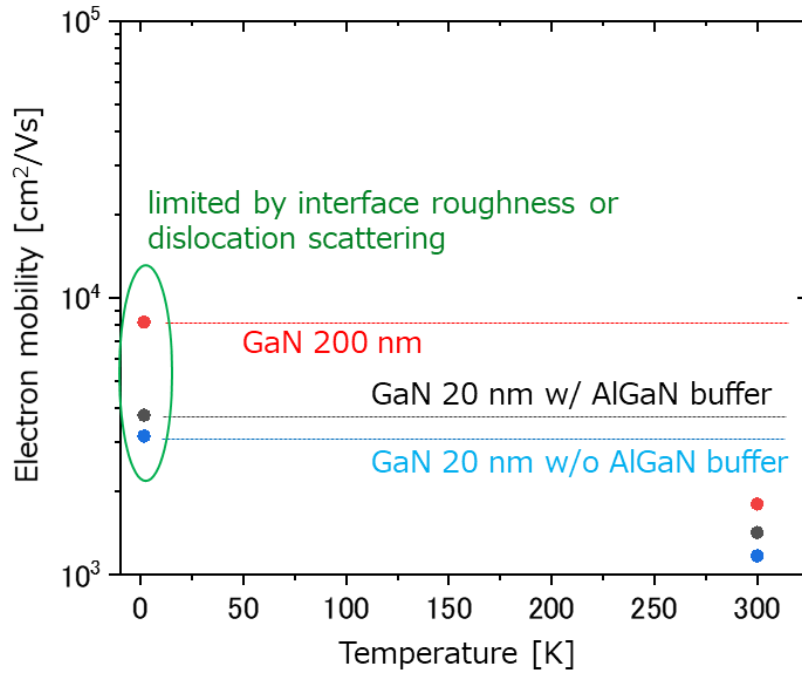
な原因はクーロン引力による効果ではないと考えられる。

次に、(ii)の界面ラフネス散乱の効果について検討した。GaN HEMT では一般的に、室温での移動度はフォノン散乱により制限される。一方で、低温の領域ではフォノン散乱はほぼ無視できるようになる一方で、合金散乱、転位による散乱または界面ラフネス散乱によって移動度が制限される。合金散乱については図⑩-6-5(a)に示した通り、AlN スペーサー層を用いているため通常の GaN HEMT 同様に十分小さい。つまり、もし QW 構造形成により界面ラフネスもしくは転位密度が増加した結果、室温の移動度にも影響を及ぼすようになった場合は、低温での移動度も劇的に低下するはずである。そこで、各 GaN HEMT 構造において 1.7 K 及び 300 K での Hall 効果測定を行い、移動度を求めた。図⑩-6-7 に移動度の測定結果を示す。室温における低電界移動度は、これまで示したように GaN チャンネル膜厚が最も厚い 200 nm が最も移動度が高くなっており、低温では $8158 \text{ cm}^2/\text{Vs}$ と非常に高い値を示している。

GaN チャンネル厚さが 20 nm の場合では、AlGaIn バッファを適用したもの及び適用していないもののどちらについてもチャンネル厚さ 200 nm のものよりも 1.7 K での移動度が小さく、チャンネル厚さが薄い場合においては界面ラフネスの影響が強いことを示している。しかし、AlGaIn バッファあり・なしどちらのものについても 1.7 K での移動度はそれぞれ $3770, 3170 \text{ cm}^2/\text{Vs}$ と室温での移動度 $1420, 1130 \text{ cm}^2/\text{Vs}$ より非常に高い。つまり、低温での移動度は転位または界面ラフネス散乱によって低減されてしまうものの、室温での移動度を抑制する主な原因ではないと考えられる。



図⑩-6-6 (a) 図⑩-6-5(a)の GaN HEMT 構造の AlN(105)における逆格子マップの結果と (b) AlGaIn バッファ層有無におけるバンド構造の変化



図⑩-6-7 300 K および 1.7 K でのホール効果による電子移動度測定結果

一方、GaN チャンネル中の内部ストレスを変化させることで、電子の有効質量を変化させることで、移動度を低減しようという試みがある。QW 構造を作製することにより、GaN チャンネル中に強いストレスが印加された結果、有効質量が変化してしまった可能性を考慮して、Raman 分光を用いて GaN チャンネルのストレスとその膜厚依存性を測定した。図⑩-6-8 に GaN E₂ High 付近の Raman スペクトル及び Raman スペクトルから求めた GaN 中のストレスから予測される有効質量を示す。ストレスのない GaN E₂ high peak は 568 cm⁻¹ であり、ピークシフト量 $\Delta\omega$ は [13]

$$\Delta\omega = K\sigma_{xx} \quad \text{式⑩-6-2}$$

ここで、K は比例係数で GaN の場合は 4.2 cm⁻¹/GPa であり、 σ_{xx} は横方向のストレスである。GaN チャンネル膜厚が厚いときは GaN E₂ ピークの理論値に近くなっているが、チャンネル膜厚が薄いと正の方向へのシフトが観察されている。これは、GaN チャンネルに対して圧縮ストレスが印加されていることを示している。また、圧縮ストレスが印加された場合の GaN の有効質量 m^* は、GaN の弾性率 181 GPa から求めた歪み量 ε を用いて以下のように表される [14]。

$$m^* = (\varepsilon + m_0^*)m_e \quad \text{式⑩-6-3}$$

ここで、 m_0^* はストレスがない時の GaN の有効質量係数であり 0.2 とし、 m_e は電子の質量である。すなわち、図⑩-6-8 (b) に示したように GaN チャンネルが薄い場合は圧縮ストレスを印加して、より GaN の理想的な格子定数に戻る力が加わる方向へひずみが形成されており、その場合は有効質量が増加する。結果として、GaN チャンネルが薄いほど移動度は小さくなる。しかし、移動度 μ と有効質量の関係は素電荷と各散乱因子による散乱時間 τ を用いて

$$\mu = q\tau/m^* \quad \text{式⑩-6-4}$$

となり、有効質量に反比例する。今回の場合、有効質量の変化量が非常に小さいため実験結果で得られたような大きな移動度の差は得られない。つまり、QW 構造作製による移動度の変化は有効質量の変化が主な原因ではないと考えられる。

そこで、通常の GaN HEMT において室温以上での主な移動度律速の原因となる音響フォノン散

乱について注目した。一般的な GaN HEMT の場合、フォノン散乱による時定数は式⑩-6-5 で表される。

$$\frac{1}{\tau} = \frac{D_i^2 k_B T m^*}{\hbar \rho s^2} \int |F_i(z)|^2 |F_j(z)|^2 dz [1 + 2\alpha E(k)] \quad \text{式⑩-6-5}$$

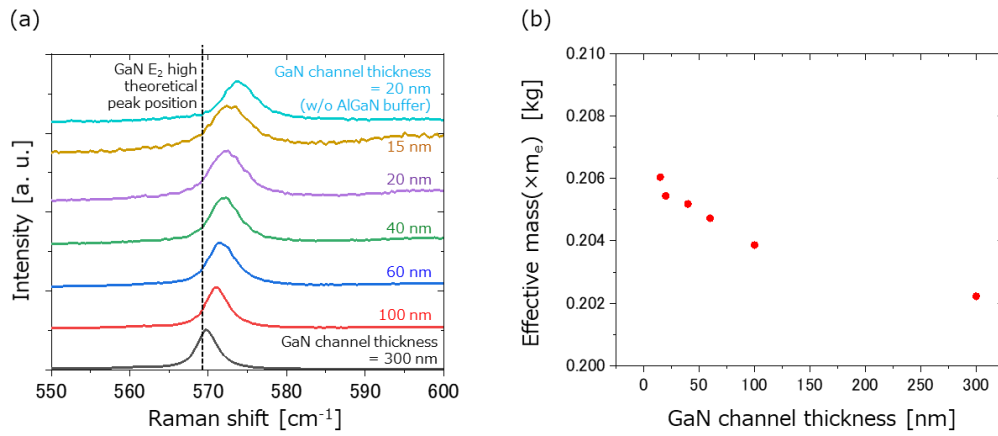
ここで、 D_i 、 α_i はそれぞれ i 番目の変形ポテンシャル、非放物線性係数であり、 F は固有関数を示している。すなわち、電子-格子相互作用によるバンド構造の変化と固有関数に依存している。図⑩-6-8(a)に示したように c 軸に平行な E2 モードであっても、その変位は大きくても 5 cm^{-1} 程度であり、変形ポテンシャルがフォノン散乱の時定数に対して線形の依存性しか持っていないため、大きな移動度の変化は起こらない。そこで、波動関数の変化による移動度の影響について検討を行った。フォノン散乱は式⑩-6-5 で示すように移動度と下記の関係性を持ち、低電界の移動度を考慮する場合、その散乱因子は同一バンド内での散乱を考慮すればよい。

Poisson- Schrödinger 方程式より求めた、各 GaN チャネル膜厚 (t) の場合の固有関数を用いて式⑩-6-6 から $I(t)$ を求めた。

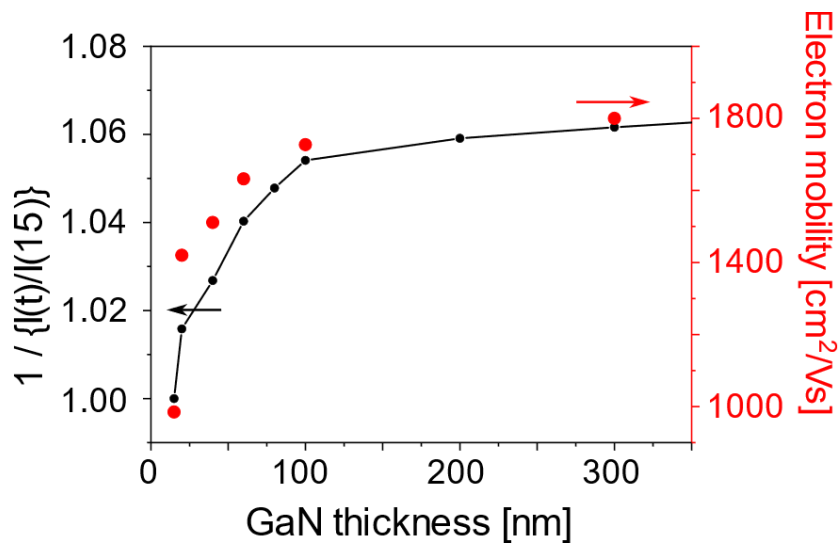
$$\mu \propto \frac{1}{\int |F_{i,j}(z)|^2 |F_{i,k}(z)|^2 dz} = I(t) \quad \text{式⑩-6-6}$$

規格化した $I(t)$ と t に対する移動度の実測値をプロットした結果を図⑩-6-9 に示す。これまで検討してきた他の要素に比べて、実測の移動度と計算値が非常によく一致していることが確認できた。すなわち、QW 構造作製による移動度低下の主な要因は AlN の強い分極電荷と薄い GaN チャネルにより、GaN チャネルに形成される 2DEG の固有関数が増加することで、バンド内散乱が増加するためである。今回、AlN 基板上的 GaN HEMT へ適用した AlGaN バッファ層は、QW 構造を維持したまま 2DEG の波動関数の重なり積分が低減でき、サブバンド内散乱を抑制できるため、AlN 基板上へ直接成長した場合の電子移動度 $1130 \text{ cm}^2/\text{Vs}$ よりも $1420 \text{ cm}^2/\text{Vs}$ と向上させることができた。

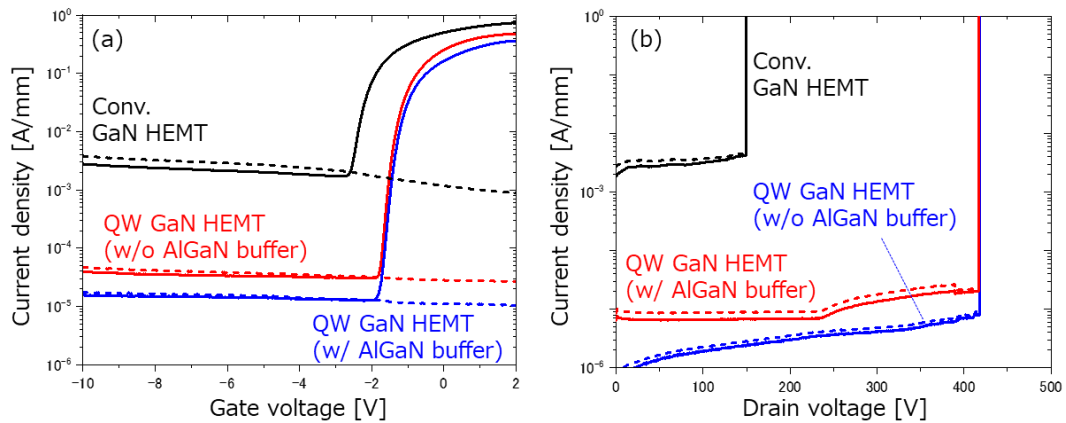
実際に今回開発したバッファ層を適用した QW GaN HEMT 及び AlN 上に直接 GaN チャネル層を形成した GaN HEMT、通常の GaN HEMT の I_d - V_{gs} 、耐圧測定結果を図⑩-6-10 に示す。通常の GaN HEMT では、移動度が最も高いため最大電流値は高いものの、ドレインのリーク電流が大きくなっている。一方で、QW GaN HEMT においては QW 構造を適用したことによって、ドレインのリーク電流は小さくなっていることが分かる。さらに、AlGaN バッファ層を適用した QW GaN HEMT と適用していない GaN HEMT を比べるとリーク電流はわずかに多いものの、移動度が向上したことにより、電流が増加していることが確認できる。さらに、この低いリーク電流と強い電子閉じ込めにより、AlGaN バッファ層を適用した場合においても、適用していない QW GaN HEMT と同等の耐圧が実現できている。これは、通常の GaN HEMT の約 2.5 倍の耐圧値であり、直流動作での性能指数を示す Baliga の Figure of merit ($= \epsilon \mu E_{\max}$) では、通常の GaN HEMT が 1 に対して、QW GaN HEMT ではおよそ 1.57 であり、AlGaN バッファ層を適用した QW GaN HEMT では 1.99 倍と非常に高い性能を実現できる可能性を示した。



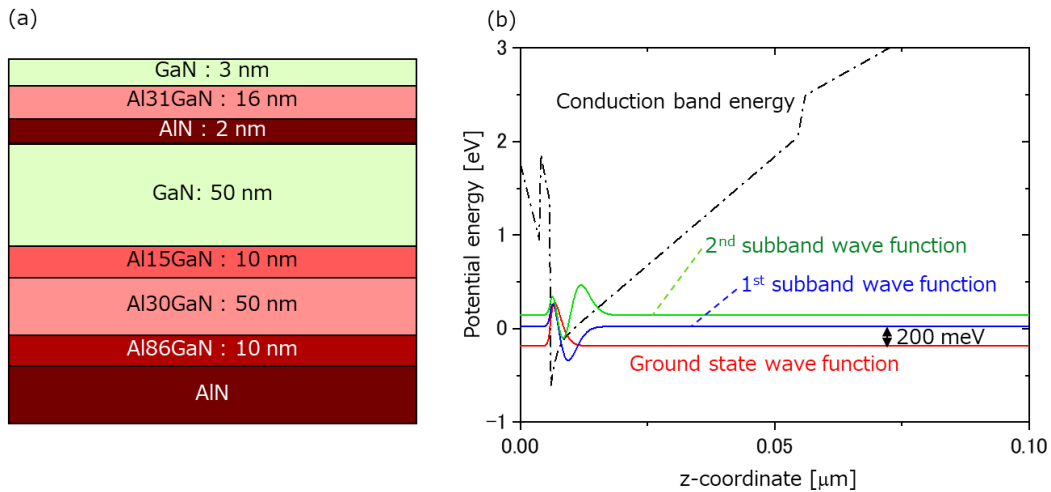
図⑩-6-8 (a) GaN E₂(high)付近の Raman スペクトルと (b) Raman ピークシフト量から求めた電子有効質量の GaN チャネル膜厚依存性



図⑩-6-9 実測の電子移動度と式⑩-6-6 から求めた波動関数の重なり積分の GaN チャネル膜厚依存性



図⑩-6-10 (a) I_d-V_{gs} 特性と (b) V_{gs} = -5 V における耐圧測定の結果



図⑩-6-11 (a) PL 測定に使用した GaN HEMT 構造と
(b) Poisson-Schrödinger 方程式より得られた各サブバンドの固有関数

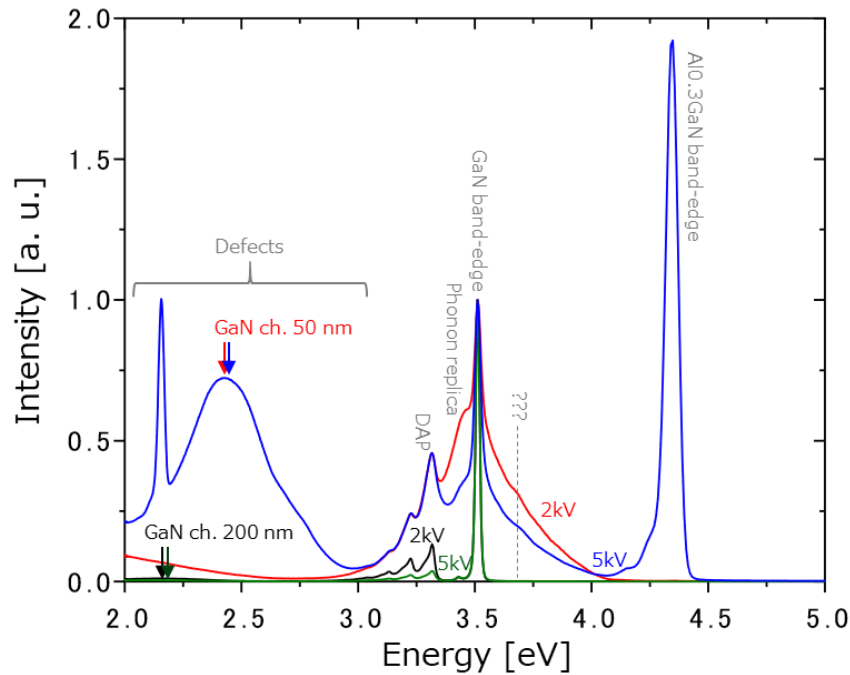
3.10.6.3 フォトルミネッセンス測定による電子固有値の測定

QW GaN HEMT 構造では高耐圧化が実現できるものの、低電界の移動度が低下してしまうことを述べた。また、波動関数の変化によりフォノン散乱が増加することが QW GaN HEMT 構造での移動度低下の主な原因であることを同定した。これを解決するために、圧縮応力を印加した AlGaIn バッファ層を適用し分極電荷を制御することで、QW GaN HEMT 構造特有の高い耐圧の実現とその低い移動度の改善を実験的に確認し、両立することができた。

上記は低電界の移動度、すなわち基底準位かつ Γ 点付近の電子に関して検討した結果である。実際に、上記の計算においては QW 構造作製による高次のサブバンドについても考慮しているものの、そのエネルギー帯への電子の遷移はわずかであるため、離散化した固有エネルギーの影響は無視することができる。しかし、従来の GaN HEMT では、高エネルギー状態の電子に対する閉じ込めは弱く、高次のサブバンドもほぼ基底準位と同じ電子状態となるが、QW GaN HEMT 構造では強い井戸型ポテンシャルにより、異なる電子状態であることを考慮する必要がある。特に GaN HEMT は高い絶縁破壊電界強度により、高電圧動作が可能のため、電気特性を検討するためには、高次のサブバンドの電気伝導特性などについて検討する必要がある。これはトランジスタ特性として、 $V_{ds} = 0$ V 付近のオン抵抗を決定する低電界の移動度特性だけではなく、knee 電圧付近などの高電界時の特性に影響を与える可能性がある。

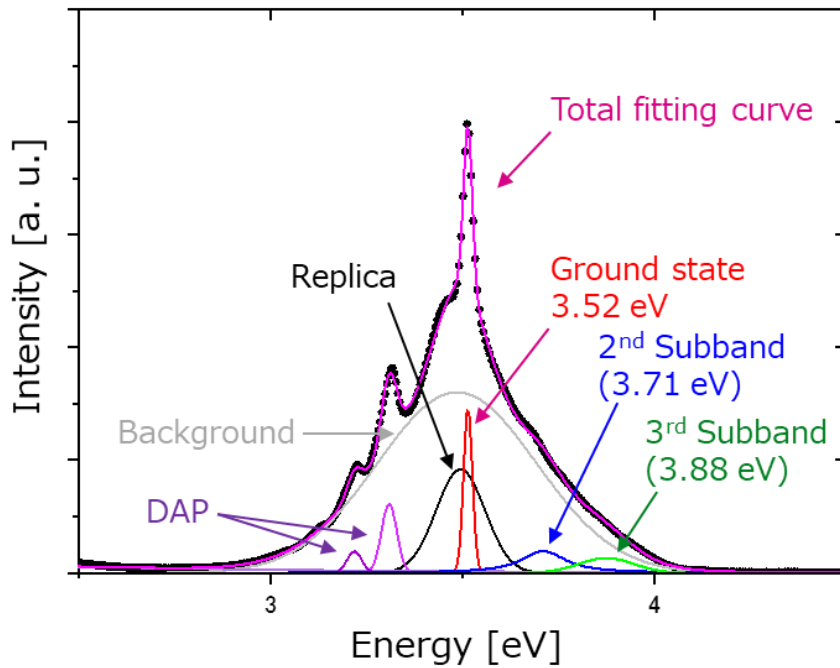
図⑩-6-11 に AlGaIn バッファ層と GaN チャネル 50 nm を AlN 基板上に作製した GaN HEMT 構造の模式図と Poisson-Schrödinger 方程式より求めた第 2 励起準位までの波動関数の計算結果を示す。基底準位の固有値はフェルミ準位より 186 meV 小さい一方で、第 1 励起準位の固有値はフェルミ準位よりも 24 meV 大きい。結果として、基底準位と第 1 励起準位の固有エネルギーの差は 200 meV 存在することになる。分極電荷による GaN HEMT の三角ポテンシャルでは第 2 励起準位以降は井戸幅が大きくなるため、高次の準位ほどサブバンド間間隔は小さくなり第 1 励起準位と第 2 励起準位のエネルギー差はおよそ 120 meV となる。

電子の固有エネルギーを実測する方法として、最も簡易な方法がフォトルミネッセンス (PL) 測定である。高次の固有エネルギーからの発光は、キャリア濃度が少なくなるため、バンド端発光に比べて非常に弱くなる。そのため、極低温で測定することで基底準位の状態密度の分布関数を小さくし、バンド端発光を狭くすることで発光波長の分解能を上げる必要がある。今回は、25 K において図⑩-6-11(a) に示した QW GaN HEMT 構造と GaN チャネル厚さを 200 nm まで厚くした通常の GaN HEMT について PL 測定を行った結果を図⑩-6-12 に示す。GaN HEMT の深さ依存性に関する情報を取得するため、加速電圧は 2 kV および 5 kV で行った。



図⑩-6-12 25 KでのPL測定結果

GaN チャンネル膜厚 200 nm の通常の GaN HEMT の場合は、明瞭な GaN のバンド端発光に加えてフォノンレプリカ及びドナーアクセプターペア (DAP) に関する発光ピークのみが観察される。GaN チャンネルが 50 nm の場合においては、上記のピークのほかに GaN チャンネルが薄くなったため、結晶品質が低下したことで 2.0-3.0 eV 付近に欠陥に関するピークが観察される。また、加速電圧 5 kV では侵入長が長くなるため、AlGaIn バッファ層起因のピークが観察されている。これらのピークのほかに 3.7 eV 付近にブロードなピークが観察されている。これは、加速電圧 5 kV よりも 2 kV の場合のピーク強度が高いため、供給層から 2DEG 領域に起因したピークであると考えられる。供給層に関しては、GaN チャンネル 200 nm においても同様の供給層を用いているが、観察できなかったため 2DEG 領域に関するピークであると考えられる。このピークに関して、より詳細に分析するためピークフィットを行った結果を図⑩-6-13 に示す。バンド端発光から 190 meV 高いエネルギーとそこからさらに 170 meV 高いエネルギーにピークが存在していることが分かった。これは、図⑩-6-11 において計算を行ったエネルギー準位の分列幅である 200 meV, 120 meV と近い値となっている。これらの結果から、高エネルギー側のピークは QW 構造作製によって、高次サブバンドのエネルギーが離散化した発光準位であると考えられる。



図⑩-6-13 薄膜 GaN チャネルのバンドエッジ付近の PL 測定およびフィッティング結果

3.10.6.4 量子井戸構造を用いた量子ホール効果の測定

PL測定によって、QW構造作製により基底準位から190 meV程度離れた場所にサブバンドが形成されていることが示唆された。PL測定は、測定が簡便な一方でサブバンドの固有値のみしか測定できない。高次のサブバンドがもつ有効質量や移動度といった、電気特性を取得するためには、PL測定では不十分である。そこで、量子ホール効果測定により、基底準位及び高次のサブバンドそれぞれの基礎特性の取得を試みた。

量子ホール効果測定の中でも、比較的低磁場で現れる Shubnikov-de Hass oscillation (SdHO) の観測原理は以下のとおりである。x, y 平面上に存在する二次元電子について、磁場 $\mathbf{B} = (0, 0, B_z)$ 下での電子のサイクロトロン運動は素電荷 (e) と質量 (m) を用いて

$$\omega = \frac{eB_z}{m} \quad \text{式⑩-6-7}$$

とあらわすことができる。また、電子のサイクロトロン運動の半径は運動量 (\mathbf{p}) を用いて、

$$|r| = \frac{|\mathbf{p}|}{eB_z} \quad \text{式⑩-6-8}$$

であり、Bohr-Sommerfeld の量子化条件 ($\mathbf{r} \cdot \mathbf{p} = n\hbar$) より、

$$\frac{\mathbf{p}}{eB_z} \cdot \mathbf{p} = n\hbar \quad (n = 1, 2, 3, \dots) \quad \text{式⑩-6-9}$$

のように運動量は量子化される。すなわち、フェルミ波数 k_F は

$$k_F^2 = \frac{eB_z}{\hbar} \quad \text{式⑩-6-10}$$

となる。よって、フェルミ面の断面積 (S_k) は

$$S_k = \frac{\pi e}{\hbar} B_z n \quad \text{式⑩-6-11}$$

と示すことができる。このように磁場によって量子化(ランダウ量子化)されたエネルギー固有値が最大のフェルミ面を横切るときに状態密度が最大となるため、振動が生じる。すなわち、最大のフェルミ断面積は

$$S_k = \frac{\pi e}{\hbar} B_n n = \frac{\pi e}{\hbar} B_n (n+1) \quad \text{式⑩-6-12}$$

と表すことができる。ここから n を取り除くことによって

$$\left(\frac{1}{B_{n+1}} - \frac{1}{B_n} \right) = \Delta \frac{1}{B} = \frac{2\pi q}{\hbar} \frac{1}{S_k} \quad \text{式⑩-6-13}$$

となり、磁場の変化に対する量子振動を観察することによって、フェルミ面の断面積を得ることができる。すなわち、SdHO を観測するということがフェルミ球の断面積を観察することに等しいことがわかる。

ところで、微小な二次元の波数空間 ($dk_x dk_y$) に存在する電子の数 (dN) はトックスピン、ダウンスピンを考慮し、原子間隔 L を用いると、以下のようにあらわすことができる。

$$dN = 2 \left(\frac{2\pi}{L} \right)^{-2} dk_x dk_y \quad \text{式⑩-6-14}$$

すなわち、フェルミ球全体 ($k = 0 \rightarrow \sqrt{2mE}/\hbar$) に対して積分することで、2次元の実空間 (面積 S) での全キャリア数 N を求めることができ、

$$N = 2 \left(\frac{2\pi}{L} \right)^{-2} \iint dk_x dk_y = \frac{S}{2} \left(\frac{2mE}{\hbar^2} \right) \quad \text{式⑩-6-15}$$

と表すことができる。ここで、 $\sqrt{2mE}/\hbar$ はフェルミ波数と等しいので、 $k_F = \sqrt{2mE}/\hbar$ とフェルミ断面積 $S_k = \pi k_F^2$ を考慮すると (7) 式より

$$\left(\frac{1}{B_{n+1}} - \frac{1}{B_n} \right) = \Delta \frac{1}{B} = \frac{2\pi q}{\hbar} \frac{1}{2\pi N} = \frac{q}{\hbar} \frac{1}{N_s} \sim 2.4 \times 10^{10} \frac{1}{N_s} [T] \quad \text{式⑩-6-16}$$

となり、量子振動の磁場の逆数の周波数を得ることで、ある固有エネルギーを持つ電子の電子密度を得ることができる。

このように、SdHO は磁場に対する状態密度の振動に依存するものであり、実際には磁場環境下における 2DEG 材料の抵抗変化として観測される。その抵抗はキャリア濃度 (n_s)、散乱時間 (t)、有効質量 (m)、サイクロトロン周波数 (ω_c)、量子緩和時間 (τ_q) を用いた Drude モデルによる磁場中の電導度

$$\sigma_0 = \frac{n_s e^2 \tau}{m^*} \left(\frac{1}{1 + (\omega_c \tau_q)^2} \right) \quad \text{式⑩-6-17}$$

をもとに、スピン縮重度を考慮すると状態密度の変化量に対して 2 倍の因子がかかり移動度 (m_t) を用いて

$$\sigma_{xx} = \frac{en_s \mu_t}{1 + \mu_t^2 B^2} \left(1 + \frac{2}{1 + \mu_t^2 B^2} \frac{\Delta g(\epsilon_F)}{g_0} \right) \quad \text{式⑩-6-18}$$

と書くことができる。ここで Dg/g_0 は状態密度の変化量であり。

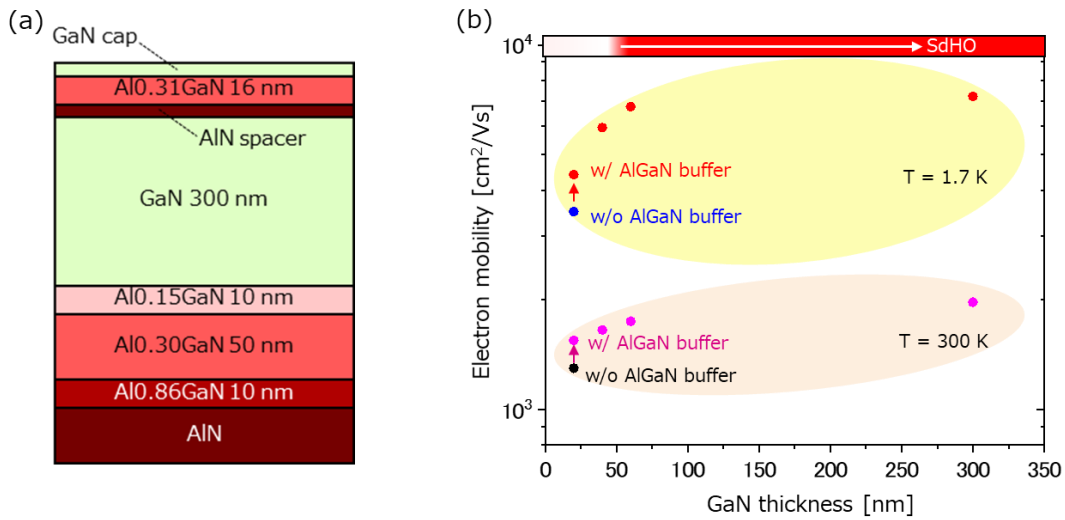
$$\frac{\Delta g(\epsilon_F)}{g_0} = 2 \sum \exp \left(-\frac{\pi s}{\mu_q B} \right) \cos \left[\frac{2\pi s (E_F - E_s)}{\hbar \omega_c} \right] - s\pi \left[\frac{(2\pi s k_B T / \hbar \omega_c)}{\sinh (2\pi s k_B T / \hbar \omega_c)} \right] \quad \text{式⑩-6-19}$$

である。ここで、 s はサブバンドの準位 ($s = 1, 2, 3, \dots$)、 E_F はフェルミ準位、 E_s はサブバンドの固有エネルギー、 T は温度、 k_B はボルツマン定数である。このように、SdHO 振動を磁場や温度に対して測定を行うことで、各エネルギー準位の移動度や有効質量などといった量子化された電子輸送に関する情報を得ることができる。

式⑩-6-18 および式⑩-6-19 に示したように、SdHO による抵抗率の変化量は状態密度の変化量に依存する。状態密度の変化量は振動そのものである \cos 関数と印加する磁場が増加することに振動が強くなる双曲線関数、およびその係数となる \exp 関数で示されている。 \exp 関数の中身はサブバンドの準位と印加する磁場と量子移動度で決定される。すなわち、十分強い SdHO の振幅を

得るためには量子移動度が高い必要がある。量子移動度(すなわちディングル温度)は有効質量が同じであれば、電子のサイクロトロン運動の持続可能時間を意味する。つまり、SdHOを観測する低温環境下において、電子の散乱因子を抑制し、高い電子輸送移動度を実現することがSdHOを観測するために必要な条件となる。そこで、電子の輸送移動度とSdHO観測の可否を調べた。

図⑩-6-14に使用したGa_{0.31}N HEMT構造及びGa_{0.31}Nチャンネル厚さと輸送移動度の関係を示す。AlN上にはGa_{0.31}Nチャンネル内部の電界緩和を行うことでフォノン律速となる電子移動度低下を抑制するAlGa_{0.15}Nバッファ層を用いた。AlGa_{0.15}Nバッファ層を適用することにより同じ20 nmの薄いGa_{0.31}Nチャンネル膜厚であっても、温度T = 300 K及びT = 1.7 Kの両者において電子移動度が向上した。さらに、Ga_{0.31}Nチャンネル厚を増加させることで、より電子の輸送移動度は向上することが観察され、これは低温でより顕著な傾向が得られている。これは、低温ではフォノン散乱の影響が弱まることにより、別の散乱因子によって輸送移動度が律速されているためである。1.7 Kにおいては40 nm厚さのGa_{0.31}N HEMTではSdHOを観察できなかったものの、Ga_{0.31}Nチャンネル厚さ60 nm及び通常のGa_{0.31}N HEMTに近い300 nmではSdHOを観察できることを確認した。すなわち、Ga_{0.31}N HEMTにおいて少なくとも基底準位からのSdHOを観察するためには、Ga_{0.31}Nチャンネル厚さ60 nmにて得られた電子輸送移動度(6000 cm²/Vs)以上が必要であることが分かった。

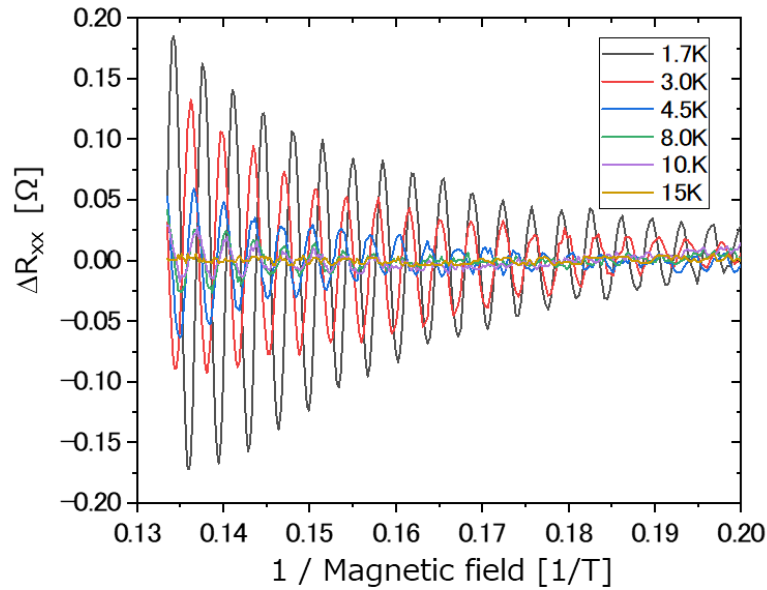


図⑩-6-14 (a) 量子ホール効果測定サンプル構造。(b) Ga_{0.31}Nチャンネル厚さと電子移動度の関係。上部の赤い領域はSdHOが観察された領域を示す。

図⑩-6-15にGa_{0.31}Nチャンネル厚さ300 nmの量子ホール効果測定結果を示す。1.7 Kから15 Kまで明瞭なSdHOが観察された。式⑩-6-10に示す通り、SdHOの振動周期は存在する準位ごとの2DEG濃度に依存する。そこで、高速フーリエ変換(FFT)を行うことで、SdHOの周波数を調べることで振動に寄与している電子の濃度が分かる。さらに、式⑩-6-18および式⑩-6-19から、FFTを行った振幅の変化は温度の関数として[15]、

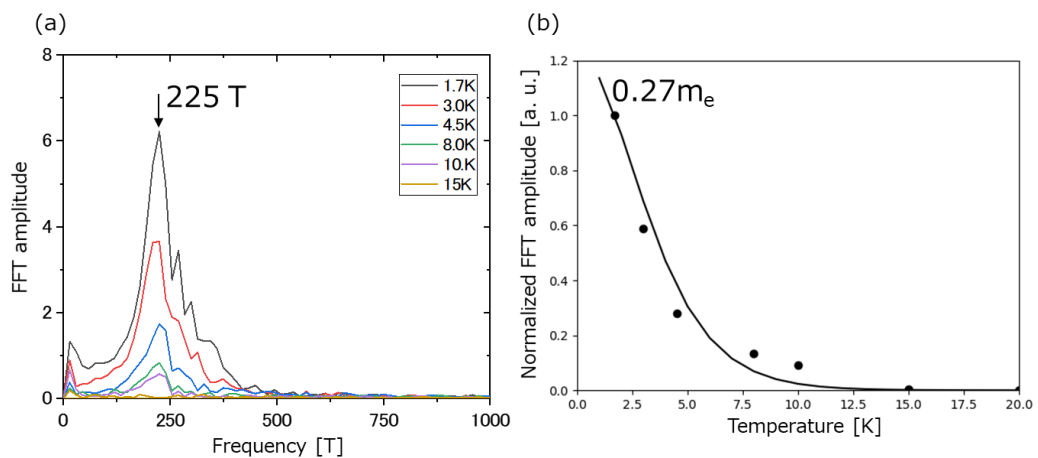
$$\frac{\Delta R(T, B)}{\Delta R(T_0, B)} = \frac{T \sinh \left[\frac{2\pi^2 k_B T_0}{\Delta E(B)} \right]}{T_0 \sinh \left[\frac{2\pi^2 k_B T}{\Delta E(B)} \right]} \quad \text{式⑩-6-20}$$

と表すことができる。ここで、 $\Delta E = \hbar eB/m^*$ である。変数は有効質量のみとなるため、FFT振幅の温度依存性から有効質量を求めることができる。したがって準位ごとのFFT振幅が観測できれば、各準位の電子の有効質量を個別に求めることができ、非放物線性を含む電子の有効質量を求められる。今回のGa_{0.31}Nチャンネル厚さ300 nmの結果では、図⑩-6-15からもわかるように単一周期のSdHOのため基底準位の電子のみからなる振動である。この結果から、今回得られたSdHOがAlGa_{0.15}N/Ga_{0.31}N HEMT界面の二次元電子ガス(2DEG)からのものかを確認するために、FFT変換及びその振幅の温度依存性から有効質量を求めた。



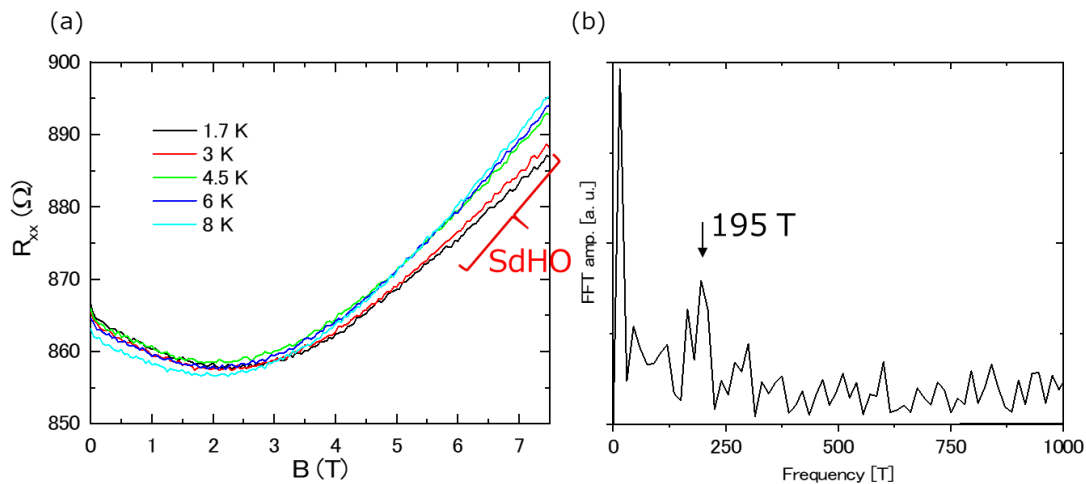
図⑩-6-15 図⑩-6-5(a)に示した構造の GaN チャネル厚さ 300 nm における SdHO

図⑩-6-16 に図⑩-6-15 の FFT 処理後および FFT 振幅の温度依存性を示す。図⑩-6-16(a)に示すように 225 T において強いピークが観察され、周波数 225 T の周波数を持つ振動であることが分かる。式⑩-6-16 より SdHO から求められた 2DEG 濃度は $1.09 \times 10^{13} \text{ cm}^{-2}$ であり、これは通常のホール効果を用いて得られた 2DEG 濃度の $1.13 \times 10^{13} \text{ cm}^{-2}$ と非常に近い。また、その差分は $0.04 \times 10^{13} \text{ cm}^{-2}$ であり、この 2DEG 濃度の差はサブバンドの励起準位に存在する 2DEG 濃度であると考えられる。すなわち、2DEG のほとんどは基底準位に存在していることが分かる。また、FFT 振幅は降温になるほどその強度が弱くなり、式⑩-6-20 の有効質量をフィッティングパラメータとしてフィッティングした結果、2DEG の有効質量は $0.27 m_e$ となり、GaN の電子の有効質量理論値である $0.2 m_e$ と近い値が得られた。有効質量が増加している理由は AlN 上に成長したために GaN に圧縮ストレスが印加されたため、E-k 分散関係における dE/dk が増大したことや、 $1 \times 10^{13} \text{ cm}^{-2}$ といった高い電子濃度に起因して、電子間の相互作用が強くなったためであると考えられる。一方で、SdHO から得られた 2DEG 濃度及び有効質量がその他の実験値と近い値が得られ、今回得られた抵抗の振動は確かに AlGaIn/GaN HEMT の基底準位からの量子振動であると結論付けられる。



図⑩-6-16 (a) 図⑩-6-15 の FFT。(b) FFT 振幅の温度依存性
実線は式⑩-6-20 に基づいたフィッティング結果。

また、図⑩-6-17に GaN チャネル厚さ 60 nm の量子振動測定結果を示す。1.7 K 及び 3 K かつ高磁場環境下において微弱な SdHO が観察できた。しかし、振動振幅が弱いため高温化した場合に SdHO が消滅してしまっていることが分かる。そのため、今回の結果では、解析に必要な十分な結果が得られなかった。GaN チャネルは厚膜になるほど高品質化するため、厚い GaN チャネル 300 nm の場合では明瞭な SdHO が観察されたものの、薄い GaN チャネルの場合には、結晶成長技術の改善などといった GaN 層の高品質化が必要であることが分かった。



図⑩-6-17 GaN チャネル厚さ 60 nm の (a) SdHO と (b) FFT 結果

3.10.7 まとめ

本プロジェクトでは、実施項目③(量子閉じ込めチャネル構造成長技術)、実施項目④(高耐圧絶縁ゲート形成技術)、実施項目⑤(高機能絶縁膜形成技術)、実施項目⑦(表面放熱技術)のように、各稿において要素技術の開発を行った。本稿では、各要素技術をインテグレーションしてデバイスを開発し、最終的に従来一般的なGaN HEMTの出力電力密度 6 W/mmに対して4倍以上の出力密度を持つAlN基板上HEMTの実現を目指した。

平成30年度には、実施項目⑦(表面放熱技術)でCVDダイヤモンドを適用する際に要求される表面絶縁膜の耐熱性について検討し、高耐圧絶縁膜としてはAlOよりもSiN膜の耐熱性が高く、ダイヤモンド成膜を想定した熱履歴による耐圧劣化を抑制できることがわかった。

平成31年度には、実施項目③(量子閉じ込めチャネル構造成長技術)の結果に基づき、従来のSiC基板上HEMTよりもチャネル層を薄層化したAlN基板上HEMTを試作し、 I_{off} 、電流コラプスの低減により、大電流化・高電圧動作の両立を目指した。その結果、70 Vの動作電圧(X帯)において15.2 W/mmの P_{sat} が得られ、SiC基板上HEMTに対する高出力化を実証した。さらに、実施項目④(高耐圧絶縁ゲート形成技術)及び⑤(高機能絶縁膜形成技術)の検証結果から、ゲートソース間に単層SiN膜、ゲート直下及びゲートドレイン間に積層SiN/AlON膜を配置したMIS/パッシベーション構造(SiN/AlONハイブリッド構造)が、高耐圧化とキャリア変調の両立に有効であることを見出した。

令和2年度には、デバイスシミュレータおよび実デバイスを用いた高耐圧化に関するメカニズム検証を行い、チャネルを薄層化(200 nm)したAlN基板上HEMTでは、高Al組成(30%)AlGaInバッファがバックバリアとして機能し、電子供給層やチャネル内の電界緩和に寄与することで、耐圧が向上することを見出した。その半導体構造に実施項目④(高耐圧絶縁ゲート形成技術)で開発したMIS構造を適用することで、更なる大電流化・高耐圧化が可能であることを実証した。

令和3年度には、各要素技術をインテグレーションして高出力デバイスの開発を行った。実施項目①, ②で開発したAlN基板上に要素技術③で検討したMOCVDによるGaIn HEMT構造を適用し実施項目④, ⑤にて検討したAlON/SiN積層絶縁膜および高温成膜したSiN絶縁膜を適用して、各デバイスの出力密度を測定した。AlON/SiN積層絶縁膜では、高い電流コラプスを実現できるものの、耐圧の面で改善の余地があることが分かった。そこで、電流コラプスはわずかに低下するものの、耐圧を大きく改善できる高温成膜SiN層を適用した結果、24 W/mm以上の出力密度を実現した。

参考文献

- [1] K. Makiyama et al., Phys. Status Solidi C 6, 1012 (2009).
- [2] A. Yamada et al., Phys. Status Solidi C 7, 2429 (2010).
- [3] T. J. Anderson et al., CS-MANTECH Technical Digests, pp. 325-327 (2012).
- [4] Y. Zhou et al., Appl. Phys. Lett. 111, 041901 (2017).
- [5] 八巻他 SEIテクニカルレビュー 第182号, p. 75-79 (2013)
- [6] Y. Hori et al., Jpn. J. Appl. Phys. 49, 080201 (2010).
- [7] S. Ozaki et al., Phys. Status Solidi A 212, 1153 (2015).
- [8] S. Ozaki et al., Appl. Phys. Express 14, 041004, (2021).
- [9] M. P. Khanal et al., J. Appl. Phys. 124, 215702 (2018)
- [10] X. Hu et al., IEEE Transaction on Nuclear Science 50, 6, pp. 1791 (2003)
- [11] J. D. Greenlee et al., Appl. Phys. Lett. 107, 083504 (2015)
- [12] K. Miwa et al., Phys. Rev. B, 48, 7897 (1993).
- [13] D. Wang et al., J. Appl. Phys. 97, 056103 (2005).
- [14] C. E. Dreyer et al., Appl. Phys. Lett. 102, 142105 (2013).
- [15] L. Wang et al., Phys. Rev. Applied 9, 024006 (2018).

3.1.1 ⑪高効率電力合成技術

3.1.1.1 はじめに

ワイドバンドギャップ半導体を用いた GaN HEMT は高耐圧という特徴により、高出力密度が期待でき、電力増幅器の高出力化・小型化につながる。従来から高出力電力増幅器として知られている進行波管 (Traveling Wave Tube : TWT) やマグネトロンなどの置き換えとしても期待されている。

しかし、TWT やマグネトロンといったデバイスに対して、単一の GaN HEMT 素子から出力される電力は小さいため、複数の GaN HEMT 素子から出力される電力を合成し、高出力化する必要がある。従来は、低周波数領域では主にプリント基板上でマイクロストリップ (Microstrip Line: MSL) 線路やコプレーナ線路のような平面回路で合成回路を構成するもの、また高周波領域では半導体チップ上に平面回路で合成回路を構成するもの、もしくは導波管合成器を用いるものが一般的である。しかし、平面回路は金属による線路であるため導体損による損失が存在し、それは配線長に比例して増大するため、いくつもの GaN HEMT の出力を合成するような大規模な電力合成器には適していない。また、金属配線の特性インピーダンスは、MSL 配線では主に裏面グラウンドとの距離、またコプレーナ配線の場合には主に横方向に存在するグラウンド配線との距離で決まり、太い配線ほど低インピーダンスとなることから、伝送可能な電流量と特性インピーダンスの間にトレードオフが存在し、大電力向け電力合成器に対しては適用が難しい要因の一つとなっている。また、導波管は金属壁で囲まれた空間を電磁場として電力を伝送するものであるためロスが極めて少ないが、立体構造であり導波管のサイズは伝送する波長によって決まるため、小型化・軽量化が難しい。

近年、平面回路と導波管の利点を併せ持つポスト壁導波路 (Substrate Integrated Waveguide : SIW) が提案され、研究されている。SIW の基本構造を図⑪-1-1 に示す。SIW は上面金属層、下面金属層の二枚の金属層に基板が挟まれている構造を持ち、上面金属層と下面金属層は基板を上下に貫通するビアホールによって接続されている。ビアホールの内側は金属層が成膜されている、もしくは充填されており、DC 的に接続されている。ビアホールの間隔は基板内の電磁波の波長で決定され、一般的に約半波長とする。上面金属、下面金属、ビアホールにより、基板内に疑似的に導波管を形成することができる。

SIW の特徴の一つとして、電力輸送特性 (Power Handling Capability: PHC) が優れていることが指摘されている。MSL 線路のような平面線路では、電流を輸送する導体の導体損や基板等の誘電損によって発生する熱による導体の焼損で PHC が律速される [1]。一方、SIW は導体損や誘電損によって発生する熱による基板材料のガラス転移により律速されることが指摘されている [2, 3] もの、基板材料の種類、SIW 構造の最適化により、平面回路では伝送が難しかった大電力を扱える可能性があることから、SIW 構造を大電力合成器へ適用することにより、低損失・高効率・小型な電力合成器の実現が期待できる。

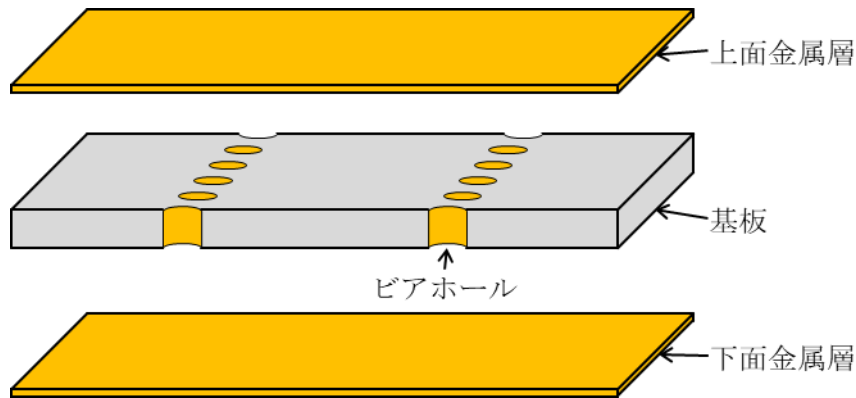
平成 30 年度は、シミュレーションにより 2 つの入力ポートを合成する構造を最適化し、合成損失を 3 dB 以下を達成した。さらに、合成回路はバイアス電圧を供給できる構造とし、50 V 以上の耐電圧を持つことを確認した。

平成 31 年度には、平成 30 年度のシミュレーションにおいて検証した導波管変換器の試作を行い検証した。また、導波管分配回路の損失も実験により求め、損失の問題点を洗い出すとともに、2 素子の合成損失が 2 dB 以内を実現した。同時に、マイクロストリップ線路による合成器に比して、提案する合成回路の優位性を検証した。

平成 31 年度までの研究結果により、基板内の疑似導波管構造については、基板の誘電損失の影響が大きく、低損失化の妨げになっていることがわかった。そこで令和 2 年度は疑似導波管構造の内部を中空構造とする中空疑似導波管構造を検討し、マイクロストリップ-中空疑似導波管変換構造の最適化、合成器の設計を行うことにより、8 合成器の合成損失 2 dB 以下を達成した。

令和 3 年度は基板集積導波路 (SIW: Substrate Integrated Waveguide) 技術の完成度を高め、8 つの出力を合成する回路を作成し、X 帯以上の周波数帯において合成損失が 1.5 dB 以下である

ことを確認した。さらに、最終統合検討として、実施項目⑩にて作製した AIN デバイスの RF 特性評価結果に基づき、AIN デバイスを適用した際のパワーアンプ出力特性の改善について検討した。

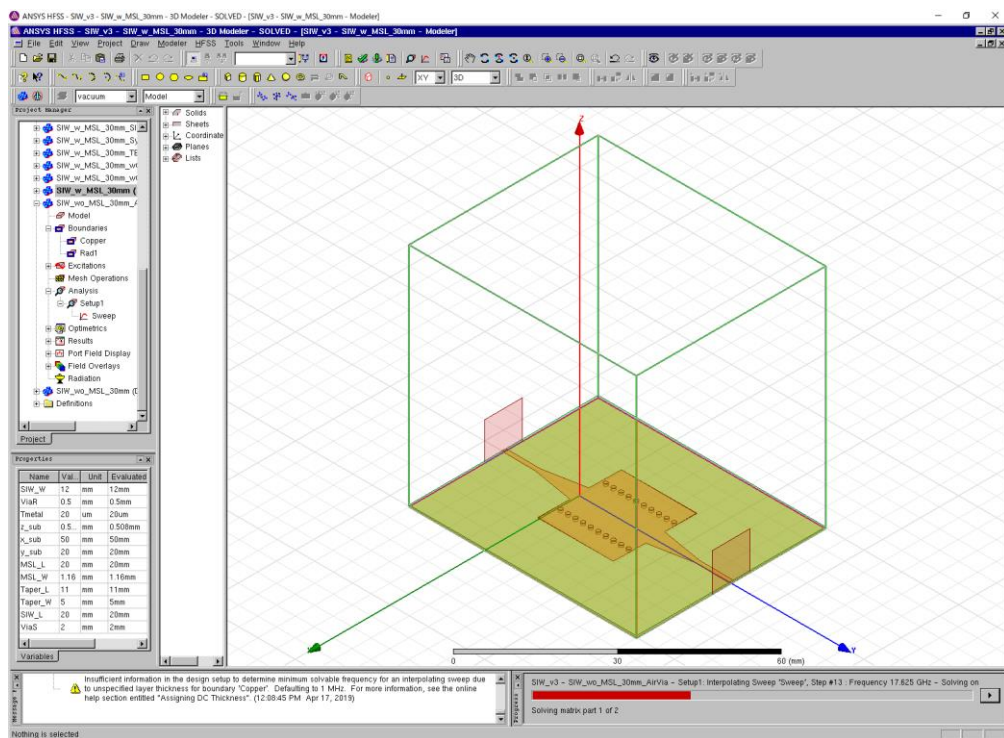


図⑩-1-1 SIW の基本構造. ビアホールの内側の金属層により上面金属層と下面金属層が DC 的に接続される.

3.1.1.2 SIW シミュレーション環境の構築と基本構造の設計

3.1.1.2.1 SIW シミュレーション環境の構築

SIW の解析には 3 次元電磁界解析が必要である。今回 3 次元有限要素法シミュレータである ANSYS HFSS を使用した。平成 30 年度は HFSS のシミュレーション環境の構築、基本的な SIW の構造の設計を実施した。図⑩-2-1 に HFSS の解析画面の例を示す。



図⑩-2-1 ANSYS HFSS の解析画面例

3.1.1.2.2 SIW 基本構造の設計

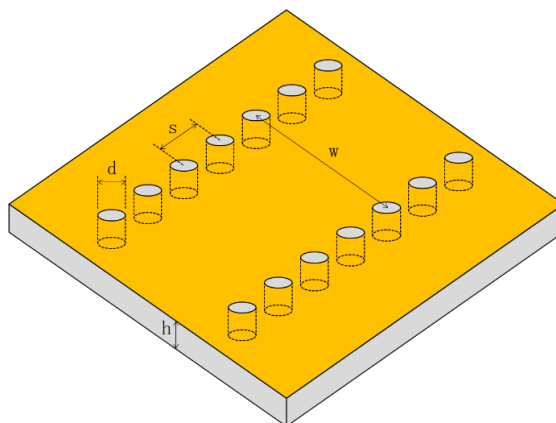
SIW の基本構造を図①-2-2 に示し、図中に SIW 設計の基本的なパラメータを示した。SIW の設計パラメータとして、以下のパラメータが考えられる。

- 基板厚 (h)
- ビアホール直径 (d)
- ビアホールピッチ (s)
- SIW 幅 (w)

この時、実効的な SIW の幅 (w_{eff}) は式①-2-1 のようになることが知られている [4]。

$$w_{eff} = w - 1.08 \cdot \frac{d^2}{s} + 0.1 \cdot \frac{d^2}{w} \quad \text{式①-2-1}$$

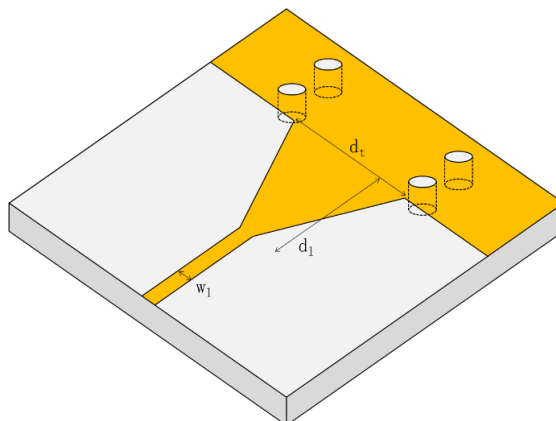
所望周波数で SIW として動作させるためには、ビアホールのピッチを所望周波数の基板内での実効波長より十分短くすることが必要である。実効波長と同程度、もしくは実効波長より大きいビアホールピッチに設定した場合、ビアホール間からの電磁場の漏洩が発生し、SIW として動作しないことが示されている [4]。



図①-2-2 SIW の基本構造の模式図

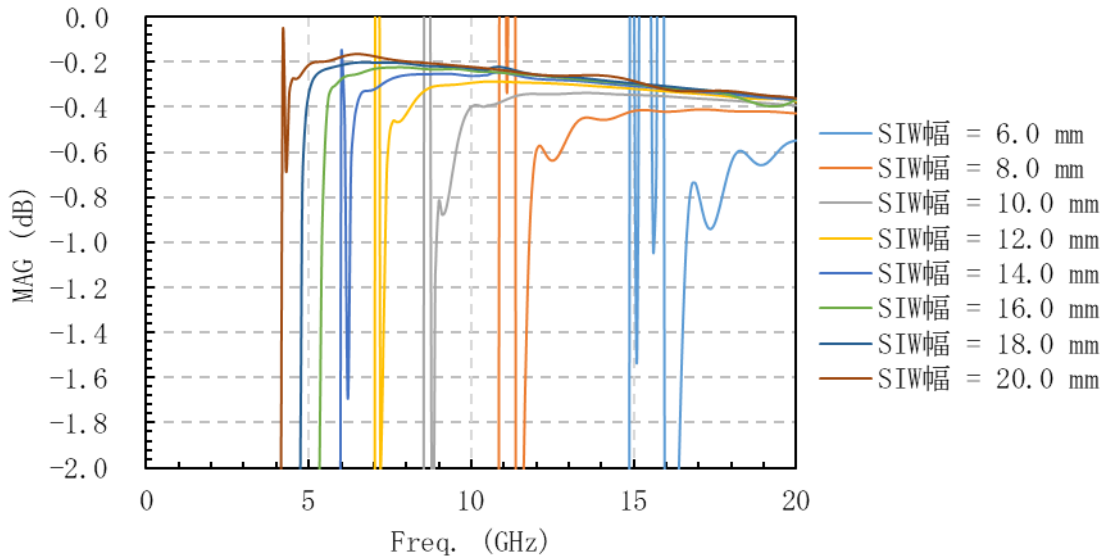
SIW とほかの素子を結合するため、SIW と MSL 線路への変換構造も提案されている。一般的に用いられている構造は、図①-2-3 のように MSL 線路と SIW の上面金属をテーパ状に接続する構造である [5]。テーパ形状の設計パラメータとして以下のパラメータが挙げられる。

- テーパー長 (d_t)
- テーパー幅 (d_t)



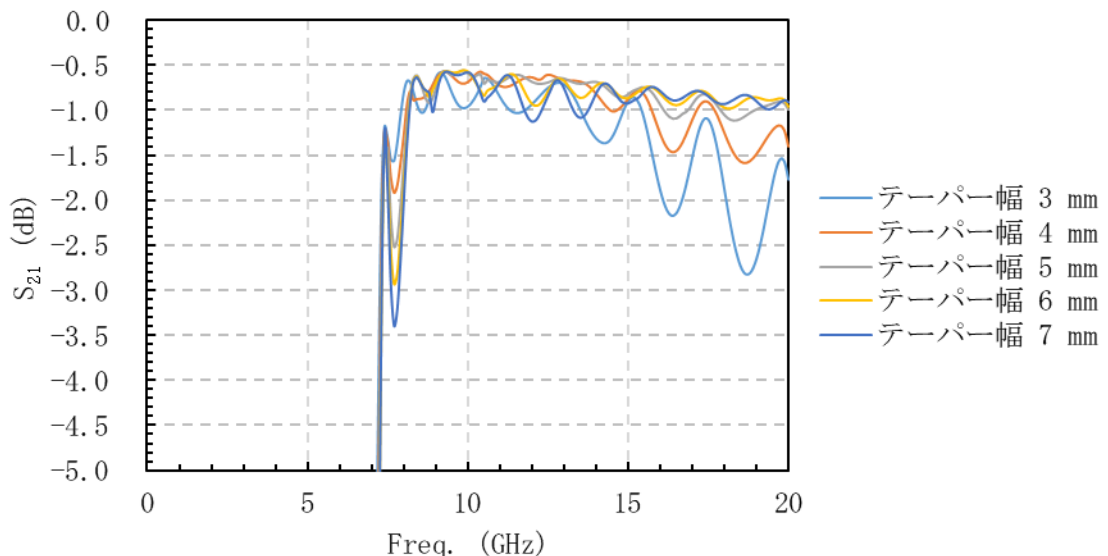
図①-2-3 SIW と MSL 線路変換構造

上記のような基礎的な構造を元に、所望周波数で動作可能なように SIW 実効幅、MSL 線路-SIW 変換形状のシミュレーションを行った。シミュレーション条件は、基板 Rogers R04003C (比誘電率 $\epsilon_r = 3.38$ 、 $\tan \delta = 0.0027$)、基板厚 0.508 mm、金属厚 20 μm 、ビアホール径 1.0 mm、ビアホールピッチ 2.0 mm、SIW 長 30.0 mm とした。図⑪-2-4 に計算した SIW の S_{21} の SIW 幅を示す。SIW 幅が 12.0 mm のときカットオフ周波数が 8.0 GHz 程度となり、SIW 幅 w が 12.0 mm 以上であれば X 帯 (8-12 GHz) において通過特性を得ることができることが分かった。よって、以降の SIW 幅は 12.0 mm を基本とする。

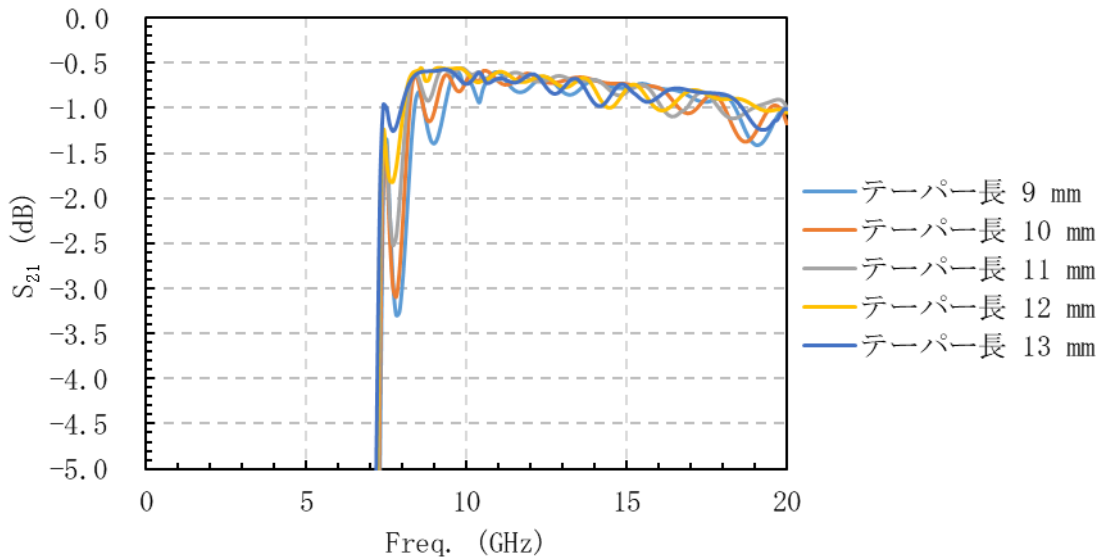


図⑪-2-4 SIW の S_{21} の SIW 幅 w 依存性計算結果

次に、MSL 線路-SIW 変換構造の最適化を実施した。シミュレーション条件は、基板 Rogers R04003C (比誘電率 $\epsilon_r = 3.38$ 、 $\tan \delta = 0.0027$)、基板厚 0.508 mm、金属厚 20 μm 、ビアホール径 1.0 mm、ビアホールピッチ 2.0 mm、SIW 長 30.0 mm、SIW 幅 12.0 mm とした。図⑪-2-5 に計算したテーパ幅依存、図⑪-2-6 にテーパ長依存性を示す。シミュレーションの結果、上記 SIW 寸法の場合、テーパ長は 11.0 mm、テーパ幅は 5.0 mm が最適であることが分かった。今後はこの形状を標準形状とする。



図⑪-2-5 MSL 線路-SIW 変換構造のテーパ幅依存性計算結果



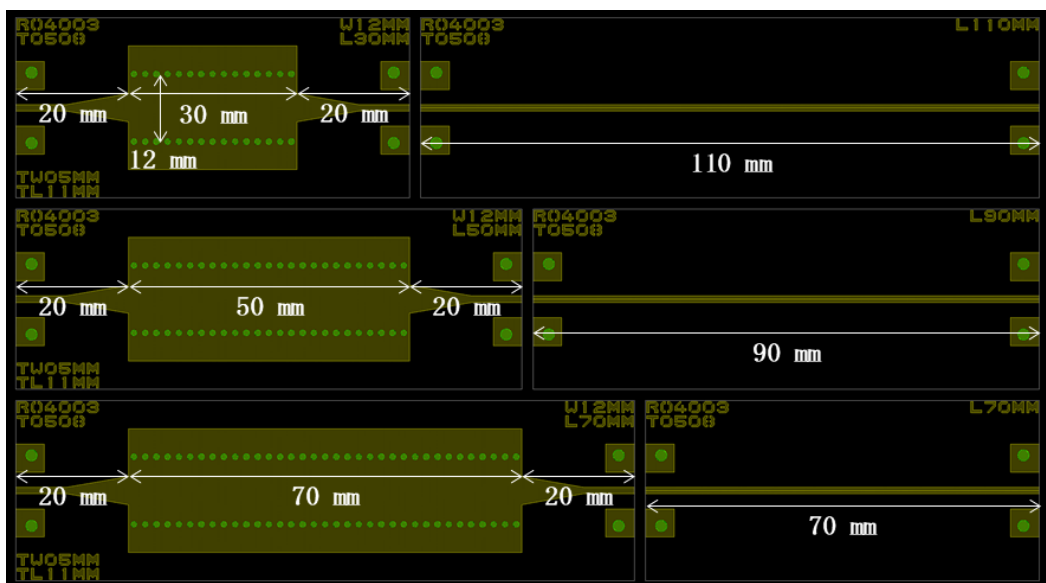
図⑪-2-6 MSL 線路-SIW 変換構造のテーパー長依存性計算結果

上記のシミュレーションを元に、SIW を作製し、評価を実施した。作製した SIW は以下のバリエーションである。なお、比較用に MSL 線路についても作製した。

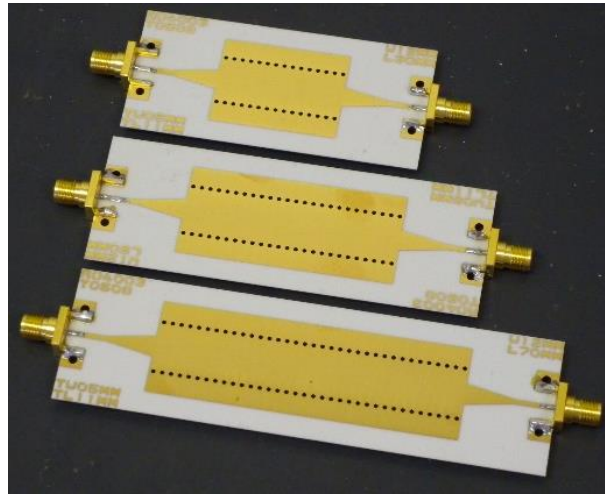
- MSL 線路-SIW 変換器付き SIW (SIW 長 30.0 mm、50.0 mm、70.0 mm)
- MSL 線路 (MSL 線路長 70.0 mm、90.0 mm、110.0 mm)
- 90° ベンド形状 SIW
- T 型 SIW 電力合成器
- DC 電圧印加可能な差動動作 SIW

以下に順に測定結果を記す。

SIW の損失見積りと MSL 線路とのロスと比較のため、長さの異なる SIW、MSL 線路 TEG を作製した。作製したデバイスの寸法を図⑪-2-7 に示す。黄色でハッチされている部分が上面金属層、緑色でハッチされている部分が上面金属と下面金属を接続するビアホールを表している。すべてのサンプルにエンドローンチ型のコネクタが接続できるようパターンを設けている。MSL 線路 TEG の長さは、SIW-MSL 線路変換器込みの SIW の長さと同じ長さとなるよう設計した。基板にコネクタをはんだ付けした SIW TEG サンプルの写真を図⑪-2-8 に示す。

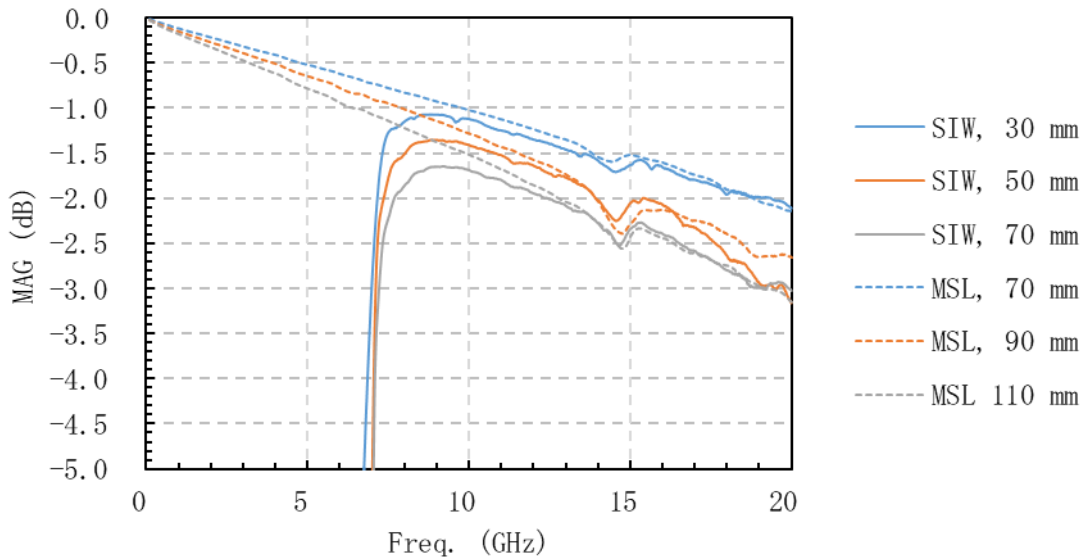


図⑪-2-7 試作した SIW TEG、MSL 線路 TEG の CAD 図面と代表的な寸法



図⑪-2-8 作製した SIW-MSL 線路変換器付き SIW TEG. 上から SIW 長 30, 50, 70mm.

上記 SIW TEG と MSL 線路 TEG を測定し、MAG をプロットしたものを図⑪-2-9 に示す。また、X 帯の上限周波数である 12.0 GHz における MAG の値と、MAG の線路量依存から求めた単位長さ当たりの SIW と MSL 線路のロスを表⑪-2-1、表⑪-2-2 に示す。なお、ここでは SIW や MSL 線路の純粋なロスの比較を行いたいため、測定校正面におけるマッチングロスを除くことができる MAG を用いている。測定結果から、12.0 GHz の MAG から導出した単位長さ当たりの損失は、SIW、MSL 線路共に 0.015 dB/mm となり、同等の値となった。



図⑪-2-9 SIW TEG と MSL 線路 TEG の測定結果

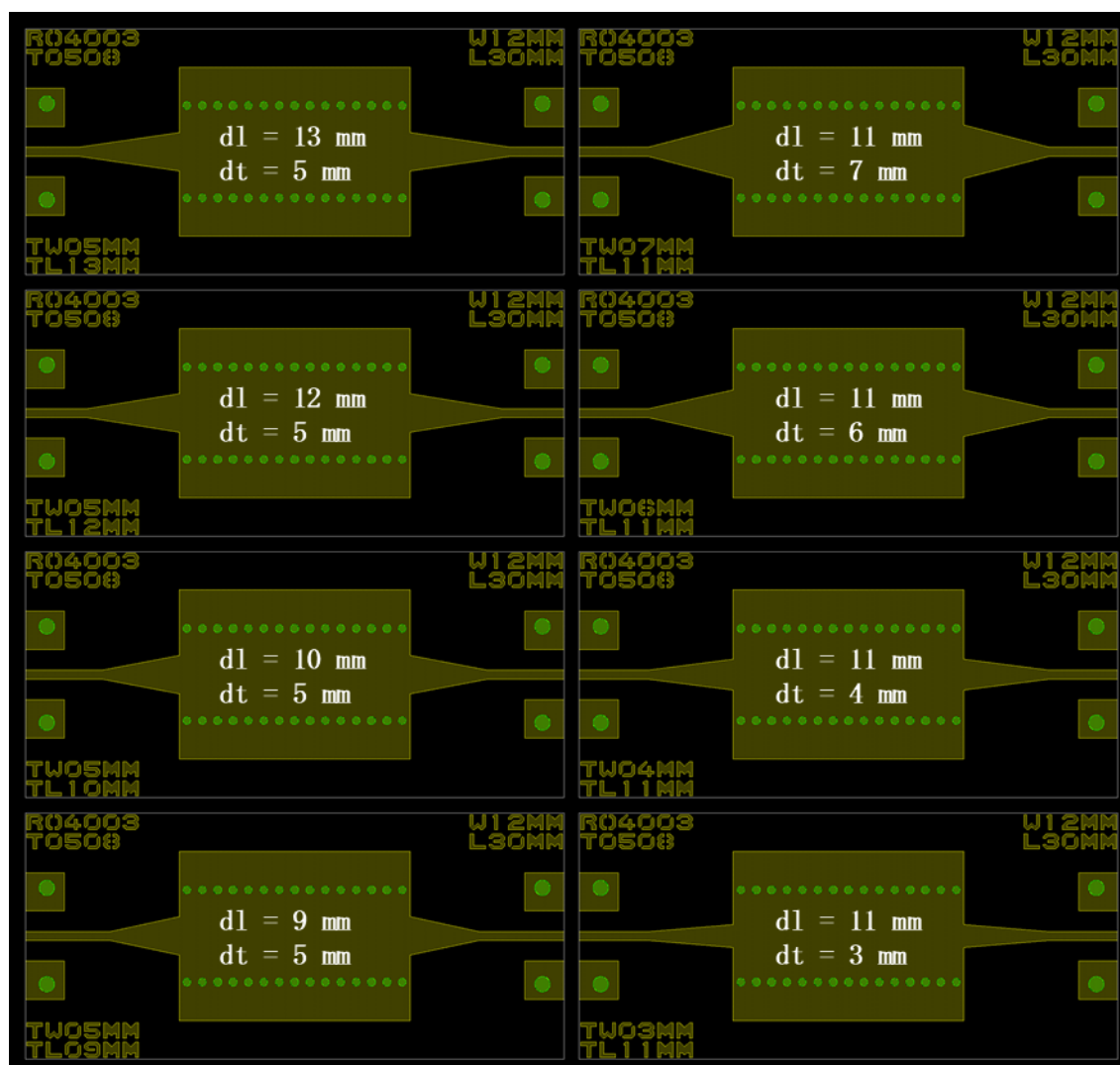
表⑪-2-1 SIW TEG の測定結果から導出した
12.0 GHz における MAG の値と、単位長さ当たりの損失

SIW 長 (mm)	12.0 GHz における MAG (dB)
30	-1.348
50	-1.637
70	-1.945
単位長さ当たり損失 (dB/mm)	-0.015

表①-2-2 MSL 線路 TEG の測定結果から導出した
12.0 GHz における MAG の値と、単位長さ当たりの損失

MSL 線路長	12.0 GHz における MAG (dB)
70	-1.238
90	-1.573
110	-1.854
単位長さ当たり損失 (dB/mm)	-0.015

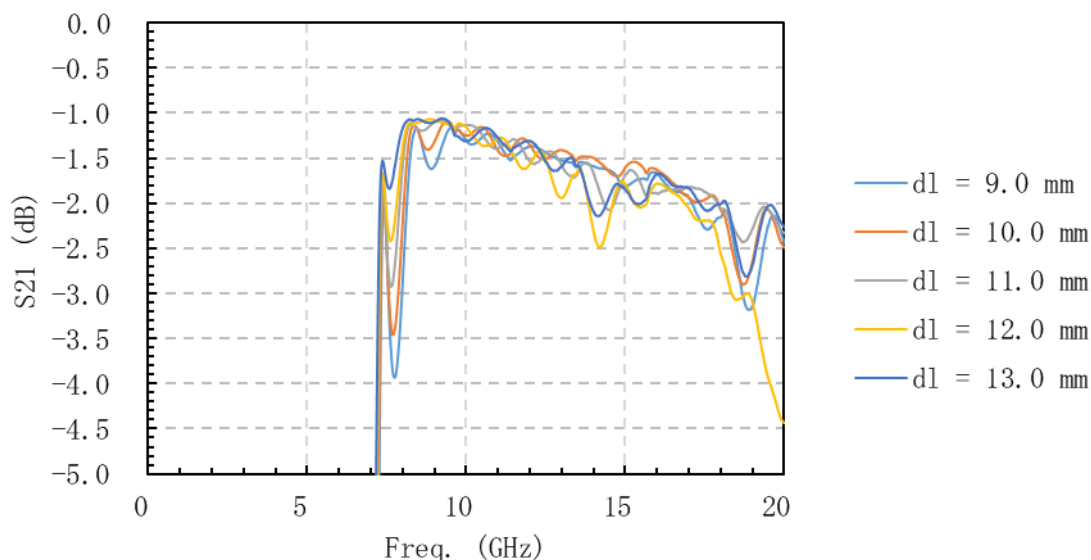
次に、SIW-MSL 線路変換器の構造最適化を行った。シミュレーションで得られたテーパ幅 5.0 mm、テーパ長 11.0 mm を中心として、それぞれ ± 1 mm, ± 2 mm の範囲で構造を変化させたサンプルを作製した。作製した構造の CAD 図面を図①-2-10 に示す。



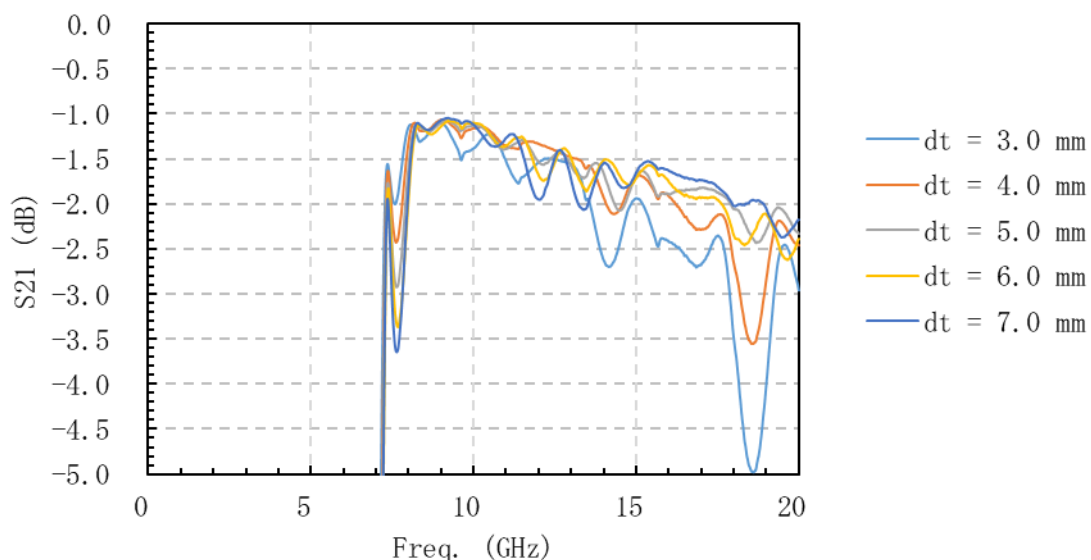
図①-2-10 試作した SIW-MSL 変換器テーパ状検証用 SIW TEG の CAD 図面と代表的な寸法

作製したサンプルのテーパ長さ依存性の測定結果を図①-2-11、テーパ幅依存性を図①-2-12 に示す。いずれのテーパ長さにおいても大きな特性変動は見られないが、最も広帯域にわたって通過特性が得られている $d_1 = 11.0$ mm を標準とすることとした。テーパ幅については、幅の変化に対して通過特性が大きく変動していることがわかる。ここでも、広い帯域にわたって通過特性が得られている $d_t = 5.0$ mm を標準とすることとした。以上の結果から、事前のシミュレー

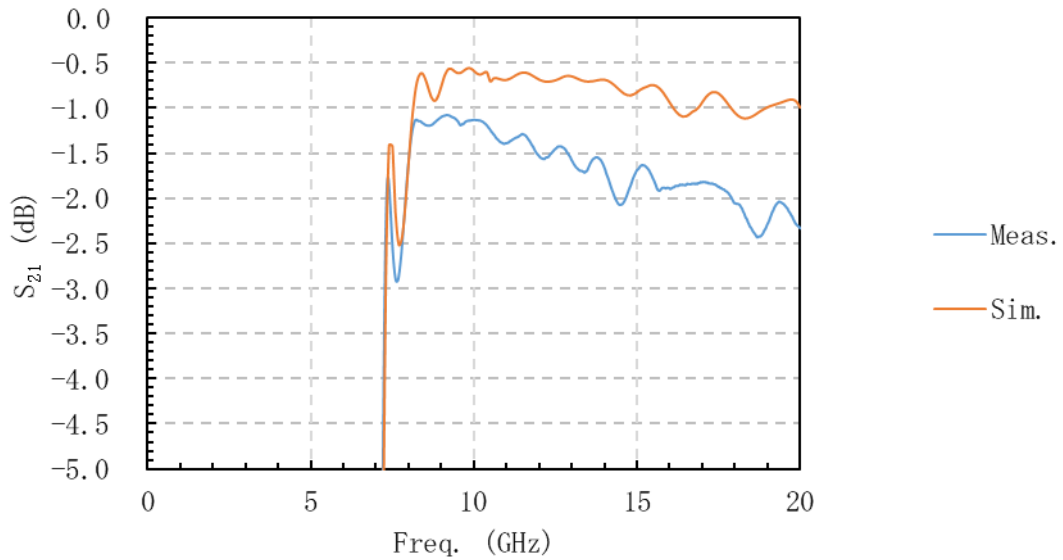
シヨンの通り、 $d_1 = 11.0$ mm および $d_t = 5.0$ mm が最適であることが実験的に確かめられた。図①-2-13に $d_1 = 11.0$ mm および $d_t = 5.0$ mm の時の S パラメータ測定結果とシミュレーション結果を示す。カットオフ周波数は一致しているものの、損失の不一致が大きい結果となった。カットオフ周波数の精度にかかわる SIW の幅についてはシミュレーション精度が良いものの、損失にかかわる効果を取り込め切れていない可能性を示している。損失は主に (1) 導体損 (2) 誘電損 (3) 表皮効果で決定され、それらの効果の見直しが必要である。



図①-2-11 試作した SIW-MSL 変換器テーパ状検証用 SIW TEG の測定結果
テーパ幅 $d_t = 5.0$ mm

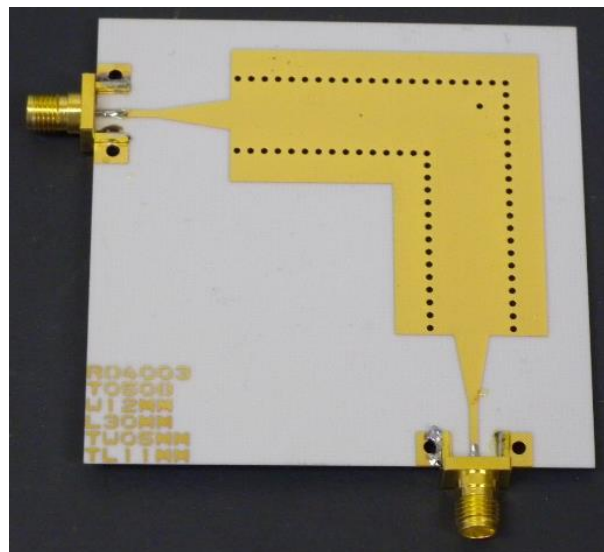


図①-2-12 試作した SIW-MSL 変換器テーパ状検証用 SIW TEG の測定結果
テーパ長 $d_1 = 11.0$ mm



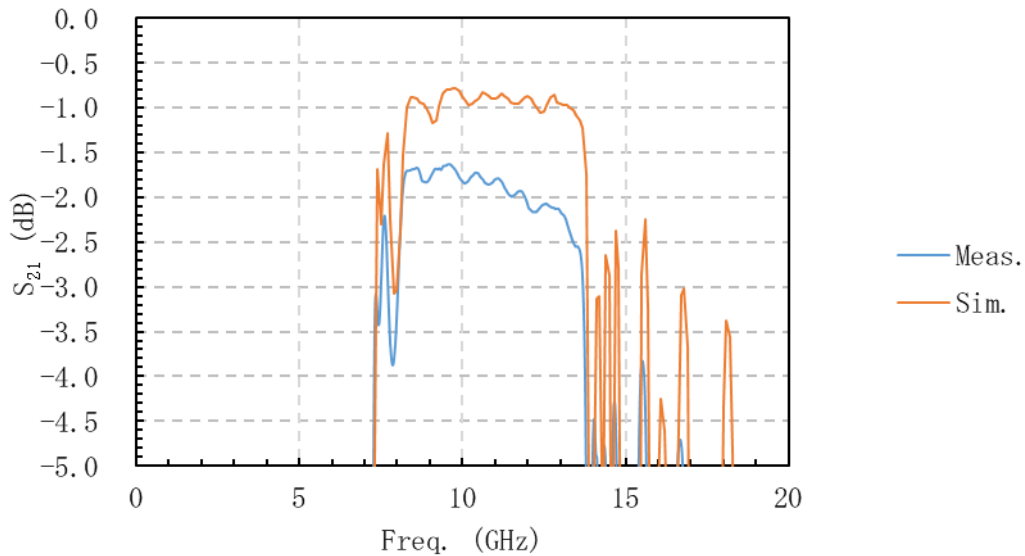
図⑪-2-13 試作した SIW-MSL 変換器付き SIW TEG の S パラメータ
測定結果とシミュレーション結果の比較

次に、SIW を合成回路へ応用する際に必須となる 90° ベンド形状 SIW の試作、測定を行った。作製したベンド形状 SIW の写真を図⑪-2-14 に示す。SIW を直角に結合すると結合部での伝搬モードが崩れてしまうため、図⑪-2-14 のように結合部にビアホールを設け位置を最適化することで伝送特性が改善される。



図⑪-2-14 作製した 90° ベンド形状 SIW

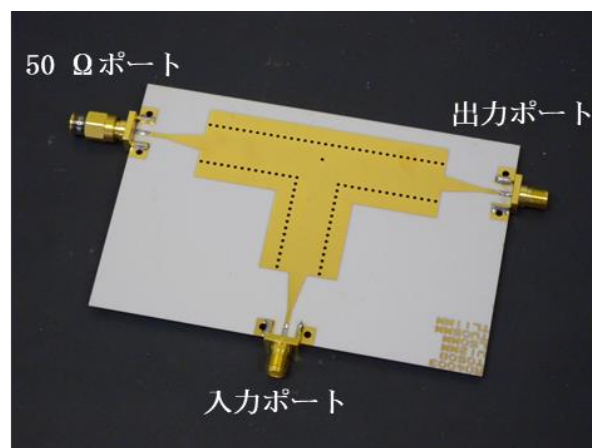
測定した 90° ベンド形状 SIW の測定結果を図⑪-2-15 に示す。直角部に配置したビアホール
 の最適化で X 帯をカバーするベンド形状が作製できていることが分かった。しかしながら図⑪-2-
 15 が示しているようにこちらもカットオフ周波数は正確にシミュレーションできているが損失
 の差が大きい。



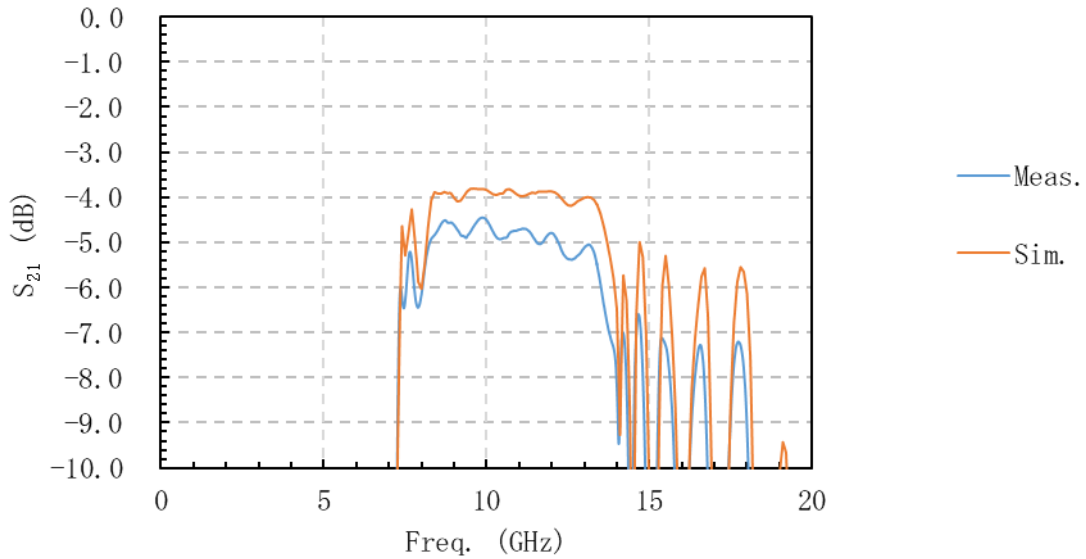
図⑪-2-15 90° ベンド形状 SIW の S パラメータ測定結果と
 シミュレーション結果の比較

次に T 型電力合成器の試作を行った。図⑪-2-16 に試作した T 型合成器の写真を示す。T 型合成
 器の合成部分に上面金属と下面金属を接続するビアホールを設けており、 90° ベンド形状 SIW の
 直角部に配置したビアホールと同様の効果を狙っている。このビアホールの位置やサイズの最適
 化を行い、試作を行った。

図⑪-2-17 に測定した S パラメータ測定結果とシミュレーションの比較を示す。測定は図⑪-2-
 16 のように、出力ポートの対称ポートを 50Ω とし、入力ポートと出力ポート間の S パラメータ
 を測定した。X 帯の上限周波数である 12.0 GHz における通過損失は -4.79 dB となり、理想的な分
 配器の通過損失 -3 dB との差は 1.79 dB であることから、合成損は 1.79 dB となることが分かっ
 った。平成 30 年度の目標は合成損失が 3 dB 以内であることから、今回得られた結果は目標を達成
 するものである。



図⑪-2-16 作製した T 型 SIW 電力合成器

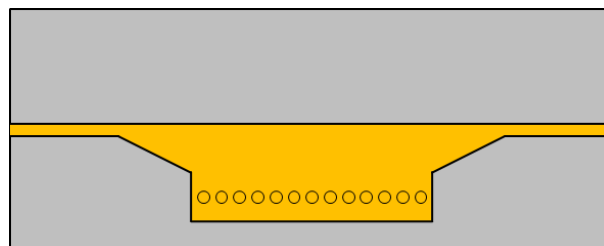


図⑪-2-17 測定した T 型 SIW 電力合成/分配器の S パラメータ測定結果とシミュレーション結果の比較。

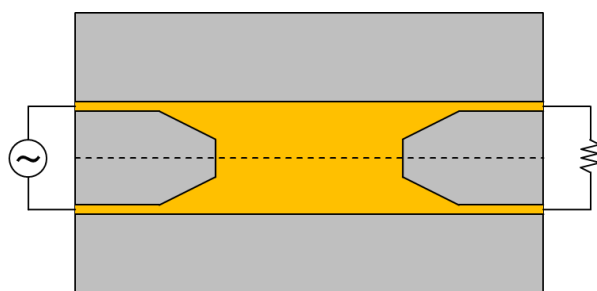
最後に、上下電極間に DC 電圧を印加可能な差動動作 SIW を設計・作製した。これまでの SIW は上面金属と下面金属をビアホールで DC 的に接続し疑似導波管としていたため、DC 電圧を印加することができなかった。電力増幅器の整合回路に SIW を適用する場合、トランジスタに DC 電力を供給する必要があるため、DC 電力を印加可能な SIW が必要となる。今回はその一次試作として、DC 電圧印加可能な差動動作 SIW 構造を考案し、試作した。

差動動作 SIW の動作原理を、従来構造 SIW、HMSIW (Half Mode SIW: HMSIW)、差動動作 SIW で説明する。HMSIW は図⑪-2-18 に上面図を示すように、SIW の対称線の片側を取り除いた構造をしており、SIW と同等の特性ながら面積を半減できる構造である [6]。

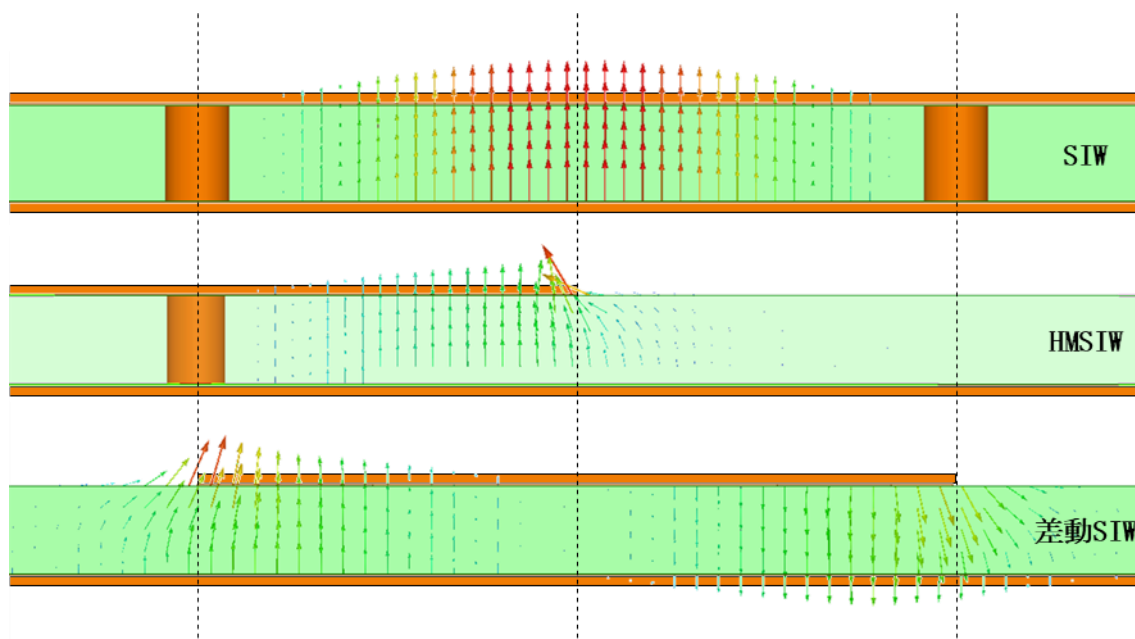
図⑪-2-20 は SIW、HMSIW、差動 SIW の基板内の電界分布を電磁界解析で求めた計算結果である。矢印の始点における電界強度を矢印の長さで示している。また、金属位置を明確にするため、上面金属層と下面金属層を厚く示している。SIW は、SIW の中央で電界分布が最も強くなり周辺部で弱くなり、TE₁₀ モードになっていることがわかる。HMSIW においても中央部で最も電界強度が高くなっている。SIW、HMSIW 共にビアホールで上下の金属層を接続することで電界を短絡している。考案した差動 SIW の上面図と差動励振の概念図を図⑪-2-19 に示す。図⑪-2-20 中の電磁界解析結果では、差動 SIW の左側と右側 (図⑪-2-19 の上側および下側) で差動動作になっており、電場ベクトルの方向が逆転していることがわかる。さらに、差動 SIW の中央部では電界強度が 0 となり、動作周波数ではショートとなっていることがわかる。このため、SIW や HMSIW で必要とされていたビアホールが不要となる。差動 SIW の中央を境にして左右の電界分布は、HMSIW のそれと同じであることから、差動 SIW では HMSIW と同等の特性を期待でき、かつビアホールがないことから上面金属層に DC 電圧を印加することが可能となる。



図⑪-2-18 HMSIW の上面図

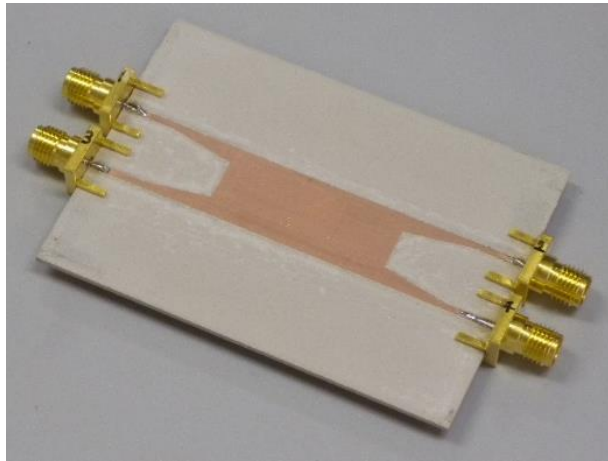


図⑪-2-19 差動 SIW の上面図と差動励振の概念図

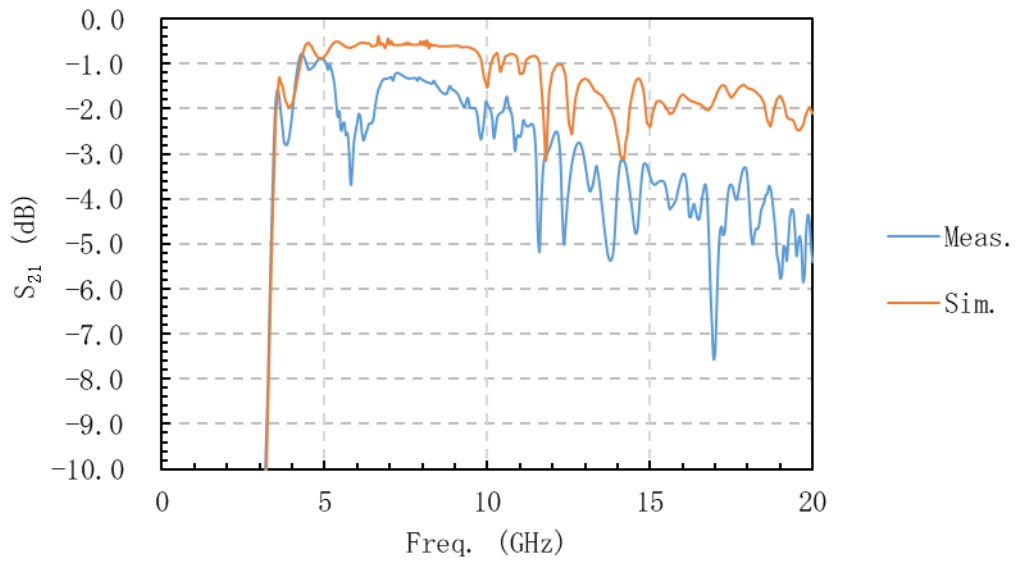


図⑪-2-20 SIW、HMSIW、差動 SIW の基板内の電界分布

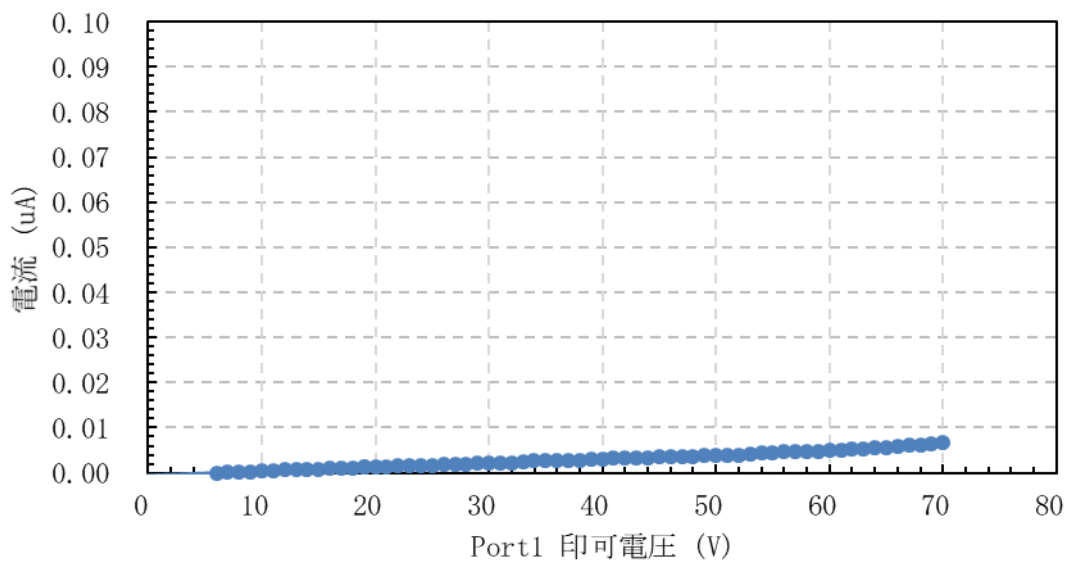
図⑪-2-21 に作製した差動 SIW の写真と測定時のポート割り当てを示す。差動 SIW は、基板 Rogers RT/duroid®6010LM (比誘電率 $\epsilon_r = 10.2$ 、 $\tan \delta = 0.0023$)、基板厚 1.270 mm、金属厚 $18 \mu\text{m}$ の条件でシミュレーション、サンプル作製を行った。図⑪-2-22 に S パラメータ測定結果を示す。5 GHz 以上で透過特性が得られ、差動 SIW として正常に動作していることが確認できた。ただし、こちらこれまでの試作結果と同様、カットオフ周波数のシミュレーション精度は良いが、損失の見積もり精度が悪い。DC 電圧耐性を測定するため、Port1 に DC 電圧を印加し測定した電流値を図⑪-2-23 に示す。70 V の電圧でも絶縁破壊することなく動作することが確認できた。IV 特性から導出した抵抗値は $10.5 \text{ G}\Omega$ であったが、この値は基板の体積抵抗率と差動 SIW のパターン面積から求められた値 (体積抵抗率 $5 \times 10^5 \text{ M}\Omega \text{ cm}$ 、パターン面積 5.2 cm^2 、抵抗値 $12.2 \text{ G}\Omega$) とほぼ一致することがわかった。



図⑪-2-21 作製した差動動作 SIW



図⑪-2-22 差動 SIW の S パラメータ測定結果とシミュレーション結果の比較

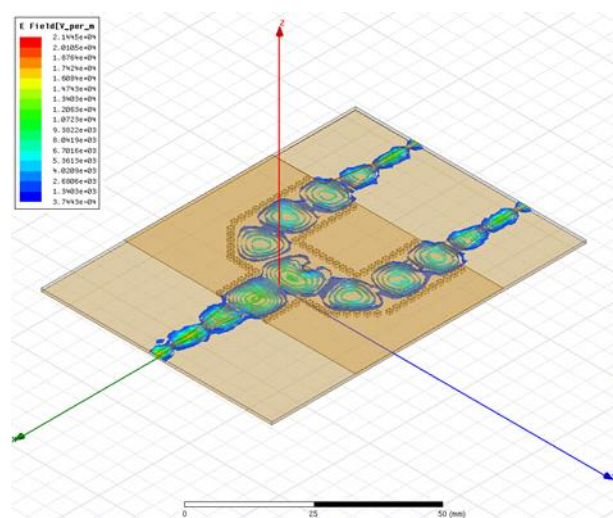


図⑪-2-23 差動 SIW の種々の DC 電圧印加時における電流測定結果

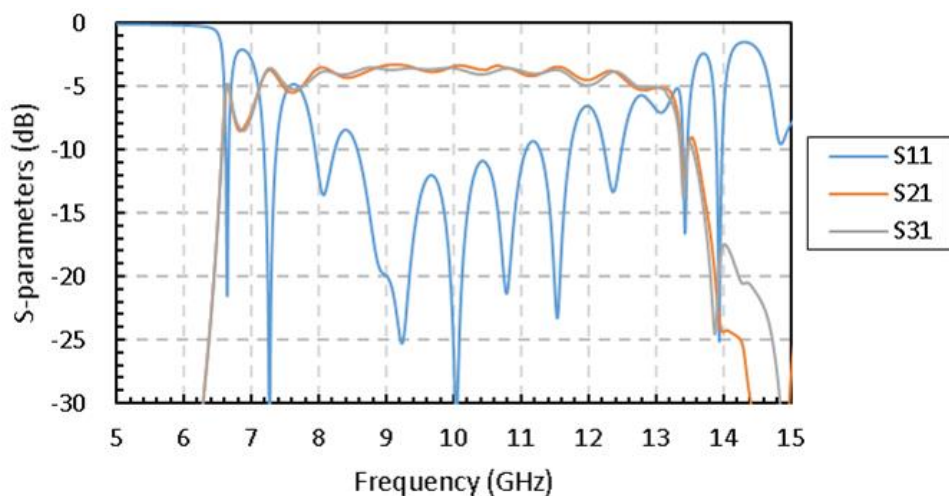
3.1.1.3 2 合成 SIW 電力合成/分配器の試作と低損失化に向けた検討

3.1.1.3.1 2 合成 SIW 合成器の設計・試作および評価結果

SIW を用いた 2 合成/分配器の設計を実施し、試作・評価を行った。合成器は平成 30 年度検証した T 型合成器、90 度ベンド構造から構成される。シミュレーションは比誘電率 $\epsilon_r = 3.5$ 、基板厚 0.75 mm の特性を持つプリント基板を仮定して実施した。入出力端子のインピーダンスは 50 Ω とした。また、SIW-MSL 変換器をそれぞれの端子に挿入している。Ansys HFSS 上で作成したシミュレーションを図①-3-1 に、計算した分配器の小信号 S パラメータ特性を図①-1 に示す。入力側のポートを 1、分配側のポートを 2 および 3 としている。ポート 1 からポート 2 もしくはポート 3 への通過特性 S_{21} 、 S_{31} は帯域内で -3.5 dB ~ -4.0 dB 程度となっており、これにより分配損は 0.5 ~ 1.0 dB 程度であると見積もられる。また、入力側の反射特性 S_{11} も -10 dB 以上となっているため、良好な整合が取れていることがわかる。



図①-3-1 HFSS 上で作成した 2 分配器の計算モデル

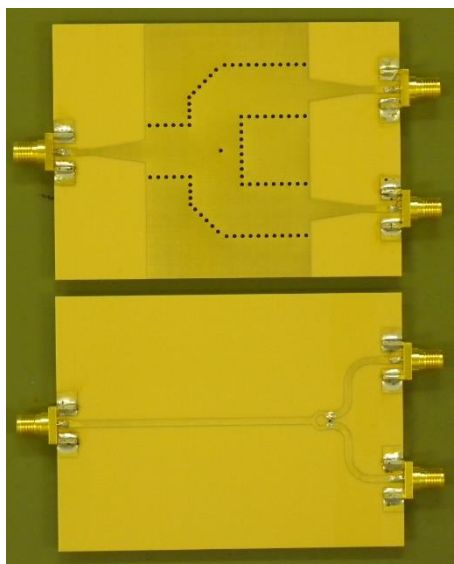


図①-1-2 HFSS で計算した分配器の小信号 S パラメータ特性

上記で得られた結果を踏まえ、実際に SIW 電力合成器を作製した。作製に際し使用した基板は以下のようなものとした。

- ・基板材料 Panasonic MEGTRON6 R-5775
- ・基板厚 0.75 mm
- ・銅箔厚 35 μ m (表面金メッキ有り)

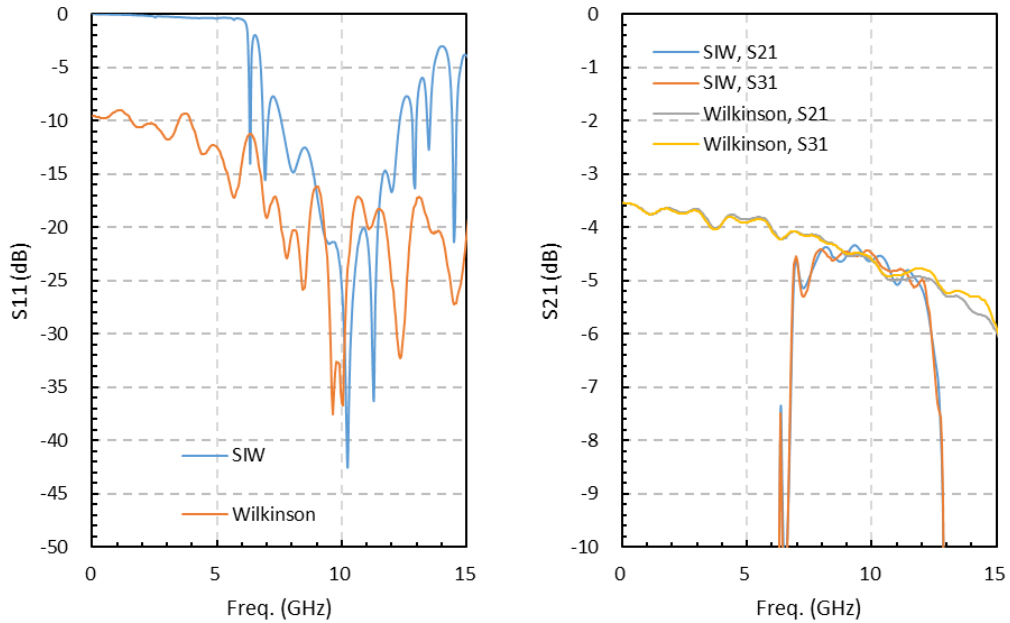
また、リファレンスとして MSL により構成され Wilkinson 電力合成器も同時に作製した。作製した基板の写真を図⑩-3 に示す。



図⑩-3-3 作製した電力合成/分配器 (上) SIW (下) Wilkinson。左側のコネクタ一部が入力端子ポート 1、右側の分配側のコネクタ一部が分配端子ポート 2、ポート 3。

作製した基板にコネクタをはんだで取り付け、ネットワークアナライザで小信号 S パラメータを測定した。測定した結果を図⑩-3-44 に示す。SIW 電力分配器、Wilkinson 電力分配器共に、入力端子をポート 1、分配端子をポート 2 およびポート 3 としている。入力側反射利得は SIW 電力分配器、Wilkinson 電力分配器共に 10 GHz 帯で -20 dB と非常に良好にとれており、ポート 1 からポート 2 およびポート 3 への通過特性も 10 GHz で -4.6 dB 程度と同等になった。通過特性から、双方の合成損、分配損は約 -1.6 dB 程度となることが分かった。コネクタ単体の損失はカタログより 0.1 dB 程度であるため、コネクタの影響を引いた合成/分配損失は約 1.4 dB 程度となる。また、SIW は導波管構造となっていることからハイパス側フィルタとして動作しており、約 6 GHz 以下の信号をほぼカットできることが分かった。

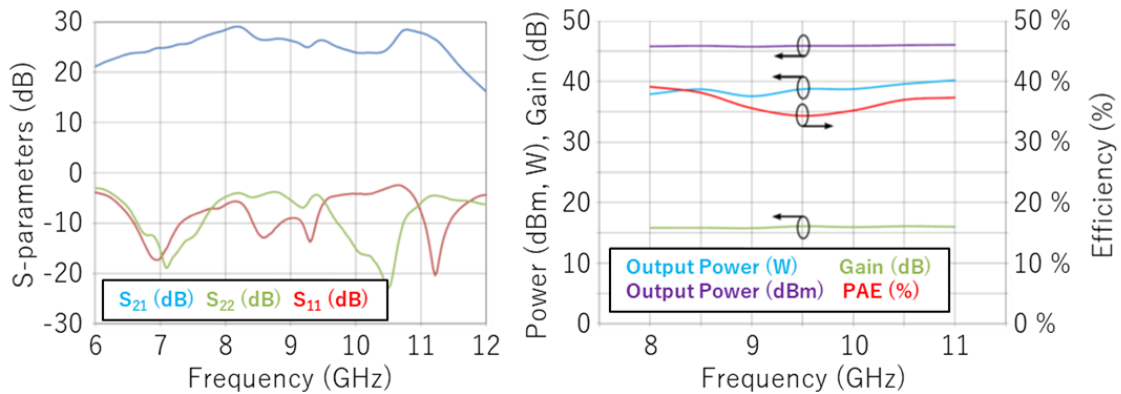
Wilkinson 電力分配器の基板サイズを SIW 電力分配器の基板サイズと同等となるように設計したため Wilkinson 電力分配器の入力端子側に約 50 mm 程度の MSL が挿入されている。この 50 mm を取り除き小型化した Wilkinson 電力分配器の合成/分配損は約 1.0 dB 程度となり、合成/分配器の特性比較としては Wilkinson 電力分配器の方が小さい分配損となる。前記の MSL と SIW の比較の結果から単位長さ当たりの特性は同等だが、SIW のサイズは波長のサイズで制限されており小型化が難しく、分配器のサイズが大きくなるために損失が大きくなっていると考えている。



図⑩-3-4 SIW 電力分配器及び Wilkinson 電力分配器の小信号 S パラメータ測定結果。
左図は反射利得、右図は透過特性

3.1.1.3.2 GaN 電力増幅器との結合実験

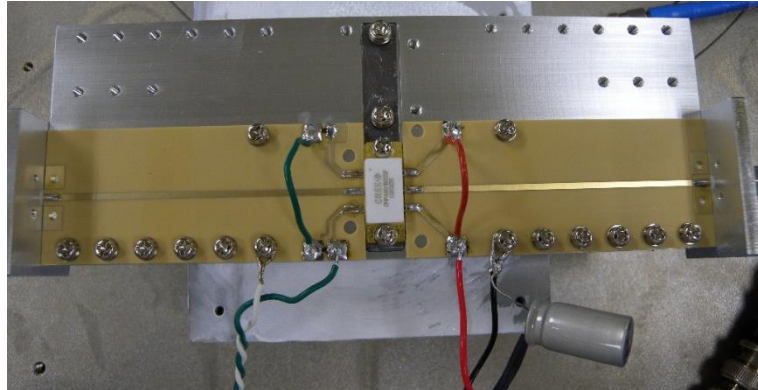
3.1.1.3.1 で作製した SIW 電力合成/分配器の特性を検証するため、Cree 社製 GaN 電力増幅器 (Power Amplifier, PA) と結合し、特性を評価した。使用した PA は Cree 社製 CMPA801B025 であり、8.5~11.0 GHz において出力電力 25 W を出力するものである。図⑩-5 に Cree 社のカタログから抜粋した GaN PA の小信号特性、大信号特性を示す。



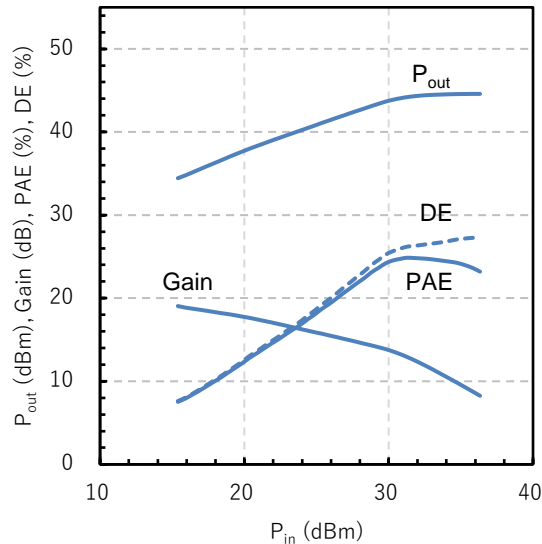
図⑩-3-5 実験に使用した Cree 社製 GaN PA の小信号特性および大信号特性
(カタログより抜粋)

実験に際し、PA 単体の特性を評価できる評価基板及び評価治具を作製した。評価基板には、入力および出力線路とともに、PA へのバイアス回路もパターンニングしてある。作製した評価基板と PA をアルミニウム製評価治具に実装した状態の写真を図⑩-6 に示す。この試験系において測定した大信号測定結果を図⑩-7 に示す。測定条件は Freq. = 10 GHz, $V_d = 28$ V, パルス幅 100 μ

sec., パルス周期 1 msec., Duty 比 10%である。測定の結果、PAE 最大点において、 $P_{out} = 44.2$ dBm, Gain = 12.9 dB, PAE = 24.9%の特性を得た。

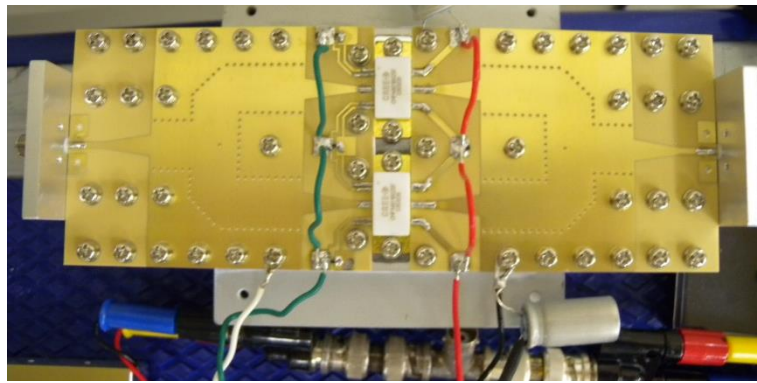


図⑪-3-6 GaN PA 単体評価用基板に PA を実装した際の測定系写真。
中央の長方形白体が Cree 社製 PA。

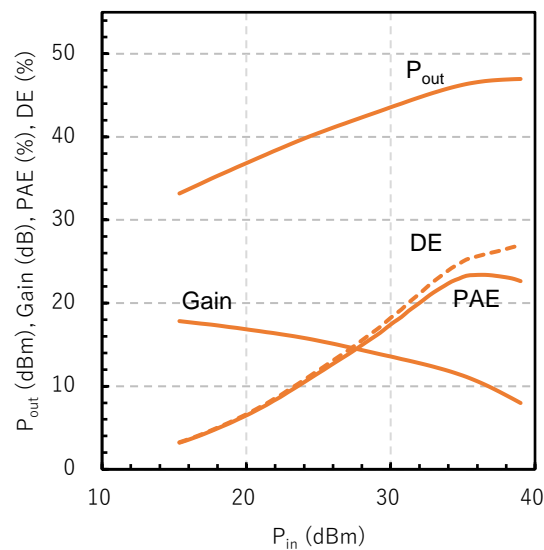


図⑪-3-7 Cree 社製 GaN PA 単体の大信号測定結果

次に、PA と SIW 合成/分配器の合成実験を行った。PA との合成実験用に SIW 電力合成/分配器に PA のバイアス回路をパターンニングした基板を作製し、PA とともにアルミニウム製金属ブロックに実装した状態の写真が図⑪-3-8である。測定条件は単体 GaN PA 測定時と同じである。大信号特性評価結果を図⑪-3-9 に示す。測定の結果、PAE 最大点において、 $P_{out} = 46.7$ dBm, Gain = 10.4 dB, PAE = 23.4%の特性を得た。



図⑪-3-8 2合成 SIW 電力合成/分配器と GaN PA を実装した電力増幅器写真



図⑪-3-9 SIW 電力分配/合成器を使用した 2 合成 GaN PA の評価結果

単体 PA と SIW を使用した 2 合成 PA の特性比較を表⑪-3-1 にまとめる。単体 PA と 2 合成 PA の利得の差は 2.5 dB 程度存在するが、SIW 電力合成/分配器の合成損失が 1.4 dB 程度であり、入力側/出力側を合わせると 2.8 dB 程度となると考えられ、ほぼ一致する。そのため、利得は SIW 単体の測定結果とよく一致する。出力電力は単体 PA に比べて 2.5 dB の増大であり、出力電力差から見積もられる合成損失は 0.5 dB 程度となり、小信号特性から見積もられた合成損失に比べて小さい値となっている。原因は断定できないが、出力電力は、入力電力、二つの PA 間の特性のばらつき等により変動するため、小信号特性に比べてズレが大きいと考えられる。

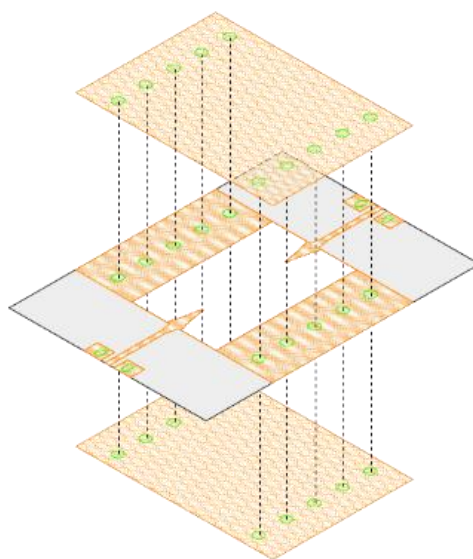
表⑪-3-1 単体 PA と SIW を使用した 2 合成 PA の特性比較

	P_{out} (dBm)	Gain (dB)	PAE (%)
単体 PA	44.2	12.9	24.9
2 合成 PA (SIW)	46.7	10.4	23.4

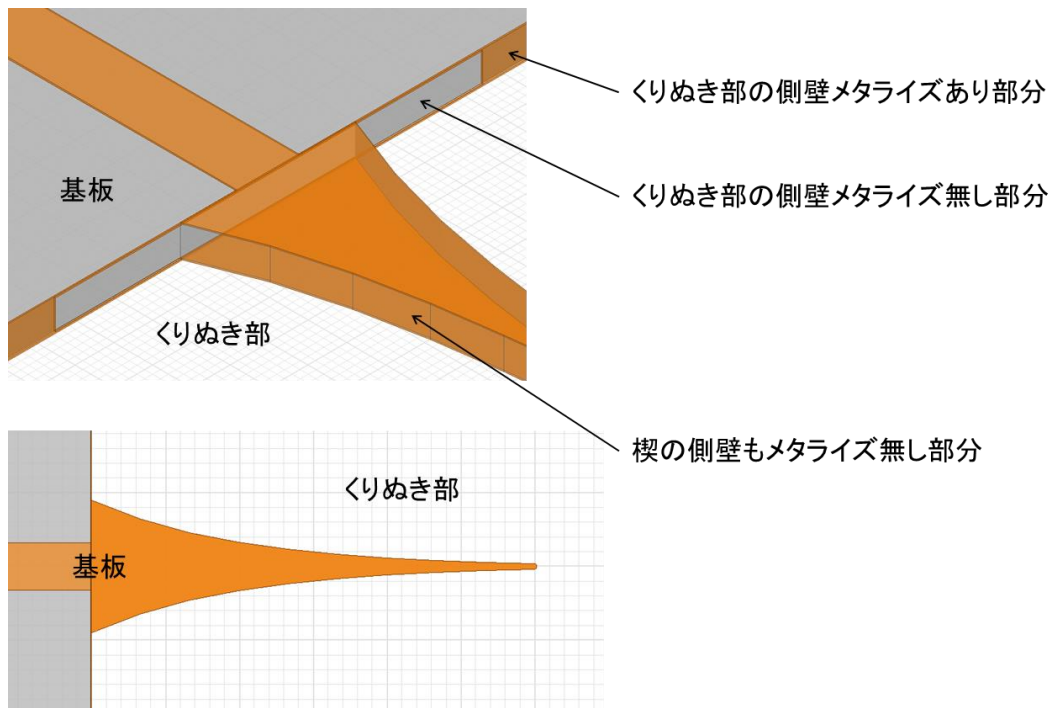
3.1.1.3.3 低損失 SIW の実現に向けた中空 SIW の試作

3.1.1.3.2で SIW 電力合成/分配器と Wilkinson 電力分配器を試作し、合成/分配損を比較したが、ほぼ同等か、Wilkinson 電力分配器の方が良好な結果となった。その原因は、平成30年度に報告した通り、単位長さ当たりの損失は SIW と MSL はほぼ同等な値 (-0.015 dB/mm) となるため、小型化が可能な Wilkinson 電力分配器の方が低損失になると考えられる。SIW で損失が大きいのは、電力は基板中を伝搬するため、基板の誘電損失の影響を大きく受けるためであり、MSL に対して SIW の優位性を発揮するためには基板の誘電損失を低減する必要がある。そこで、基板中を中空にする中空 SIW (Empty SIW, E-SIW) が提案されている。E-SIW は電波伝搬する部分の基板材料をくりぬき、中空構造にしたものであるため、伝搬損失は導波管とほぼ同等になると考えられる。

平成31年度は低損失 SIW に向けた試作として、E-SIW を試作し、評価した。E-SIW 一次試作は、図⑩-3-10に示すように基板3枚構成となっている。2枚は通常の基板である。1枚は中央がくり抜かれており、MSL-E-SIW 変換器を作りこんでいる。図⑩-に MSL-E-SIW 変換器の拡大図を示す。変換器は中央の基板のくり抜き部に楔型の突起を形成し、更に楔型の突起部分の周囲は側面メッキを除去する構造となっている。MSL-E-SIW 変換器の設計パラメータとしては、楔形状の長さ、幅および楔の曲率、MSL との接続形状等がある。3枚の基板は、各基板間に Ag ペーストを塗布し、各基板に設けたスルーホールにボルトを通して固定してから高温でバークして固定している。

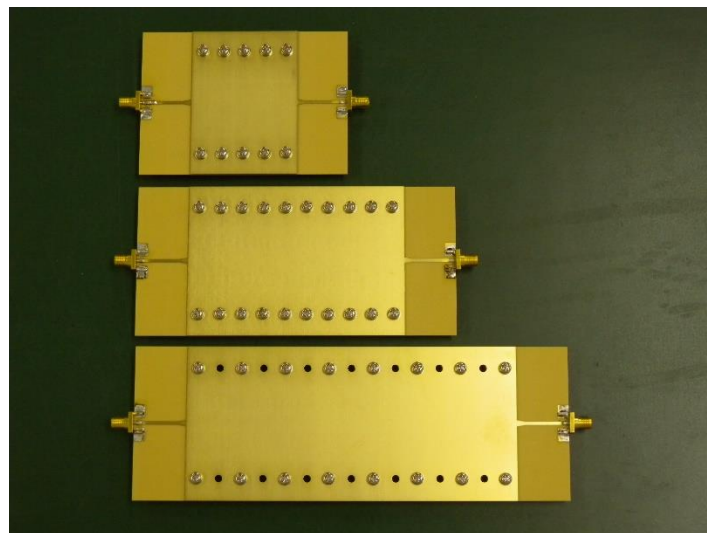


図⑩-3-10 E-SIW の基板構成図 (3枚構成で2枚目中央白部はくりぬきされている)



図⑪-3-11 MSL-E-SIW 変換部の拡大図（楔側面はメッキされていない）

実際に試作し、組み合わせた際の E-SIW の基板写真を図⑪-に示す。試作に使用した基板は Panasonic MEGTRON6 R-5775、基板厚は 0.75 mm である。銅箔厚は $35 \mu\text{m}$ であり、金メッキ有りの構成としている。E-SIW のくり抜き部のサイズは幅 30 mm であり、長さは 50, 100, 150 mm の 3 種類としている。

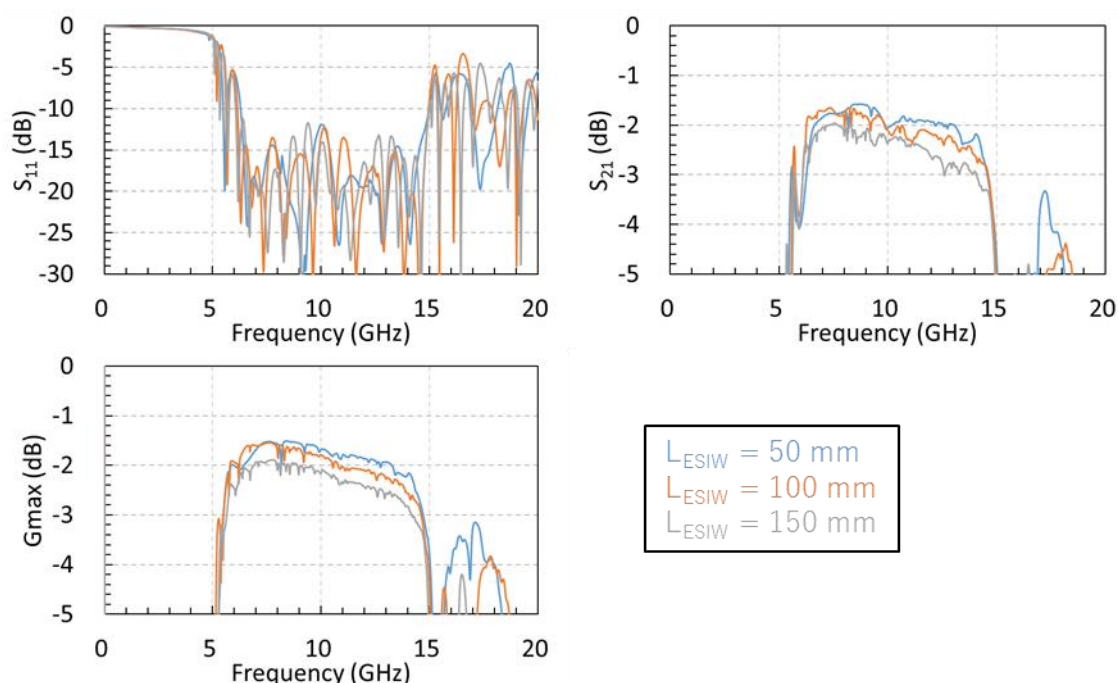


図⑪-3-12 作製し組み立てた E-SIW。上から SIW 長さ 50, 100, 150 mm

作製した E-SIW の小信号 S パラメータの測定結果を図⑪-2 に示す。 S_{11} 、 S_{21} 、 G_{max} をプロットしており、それぞれ E-SIW 長が 50, 100, 150 mm のデータをプロットしている。反射利得はすべての長さの E-SIW で広い周波数にわたって -10 dB 以下を実現しており、良好な整合が取れていることを確認できた。一方、通過特性は測定結果に見られるように多くのディップが存在する。これは、3 枚の基板を Ag ペーストで固定する際にできた Ag ペーストのぬりむら等で電氣的な接触が

均一にできておらず、E-SIWとして均一に動作していないためであると考えている。実際にE-SIWの長さのみが異なるだけであるのにディップの位置がランダムになっていることが、組立ばらつきがあるということを示していると考えている。

ディップが多く存在する通過特性であるが、10 GHzにおける損失のE-SIW長依存から、単位長さ当たりのE-SIW損失を見積もった。結果を表①-3-2にまとめる。見積もった単位長さ当たり損失は-0.005 dB/mmと、通常のSIWやMSLと比べて1/3程度の値となり、誘電体を除去して誘電損失を低減した効果がみられた。しかしながら、MSL-E-SIW変換器とコネクタ損失の和が0.7 dBであり、コネクタ損失が約0.1 dBであることからMSL-E-SIW変換器単体の損失は0.6 dB程度となった。通常のMSL-SIW変換器の損失は0.2 dB程度であったので、E-SIWは変換器の低損失化が課題である。また、電力伝送される部分は空気となっており比誘電率が1であり電気長が圧縮されないため、構造の大型化が懸念点である。



図①-2 E-SIWの小信号Sパラメータ測定結果
 左上図：S11 反射利得，右上図：S21 通過特性，左下図：Gmax

表①-3-2 E-SIWの損失の長さ依存と単位長さ当たり損失

L (mm)	損失 @ 10 GHz (dB)
50	-1.682
100	-1.785
150	-2.163
単位長さ当たり損失 (dB/mm)	-0.005
片側MSL-E-SIW変換器 + コネクタ損失	-0.7

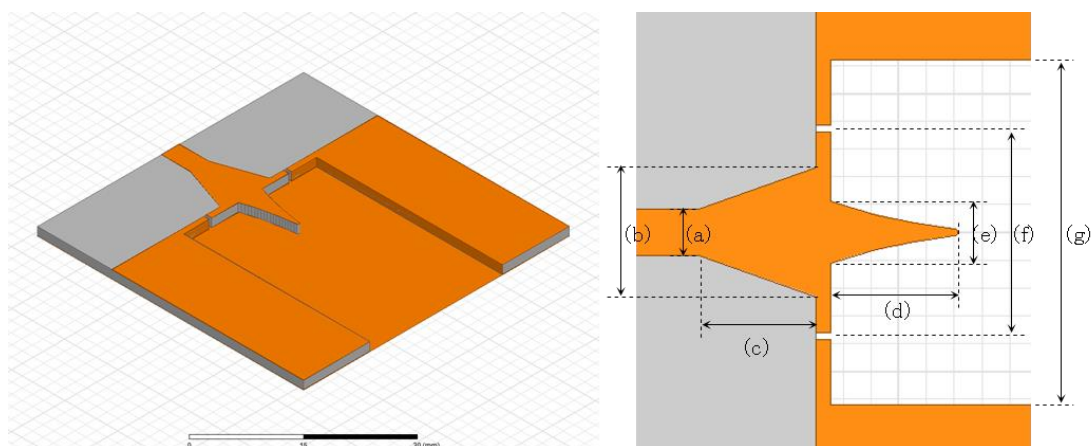
3.1.1.4 中空SIW構造の最適化と8合成中空SIWの評価

3.1.1.4.1 マイクロストリップ-中空 SIW 変換器の設計

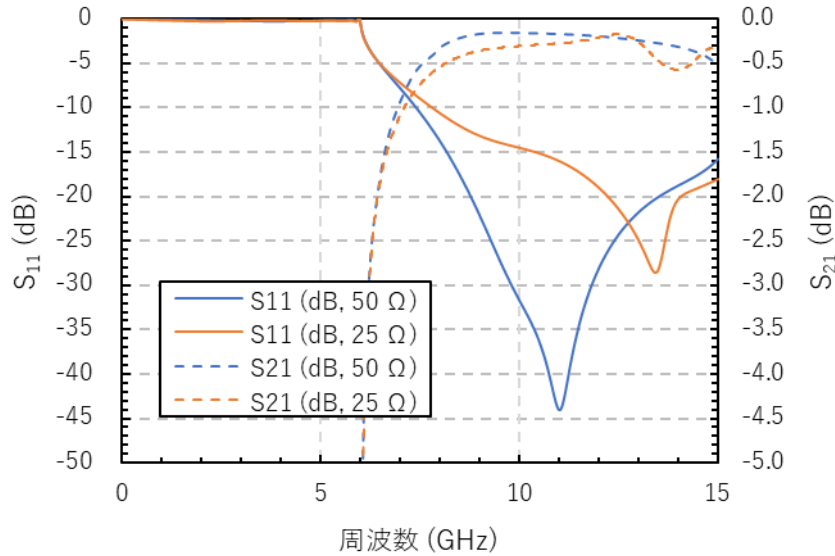
中空 SIW 合成器実現のためには、中空 SIW-マイクロストリップ (MSL) 線路変換器が必要となる。今回、文献[7]を参考に、中空 SIW-MSL 変換器の設計を実施した。設計に使用した HFSS モデルを

図⑪-1に示す。左図が示しているのは変換構造の俯瞰図であり、上層基板を取り除いた構造である。実際の実装時は上方からも基板を接合し、基板内に導波管構造を形成するため、上方基板、下方基板、中央基板の3層で構成される。中空 SIW となっている部分は基板をくり抜いて形成している。中空 SIW の幅はカットオフ周波数で決定されており、今回は X 帯の特性を得るために 25 mm とした。

図⑪-1の右図は、変換構造の上面図を示している。MSL-中空 SIW 変換器の設計パラメータは、MSL の幅 (a)、MSL からのテーパ長 (c)、テーパ幅 (b)、中空 SIW 中に張り出した突起の長さ (d)、突起の幅 (e)、中空 SIW の側面のメタライズ除去領域 (f)、そして中空 SIW 幅 (g) である。今回の合成器作製に向けて、MSL の特性インピーダンスが 50 Ω の場合と 25 Ω の場合の2つの場合に対して、最適な構造をシミュレーションにより求めた。基板材料が Rogers R04003C、基板厚 1.524 mm の場合、それぞれの最適なパラメータは以下のとおりである。MSL の特性インピーダンスが 50 Ω の場合、(a)3.4 mm、(b)12.0 mm、(c)6.7 mm、(d)4.8 mm、(e)7.0 mm、(f)9.5 mm、また MSL の特性インピーダンスが 25 Ω の場合、(a)9.0 mm、(b)11.2 mm、(c)8.0 mm、(d)7.0 mm、(e)3.0 mm、(f)18.0 mm となった。それぞれのシミュレーション結果をエラー! 参照元が見つかりません。に示す。中空 SIW の幅で決定されるカットオフ周波数は約 6 GHz 付近であり、目標とする X 帯の合成器に適用できる構造であることが分かった。また、MSL の特性インピーダンスが 50 Ω 時と 25 Ω 時の X 帯での MSL-中空 SIW の変換損失はそれぞれ 0.16 dB、0.31 dB 程度であり、反射損失も -10 dB 以上確保できており、良好な特性であることが分かった。この結果から、以下のことが言える。MSL の特性インピーダンスに関わらず、MSL-中空 SIW の構造を最適化することで、MSL の電波の伝搬モード (TEM モード) から導波管中の伝搬モード (TE₁₀) に変換することができる。これは、MSL-中空 SIW 変換器が広帯域なインピーダンス器として適用できることを示している。



図⑪-4-1 MSL-中空 SIW 変換構造の HFSS モデル

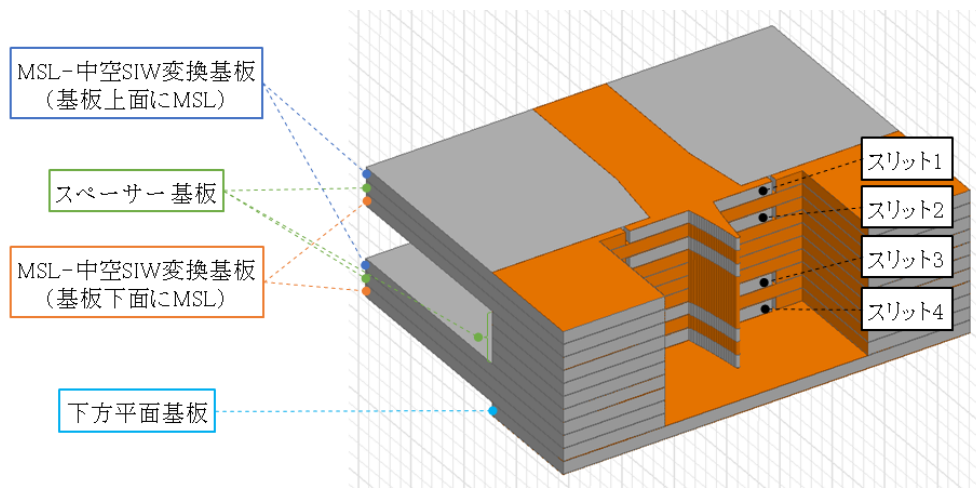


図⑩-4-2 MSLの特性インピーダンスが50 Ω時(青)と25 Ω時(オレンジ)のMSL-中空SIW変換器のシミュレーション結果。実線は左軸、点線は右軸に対応

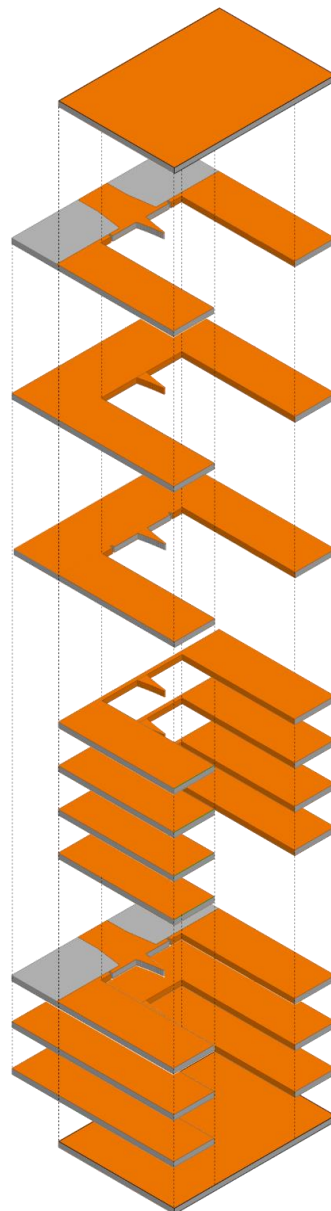
3.1.1.4.2 中空SIW合成器の設計

中空SIWは通常のSIWの損失の主な原因であった誘電体損がないことから、SIWより低損失であることが令和2年度の実験から明らかになったが、中空SIWは導波管内が比誘電率1の空気では占められているため、導波管内の電波の波長圧縮が働かず、結果的にSIWより幅が広がってしまう。そのため、中空SIWでトーナメント型合成器を作製しても、中空SIWの引き回し長の増大により、全体として損失低減につながらないことが予想された。そのため、今回は基板の積層構造を利用し、縦型の合成器の実現を試みた。検討した中空SIWによる4合成器の積層後の構造を図⑩-4-3に示す。この図では、積層基板の最上層平面基板を削除した図となっている。実際の基板積層時には、最上層の基板を実装し、導波管は基板によって閉じられている構造となる。また、この4合成器の基板積層の詳細図を図⑩-4-4に示す。

図⑩-4-3に示すように、一つの中空SIWにスリットが4つあり、それぞれがMSLに接続されている。このMSLの特性インピーダンスは、のちの説明するように25 Ωとした。それぞれのスリットは、MSL-中空SIW変換構造をベースとした構造である。スリット間は、変換基板の突起の形状と同じであり、かつ側面にメタライズを設けている基板をスペーサーとして使用している。スリット1およびスリット3を設けている基板は上面にMSL線路を配置しており、スリット2およびスリット4を設けている基板は下面にMSL線路を配置している。中空SIW内でスリット1からスリット4から出力される電波が同相で合成されるためには、すべてのスリットから出力される電界の方向が一致している必要がある。そのため、スリット1及びスリット3の基板のMSLの位相が0度の時、スリット2およびスリット4のMSLの位相は180度と反転している必要があり、それぞれのMSL同士は差動モードで動作することになる。

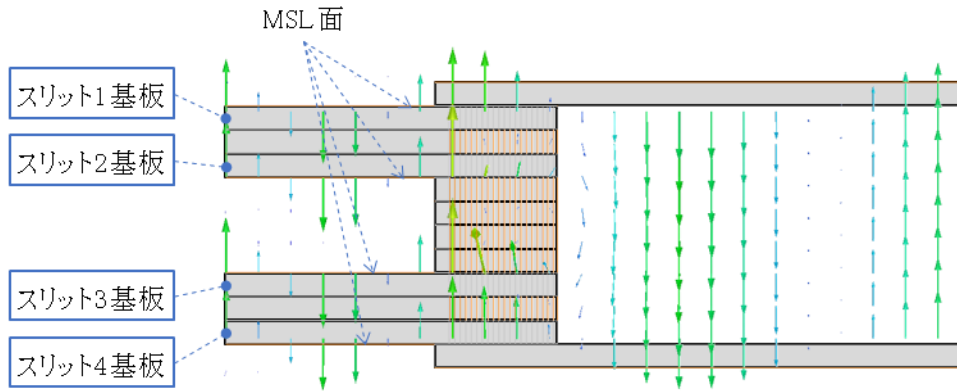


図①-4-3 中空 SIW による 4 合成器の積層後の構造



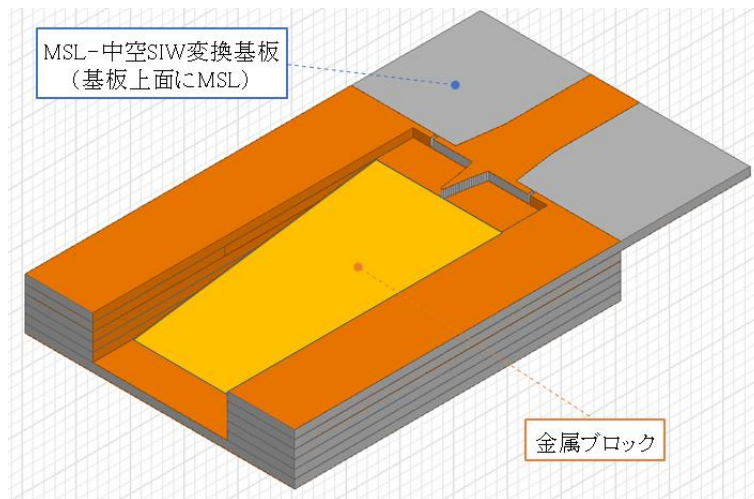
図①-4-4 積層基板の詳細図

図⑪-4-5にHFSSによる電磁界解析の計算結果から得られた電界分布を示す。周波数は10 GHzである。スリット1基板とスリット3基板のMSL配線は基板上面に形成され、その点での電界の向きはそろっていることがわかる。また、スリット2基板とスリット4基板のMSL配線は基板仮面に形成され、その点での電界はそろっており、かつスリット基板1とスリット基板3のそれと反対の向きであることがわかる。そのようにして入力した信号は、中空SIW内で同方向の電界として合成され、1つの導波管モード（TE₁₀）として合成されている様子がわかる。

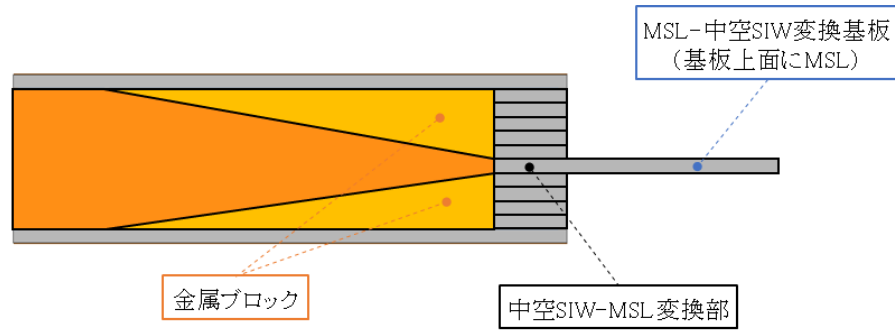


図⑪-4-5 HFSSによって計算した中空SIW合成器の電界分布

中空SIWからMSLへの変換部分は図⑪-4-6及び図⑪-4-7のような構造を検討した。合成器の中空SIWは複数枚の基板を積層しているので厚く、その寸法のままでは従来の中空SIW-MSL変換構造を適用できない。そこでテーパ状の金属ブロックを中空SIW中に実装し、中空SIW高さを徐々に薄くすることで、従来の中空SIW-MSL変換構造を適用できるようにした。図⑪-4-6は中空SIWの下半分の断面図である。図⑪-4-7に示すように、このようなテーパ状の金属ブロックが上半分にも実装されており、中空SIWの上下からSIW厚さが狭められる構造とした。またここでは、MSLの特性インピーダンスは50 Ωとした。

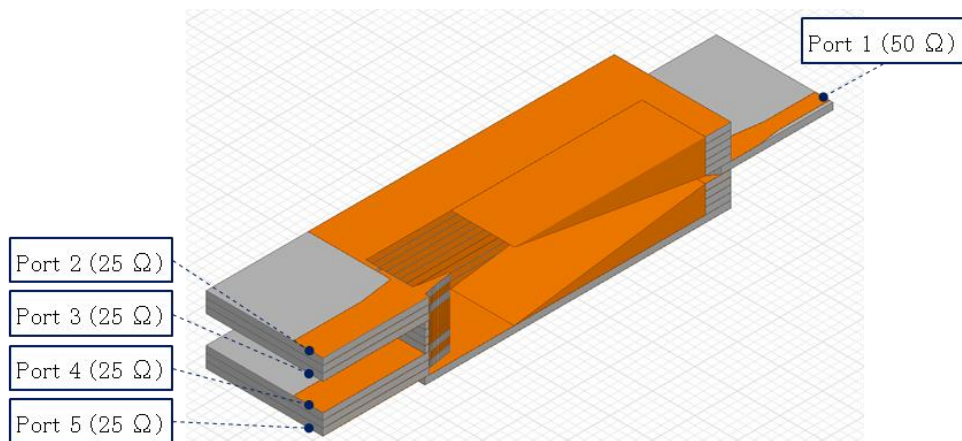


図⑪-4-6 検討した中空SIWからMSLへの変換構造のモデル俯瞰図

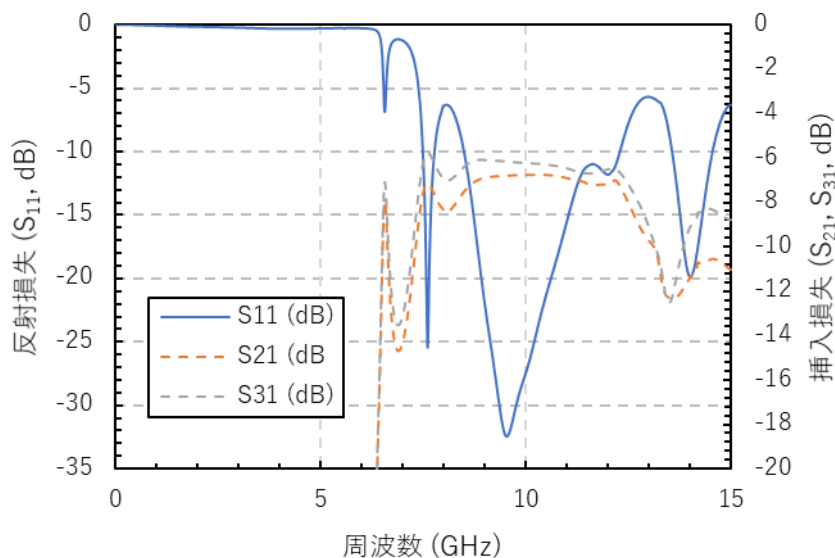


図⑪-4-7 検討した中空 SIW から MSL への変換構造の側面図

上記の中空 SIW による 4 合成器及びテーパー上の金属ブロックを用いた中空 SIW-MSL 変換構造の HFSS によるシミュレーションモデル及びシミュレーション結果を図⑪-4-8 及び図⑪-4-9 に示す。合成する各 Port のインピーダンスは 25Ω と設定している。シミュレーションでは、テーパー金属ブロックの形状、MSL-中空 SIW 変換器の寸法などを所望周波数での特性が最大となるように最適化した。シミュレーションの結果、10 GHz で Port 1 の反射利得が -25 dB を下回り、通過損失は Port によって差があるものの、平均 0.5 dB と良好な値となっていることが確かめられた。



図⑪-4-8 中空 SIW による 4 合成器の HFSS での解析モデル



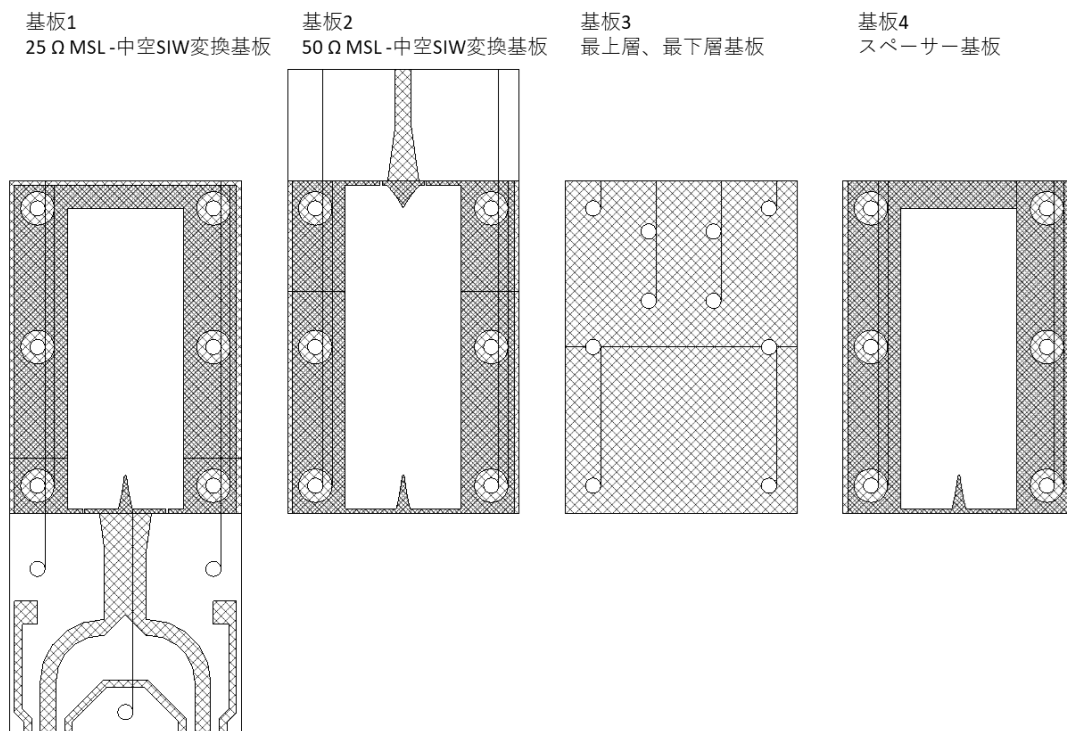
図⑪-4-9 中空 SIW による 4 合成器の HFSS によるシミュレーション結果

これまでの結果は、4合成器についてのシミュレーション結果であったが、4つのポートのインピーダンスを $25\ \Omega$ に設定していた。これは、各 $25\ \Omega$ ポートに $50\ \Omega$ 出力の増幅器を2並列にした $25\ \Omega$ 出力ユニットを接続することを想定している。MSLでの合成のため、小型で広帯域な特性を有し、かつ $25\ \Omega$ まで低減したインピーダンスをMSL-中空SIW変換器のインピーダンス変換機能で中空SIWに合成するという、MSLと中空SIWの双方の利点を生かした構造としている。

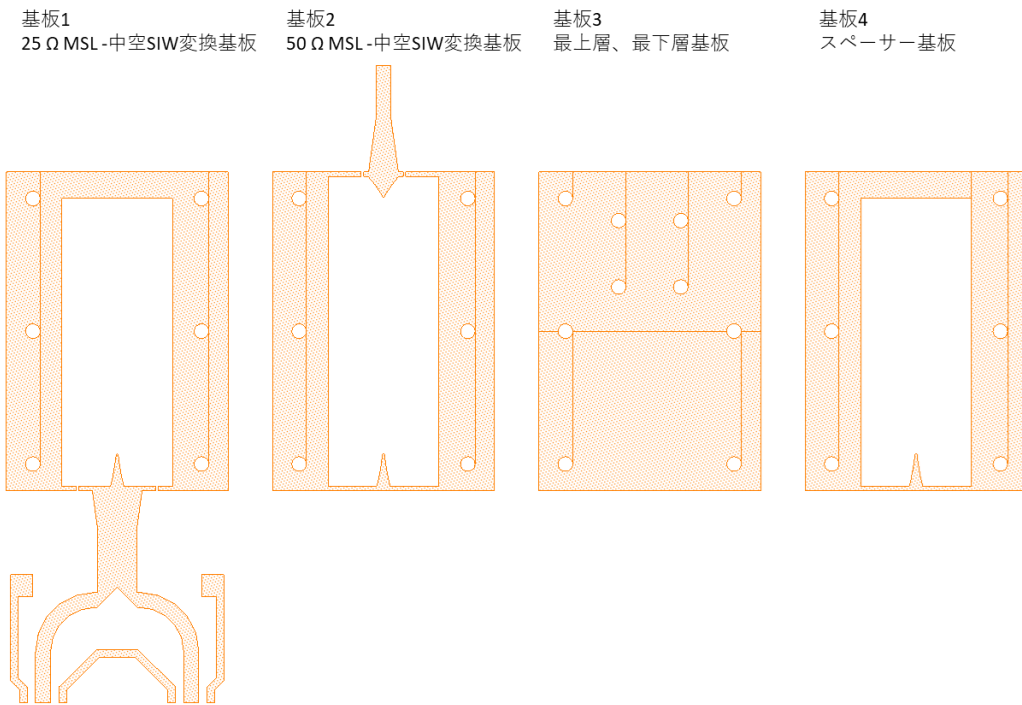
3.1.1.4.3 中空SIW合成器の試作および測定結果

作製した基板のCAD図面を

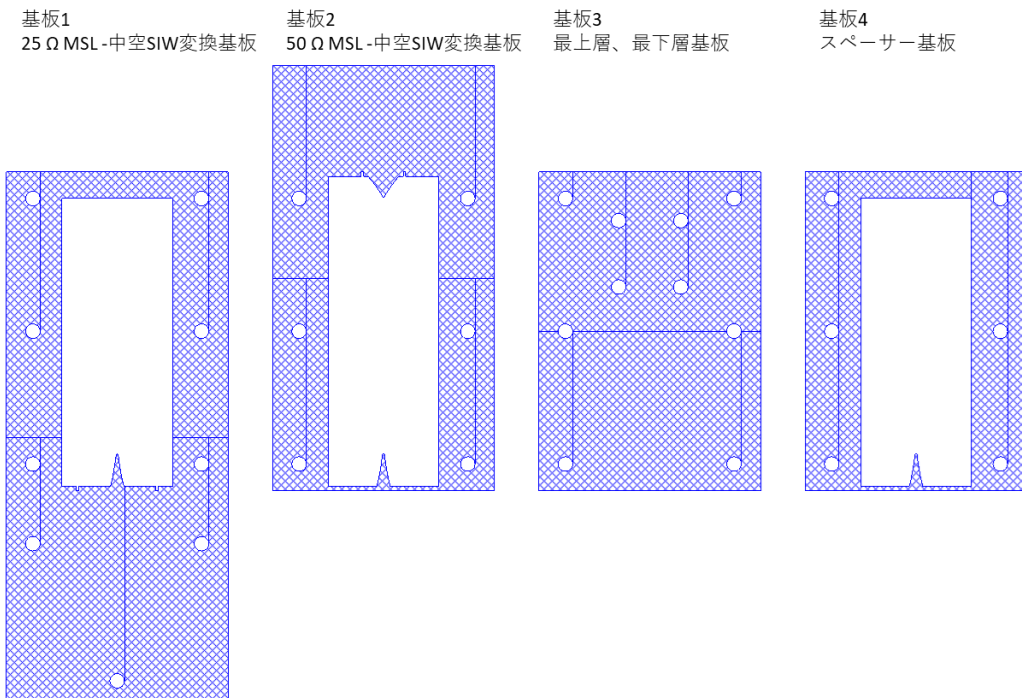
図⑪-4-10から図⑪-4-13にそれぞれ、基板の外形図、表面側メタライズレイアウト、裏面側メタライズレイアウト、表面及び裏面側ハンダ成膜層を示す。基板材料はRogers R04350B、基板厚 $1.524\ \text{mm}$ 、銅箔厚 $35\ \mu\text{m}$ である。基板1は $50\ \Omega$ MSLを2合成し、 $25\ \Omega$ としており、中空SIW中の突起は $25\ \Omega$ MSL-中空SIW変換器として最適化した構造としている。基板2は中空SIW- $50\ \Omega$ MSL変換器であり、同様に中空SIW中の突起は $50\ \Omega$ MSL変換器として最適化した構造としている。基板3は中空SIWの最上層および最下層の基板、基板4はスペーサー基板である。それぞれの基板を接合するため、接合部に低温で溶解する共晶半田（融点 182°C ）を $20 - 50\ \mu\text{m}$ 程度製膜している。各基板共に同一の位置にスルーホールを設けており、接合の際にネジで固定できるようにしている。



図⑪-4-10 作製したプリント基板の外形図

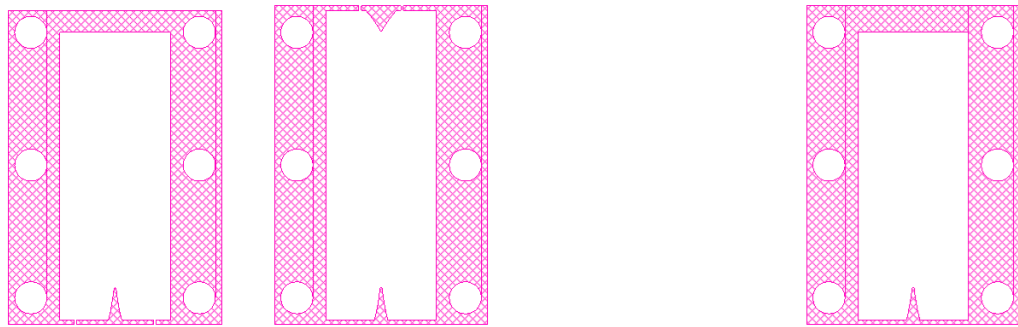


図⑪-4-11 作製したプリント基板の表面側メタライズレイアウト



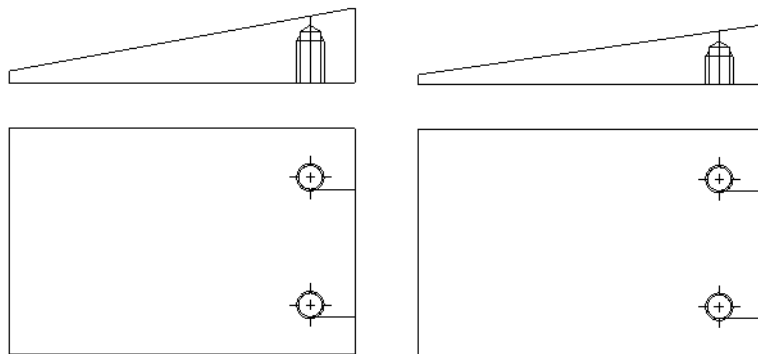
図⑪-4-12 作製したプリント基板の裏面側メタライズレイアウト

基板1 25 Ω MSL-中空SIW変換基板 基板2 50 Ω MSL-中空SIW変換基板 基板3 最上層、最下層基板 基板4 スペーサー基板



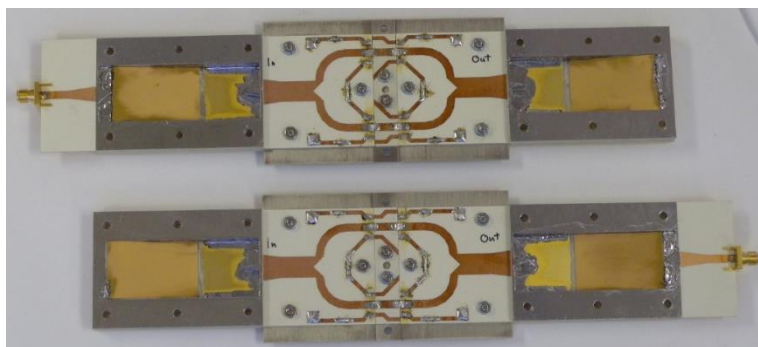
図⑪-4-13 作製したプリント基板の表面側及び裏面側ハンダ成膜層

図⑪-4-14 に作製した金属ブロックの図面を示す。金属ブロックはアルミニウムで作製し、最上層および最下層基板とねじで固定することとした。金属ブロックは中空 SIW の厚さによって使用する種類を使い分けている。

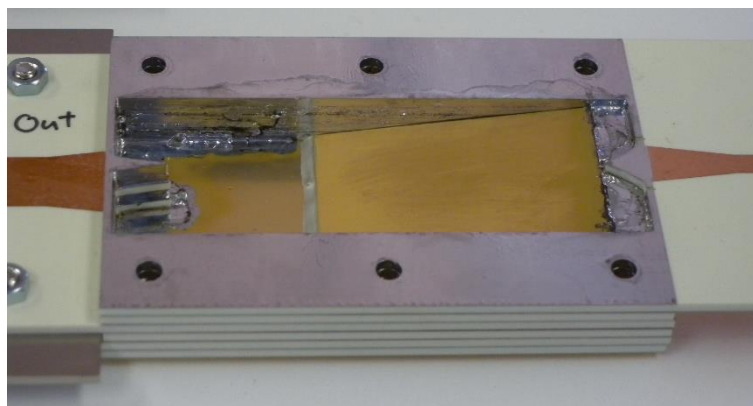


図⑪-4-14 作製した金属ブロック

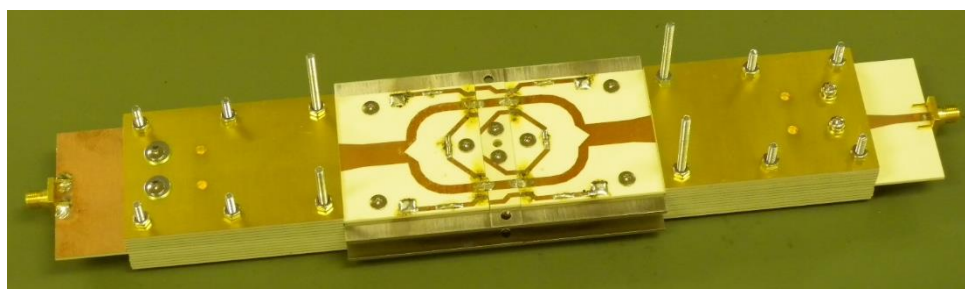
実際に基板を積層した際の写真を図⑪-4-15 および図⑪-4-16 に示す。測定の際は 8 合成器を対向させ、間に特性インピーダンスが 50 Ω の線路を挿入し、Back-to-Back 接続として評価した。基板接合時は、基板を積層した状態でネジで固定し、ホットプレート上で共晶半田の融点 182°C 以上となるように加熱した。基板間や基板と金属ブロック間などの電気的な接続が重要であるため、接続が不足しているとみられた個所は半田等で追加で補強した。最後に 2 部のブロックを接合し、図⑪-4-17 のような構造の Back-to-Back 接続された 8 合成器を試作した。



図⑪-4-15 基板同士を接合した際の中空 SIW の内部構造



図⑪-4-16 中空 SIW の内部構造



図⑪-4-17 試作した、Back-to-Back 接続された中空 SIW による 8 合成器

図⑪-4-18 に測定した S パラメータを示す。入力側及び出力側反射利得は X 帯の周波数領域で概ね -10 dB 以上確保できている。通過周波数帯域 9.5-10.5GHz において、5.7~6.8 dB (平均 6.4 dB) の通過損失であった。

Back-to-Back で評価した測定結果より、8 分配/合成器の損失を見積もる。図⑪-4-17 に示す 8 合成器は中空 SIW の他に入出力部分に SMA コネクタおよび引き出し用のマイクロストリップ線路 (24mm) が接続している。また、中間の線路部分の分配後のマイクロストリップ線路長は 36mm が接続されている。異なる長さのマイクロストリップ線路の通過特性より、X 帯における 1 つあたりの SMA コネクタのロスが 0.85dB、マイクロストリップ線路のロスは 0.008 dB/mm であった。なお、使用した基板 (Rogers 社 R4003C) の誘電率 3.38、誘電正接 0.003 から計算する線路ロスも 0.008 dB/mm であり、評価結果は妥当であると見積もれる。したがって、分配/合成以外のロスは 2.5 dB と算出される。

$$\begin{aligned} & \text{コネクタ (2 個) + マイクロストリップ線路 (24 mm + 36 mm) x 2} \\ & = 0.85 * 2 + 0.008 * (12 + 36) * 2 \\ & = 2.5 \text{ dB} \end{aligned}$$

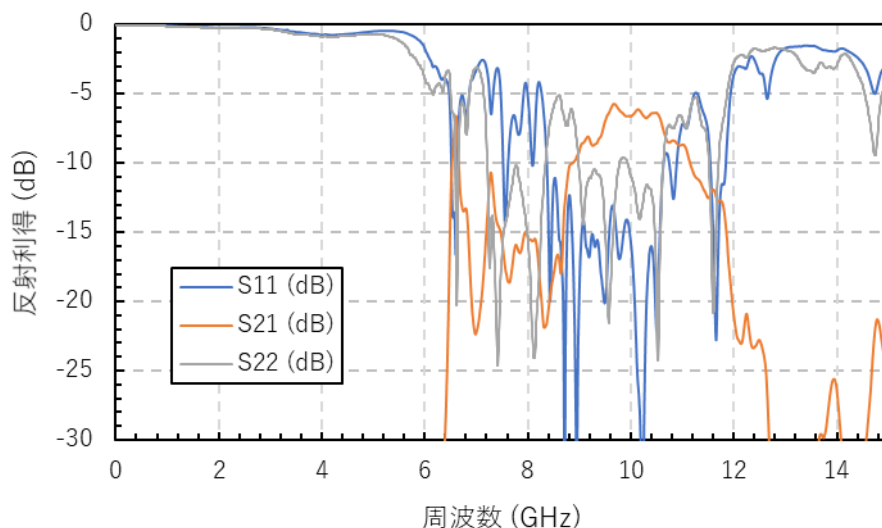
Back-to-Back の評価結果からえられた通過損失 6.4 dB の中で 2.5 dB を差し引くと 3.9 dB の損失であり、1 つあたりの合成器の損失は 1.95 dB となり、目標としていた通過特性 2 dB を達成した。

シミュレーションによる 4 分配特性 (図⑪-4-9) と測定結果 (8 分配-合成特性) (図⑪-4-18) を比較すると、8 GHz 付近の通過特性が低くなっている。原因として、基板同士の実装の不完全性が考えられる。この合成器は複数枚の基板を積層し、形成する。基板同士の接合のために、低温で溶解する共晶ハンダを基板表面に製膜しているが、加熱不足や加熱むらがある場合、一部の接合度が弱い部分ができってしまうと考えている。実際、

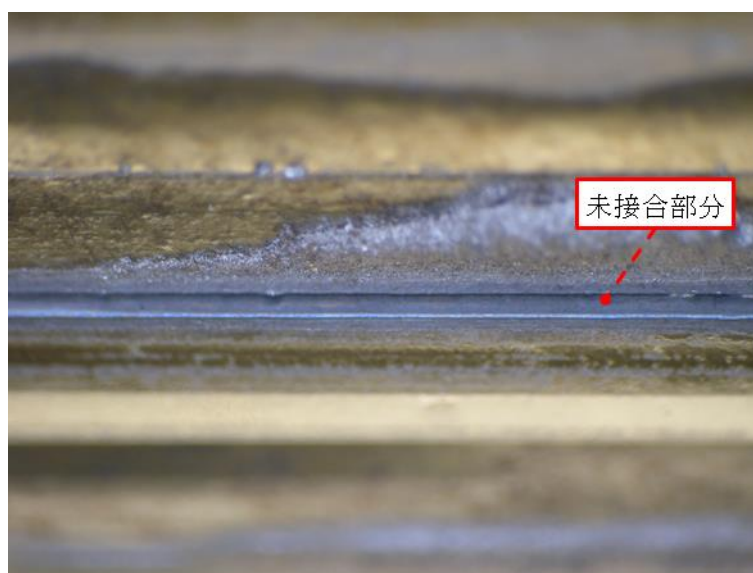
図⑪-4-18 の評価結果では、Back-to-Back 接続であるから、入力側と出力側の合成器が完全に対

称にできていれば S_{11} と S_{22} は同一な特性となるはずであるがそうはなっておらず、入力側と出力側の合成器が対象に形成できていないことが示唆される。例えば図⑪-4-19 に示すように、加熱後の中空 SIW 内部の側面の写真では、正常に接合ができておらず、隙間が存在する。このような未接合部分があると、電波の漏洩、インピーダンス不整合などの影響が発生し、損失が発生すると考えられる。

理想的な接合を得るためには、ネジで固定した合成器全体を均一に加熱する必要があるが、今回の試作ではそのような加熱を実現することができなかった。リフロー炉などの全体を均一に加熱できる装置を使う必要があることがわかった。



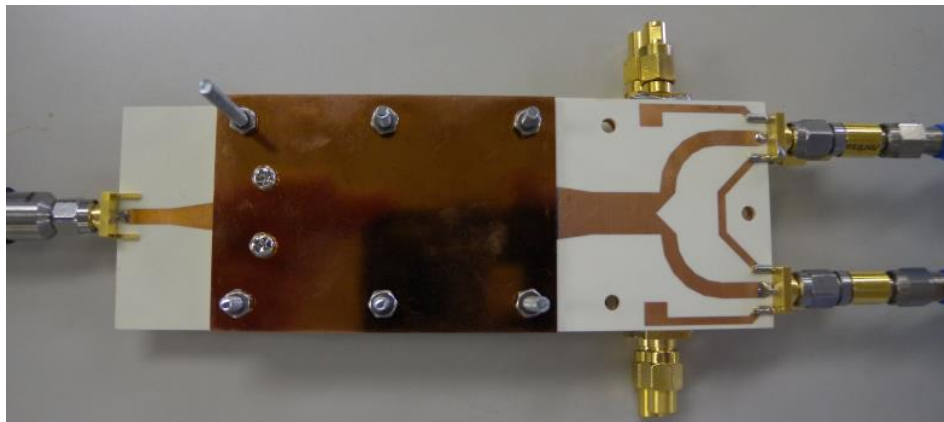
図⑪-4-18 8 合成中空 SIW の Back-to-Back 接続時の S パラメータ測定結果



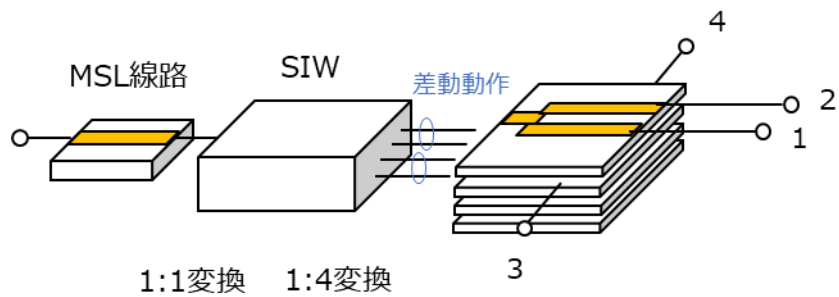
図⑪-4-19 加熱後の中空 SIW 側面の拡大写真。未接合な隙間が存在する。

今回試作した SIW による 4 合成回路は差動動作していることを特徴としている。内部の動作を確認するために差動となるポートの通過位相が反転していることを実験により確認した。図⑪-4-20, 図⑪-4-21 に 1-8 分配回路の写真と回路図を示す。1:4 の SIW 分配器により 2 つの差動動作する回路基板へ導かれる。動作原理では 1 層目と 2 層目の回路基板では位相が反転するが、こ

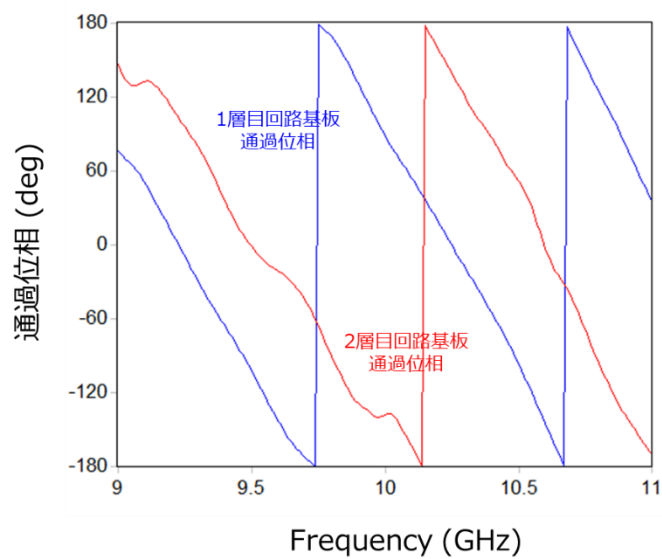
れを実験により検証した。4ポートのベクトルネットワークアナライザの3ポートを使用し、その通過位相を評価した。図⑪-4-22に1層目と2層目のポートの通過位相の比較を示す。両ポートの位相差は180度であり、差動動作していることを確認した。



図⑪-4-20 1:8 電力分配回路評価基板



図⑪-4-21 1:8 分配回路の回路図



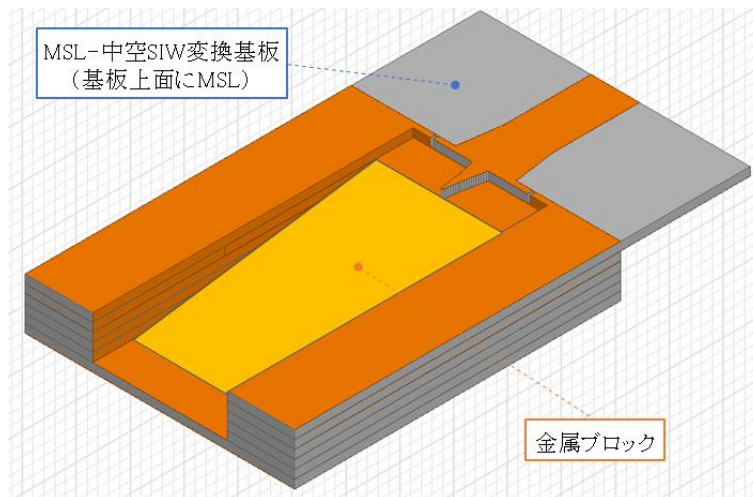
図⑪-4-22 1層目と2層目回路基板の通過位相の比較

3.1.1.5 改良型中空 SIW の設計と評価結果

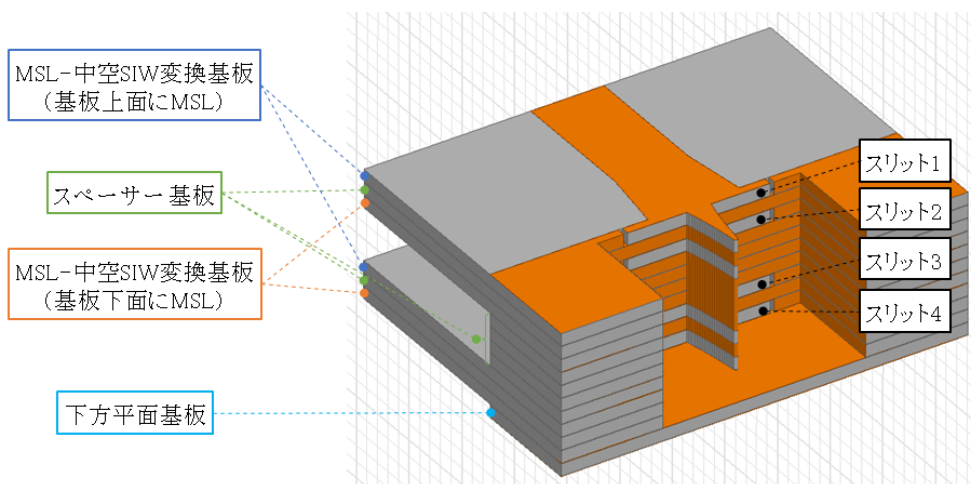
3.1.1.5.1 令和2年度に開発したマイクロストリップ-中空 SIW 変換器の構造とその課題

令和2年度に開発したマイクロストリップ線路 (MSL) - 中空 SIW 変換構造を図①①-5-1 に示す。SIW の電磁界モードである TE01 へ変換基板によりモードを変換した後、金属ブロックで構成したスロープにより高さを変換している。その後、図①①-5-2 に示す分配/合成回路により4つの MSL を励振する。4つの変換回路は縦積みされており、SIW の導波管モード TE01 が4つの変換回路により MSL 線路が励振される。変換損失は 1.95dB であったが、令和3年度はこの損失低減を図る。

令和2年度に開発した分配・合成回路はすべてプリント基板により構成していたため、層間の接触が安定しないためグラウンドが弱く、電波が漏洩して損失が大きくなるという課題があった。組み立て方によって接触が変わるため再現性の高い測定をすることが困難であった。もう一つの課題は、図①①-5-2 に示すようにスペーサー基板が必要であるため、SIW の高さが大きくなり高さを変換する金属ブロックが必要であった。この金属ブロックを下面および側壁金属ブロックと電氣的に接触させることは困難であった。なお、図①①-5-2 ではプリント基板 12 層が必要であった。



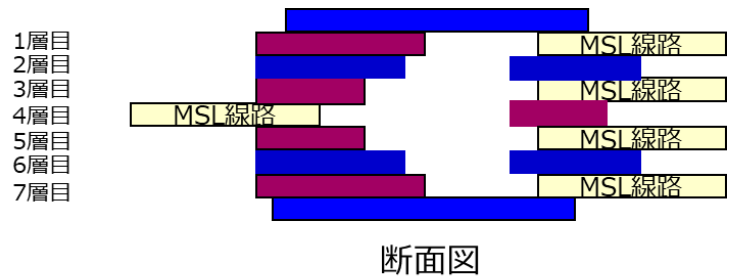
図①①-5-1 令和2年度に開発した中空 SIW から MSL への変換構造のモデル俯瞰図



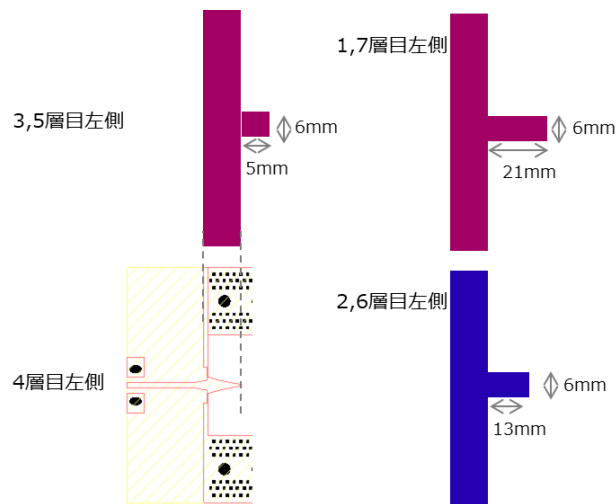
図①①-5-2 令和2年度に開発した中空 SIW による4合成器の積層後の構造

3.1.1.5.2 改良型 MSL-中空 SIW 変換器の基本構造

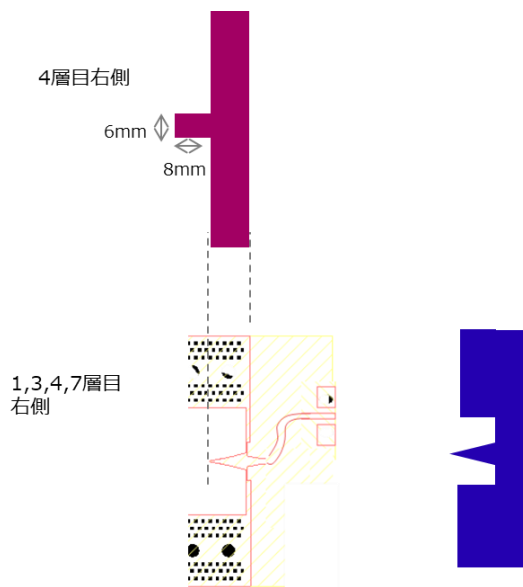
令和3年度に開発する SIW による合成／分配回路のモデル断面図を図①-5-3 に、各層の上面図を図①-5-4、図①-5-5 に示す。図面において青色に示す箇所は金属板で構成しており、紫色で示す箇所はプリント基板をビアにより表一裏間を接続している個所である。図面左側の MSL 線路から中空 SIW モードを励振する。導波管へ励振後、徐々にモードを合わせるように、金属部分を設ける。



図①-5-3 MSL-中空 SIW 変換器のモデル断面図



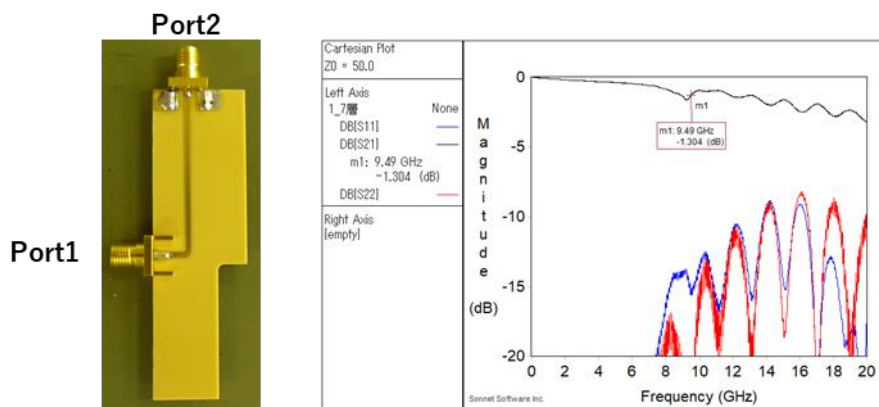
図①-5-4 変換部（左側）



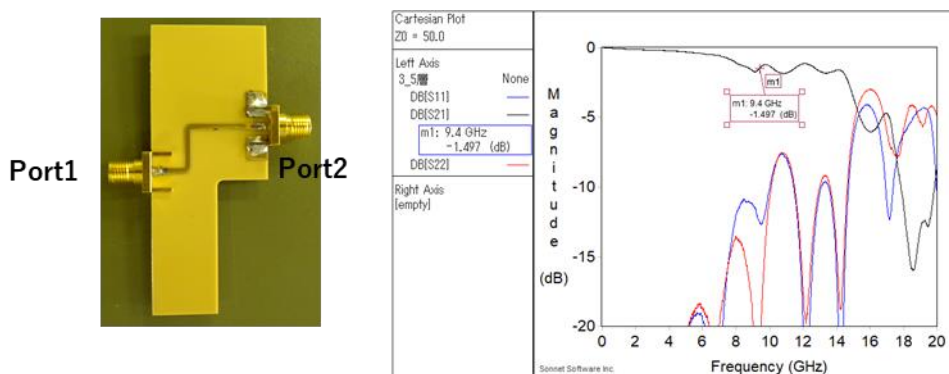
図①-5-5 変換部（右側）

3.1.1.5.3 改良型 MSL-中空 SIW 変換器の評価

開発した変換器の評価結果を報告する。本変換器は、コネクタ・入力側 MSL、MSL-中空 SIW 変換部、中空 SIW 導波路、4つの MSL 変換部、MSL 変換部、MSL 線路による 2 分配部の 7つのコンポーネントにより構成されている。



図⑪-5-6 マイクロストリップ線路 1 の写真と S パラメータ測定結果



図⑪-5-7 マイクロストリップ線路 2 の写真と S パラメータ測定結果

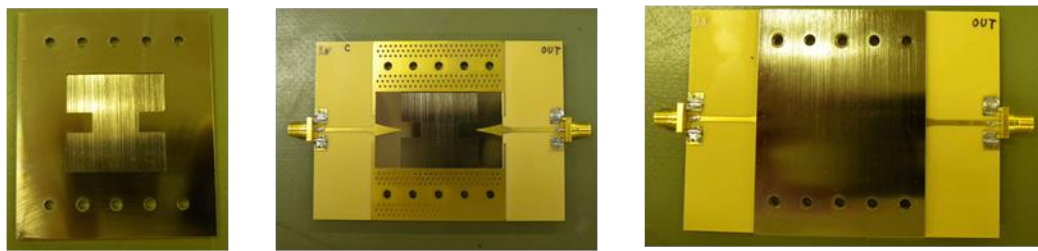
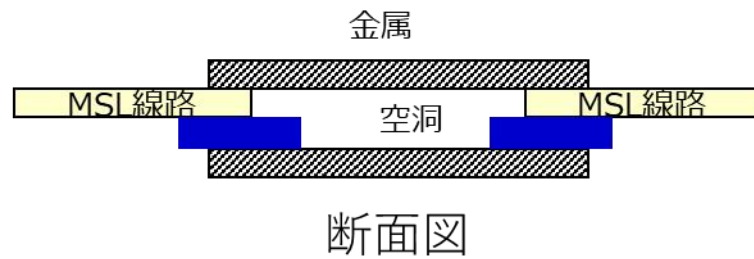
A) MSL 線路

基板には入手性がよく損失が少ない MEGTRON6 を用いた。基板厚は 0.75 mm、銅厚は 35 μm で最表面は金メッキとしている。マイクロストリップ線路のパターン幅は 1.6 mm とし、特性インピーダンスが 50 Ω となるように設計した。図⑪-5-6、図⑪-5-7 は MSL の写真とその通過特性である。通過損失 (S21) は 1.35 dB および 1.5 dB であった。

B) MSL-中空 SIW 変換 (1 : 1)

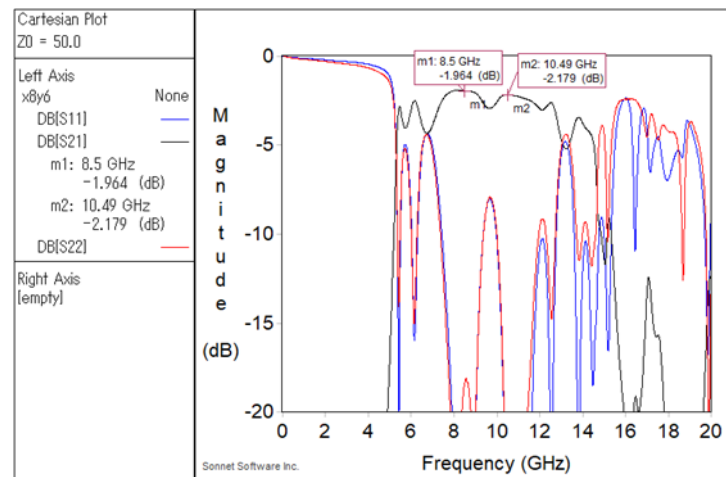
初めに MSL から中空 SIW に変換し、その後 MSL に変換する Back-to-Back の測定を行った。断面図および組み立てたモジュールの写真を図⑪-5-8 に、S パラメータ測定結果を図⑪-5-9 に示す。ロス は 1.9 dB であるが、入出力部の直線 MSL (損失 0.8 dB x 2) があるため変換損失を含む SIW のロス は 0.3 dB であった。図⑪-5-8 の断面図に示すようにマイクロストリップ-SIW 変換は主に 3 か所に分かれている。1 つ目は MSL 線路が金属板に挟まれている箇所、2 つ目は金属 (青色で表示) がつきだしている箇所、3 か所目が図中において空洞と書いてある疑似導波管部分である。2 か所目は中央部のみが金属が配置しており、長さが波長の 1/4 としている。この部分を入れるこ

とにより、変換部で生ずる反射電力を打ち消しあうことが可能となる。本構造は以降で説明する 1:2, 1:4 分配器においても適用する。



最下層+金属板 左写真にMSL線路追加 最上層を追加した完成形

図①-5-8 MSL-中空 SIW 変換の断面図および組立写真

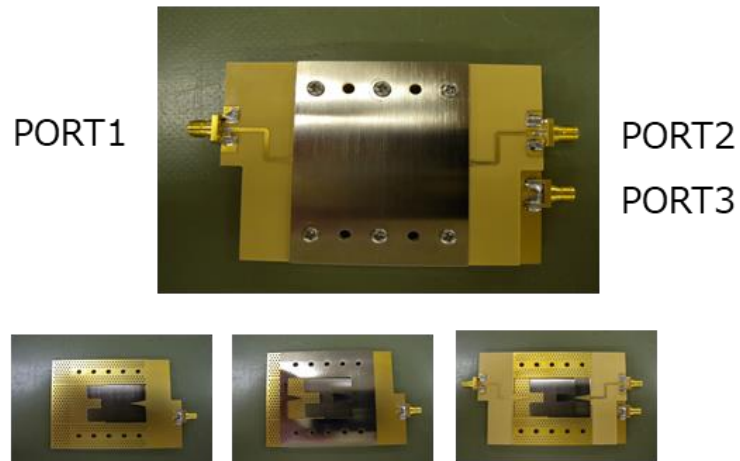
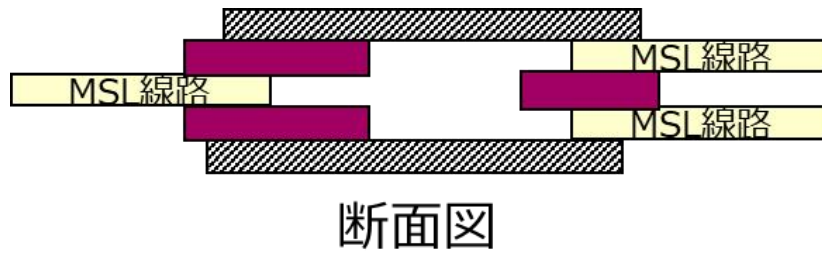


図①-5-9 MSL-中空 SIW 変換の S パラメータ測定結果

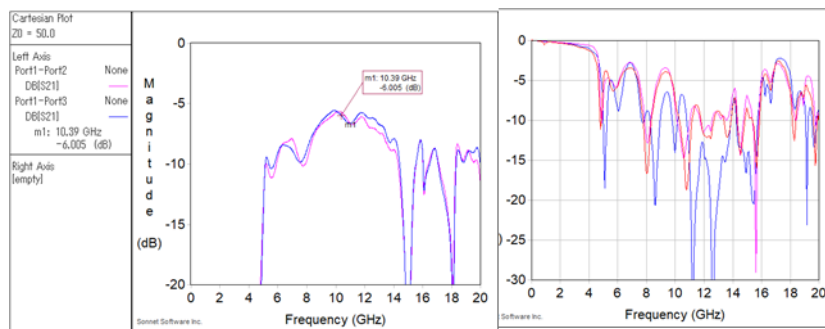
C) MSL-中空 SIW 変換 (1 : 2)

次に MSL-中空 SIW 変換の第 2 例の評価を行った。断面図および組立写真を図①-5-10 に示す。入力 (左側) の MSL から中空 SIW へ変換し、出力側にて 2 つの MSL 線路へ電力を分配する。SIW 内は TE₀₁ モードであるため、2 つの MSL には振幅が等しく位相が反対の差動信号が励振される。図①-5-11 に S パラメータ測定結果を示す。ロスが 6 dB であるが、理想分配損が 3 dB、入力側 MSL 損失が 1.35 dB、出力側 MSL 損失が 1.5 dB であるので、変換損失を含む SIW のロスは 0.2 dB であ

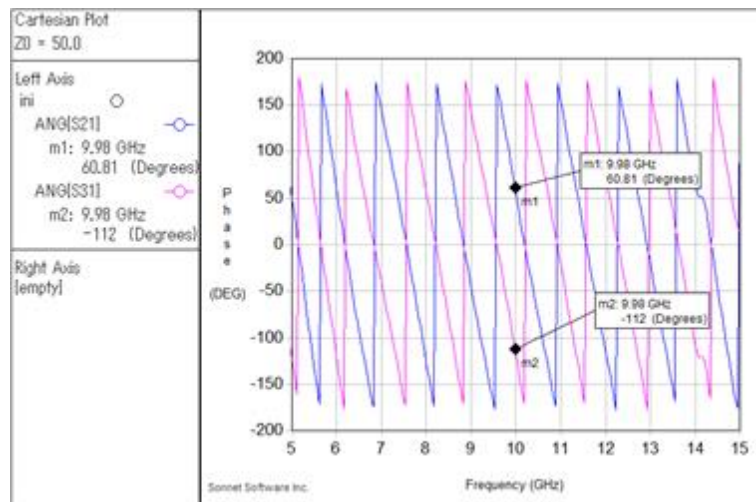
った。また、S21 と S31 通過位相を図①-5-12 に示すように、逆相であることを実験的に実証した。



図①-5-10 MSL-中空 SIW 変換 (1 : 2) の断面図及び組立写真



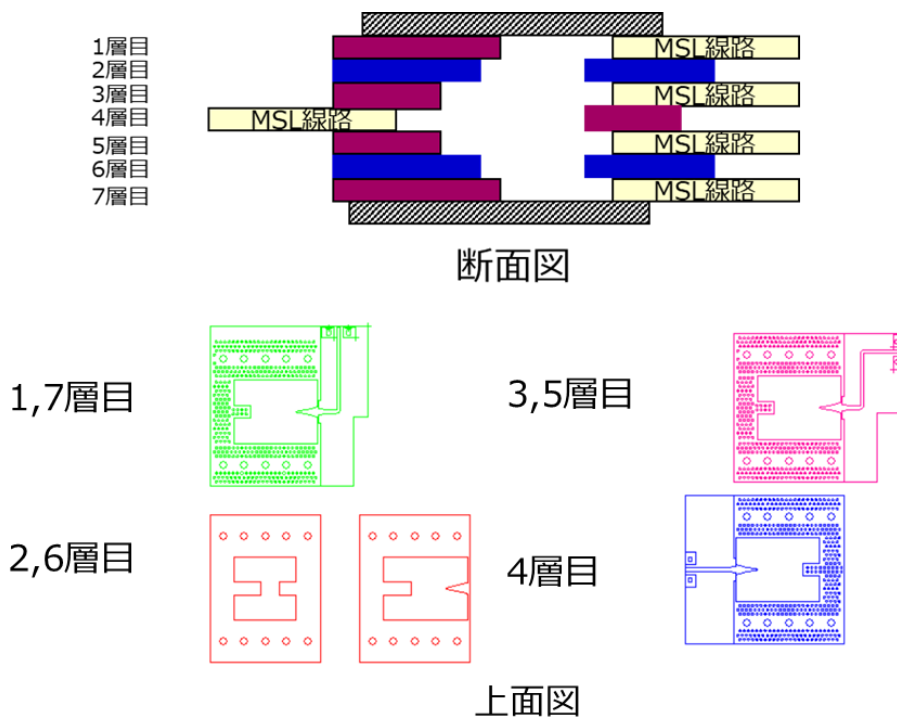
図①-5-11 MSL-中空 SIW 変換 (1 : 2) の S パラメータ測定結果



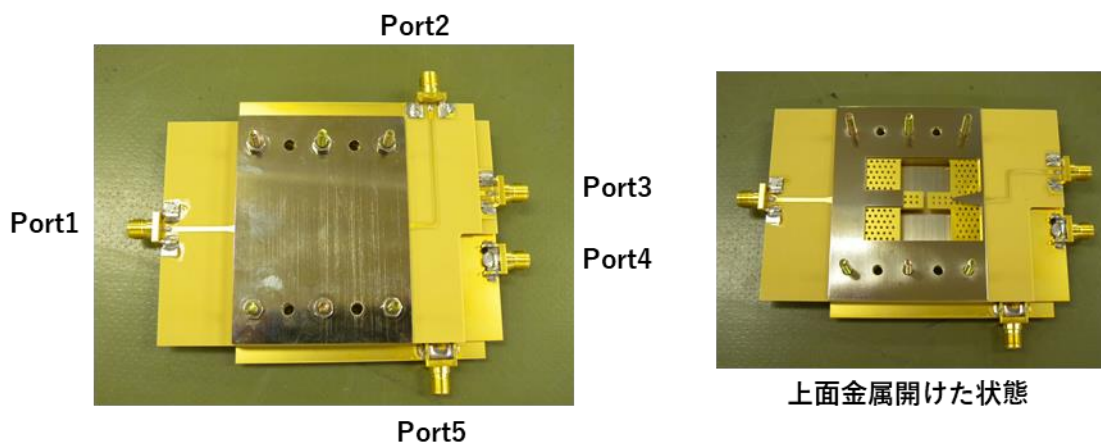
図①-5-12 MSL 出力(S21, S31)の通過位相特性

D) MSL-中空 SIW 変換 (1 : 4)

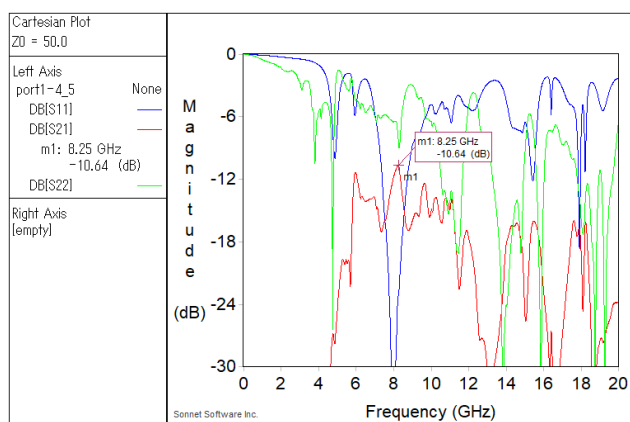
断面・上面図を図①-5-13 に示す。入力 (左側) の MSL から中空 SIW へ変換し、出力側にて 4 つの MSL 線路へ電力を分配する。SIW 内は TE₀₁ モードであるため、4 つの MSL には振幅が等しく分配される。組立写真を図①-5-14 に示す。



図①-5-13 MSL-中空 SIW 変換 (1 : 4) のモデル断面及び上面図



図⑪-5-14 MSL-中空 SIW 変換 (1 : 4) の組立写真

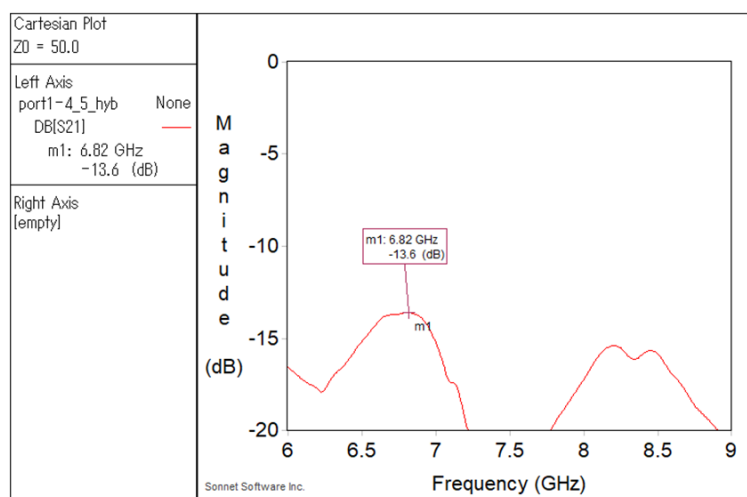


図⑪-5-15 MSL-中空 SIW 変換 (1 : 4) の S パラメータ測定結果

図⑪-5-15 に S パラメータ測定結果を示す。ロスは 10.6 dB であるが、理想分配損が 6 dB、入力側 MSL 損失が 1.35 dB、出力側 MSL 損失が 1.5 dB、引き出し用伝送線路のロスが 0.35 dB であるので、変換損失を含む SIW のロスが 1.4 dB であった。

E) MSL-中空 SIW 変換 (1 : 8)

図⑪-5-14 の Port4 端子を基板内でさらに 2 分配することにより 1 : 8 合成/分配回路を試作した。S パラメータ測定結果を図⑪-5-16 に示す。ロスが 13.6 dB であるが、理想の 8 分配の損失が 9 dB、入力側 MSL 損失が 1.35 dB、出力側 MSL 損失が 1.5 dB、さらに引きだし用のマイク反ストリップ線路のロスが 0.35 dB を考慮すると、変換損失を含む SIW のロスが 1.4 dB であった。



図⑩-5-16 MSL-中空 SIW 変換（1：8）の S パラメータ測定結果

以上の SIW による合成回路の評価結果を表⑩-5-1 にまとめる。マイクロストリップ線路から疑似導波路 (SIW) に電磁界モードを変換し、SIW 内で電力分配し、再びマイクロストリップ線路へ変換している。8 分配でも合成損失は 1.4 dB と目標としていた 1.5 dB 以下とすることができた。2 分配に比べて 4 分配・8 分配の損失が 1 dB 以上増えた。さらに、周波数特性が狭帯域となる課題が見えてきた。今回の測定では SIW の伝送線路部分の長さが 17 mm (波長の 0.56 倍) と短くモード変換された電磁界が定常状態となっていないのが原因で、理想的な分配となっていないためであると推定している。伝送線路部分の長さを倍以上にすると定常状態となり、分配/合成損失の低減と周波数特性の平坦化ができると考えている。

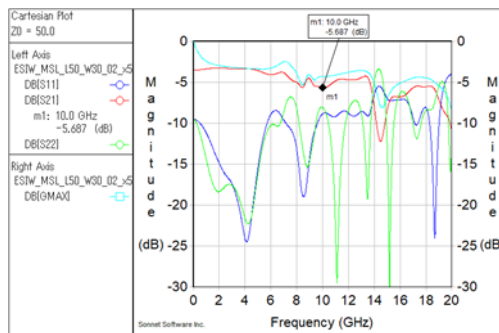
表⑩-5-1 SIW を用いた合成/分配損失

分配比	挿入損失 (dB)	理想分配損 (dB)	入力線路損失 (dB)	出力線路損失 (dB)	引出用 MSL 損失 (dB)	分配/合成損失 (dB)
1:1	1.9	0	0.8	0.8	-	0.3
1:2	6.0	3	1.35	1.5	-	0.15
1:4	10.6	6			0.35	1.4
1:8	13.6	9			0.35	1.4

次に比較としてマイクロストリップ線路による分配/合成回路を評価した。基板は SIW の変換器に使用した種類 (Megtron6、基板厚 0.75 mm) を使用している。1:2 の分配回路を試作した。試作した回路を図⑩-5-17 に示す。



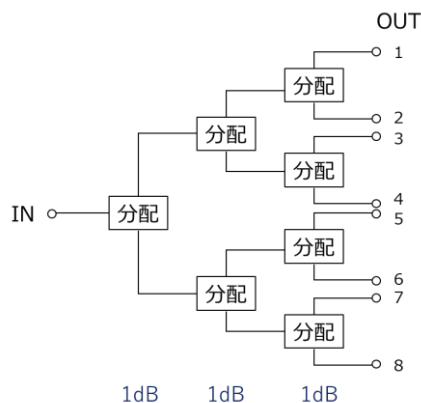
図⑪-5-17 Wilkinson 分配器 (1 : 2) の写真



図⑪-5-18 Wilkinson 分配器 (1 : 2) の測定結果

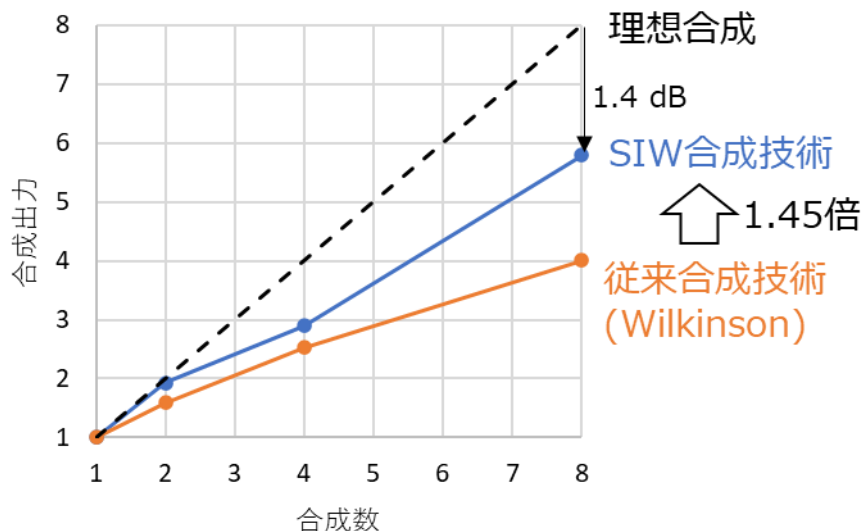
図⑪-5-18 に S パラメータ測定結果を示す。ロス は 5.6 dB であるが、理想分配損が 3 dB、入力側 MSL 損失が 0.5 dB、出力側 MSL 損失が 1.1 dB なので、分配ロス は 1 dB である。

Wilkinson 分配器を用いた 8 分配/合成回路を構築した場合の損失を図⑪-5-19 に示す。8 分配は図⑪-5-17 に示す分配回路を 3 段用いるため、損失は 3 倍となり 3 dB の分配損失と試算した。



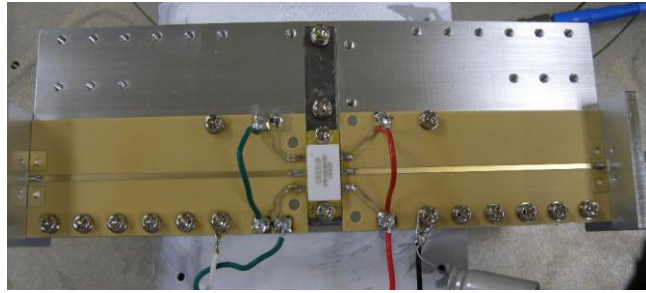
図⑪-5-19 Wilkinson 分配器による 8 分配回路図

検討した SIW による分配/合成回路と従来からあるマイクロストリップ線路による分配/合成回路を図①-5-20 にて比較する。SIW による合成回路は最小で 1.4 dB であるのに対して Wilkinson 合成回路の損失は最小で 3dB である。したがって SIW による 8 合成回路は従来方式に比べて 1.6 dB (1.45 倍) 効率が低いことを示した。

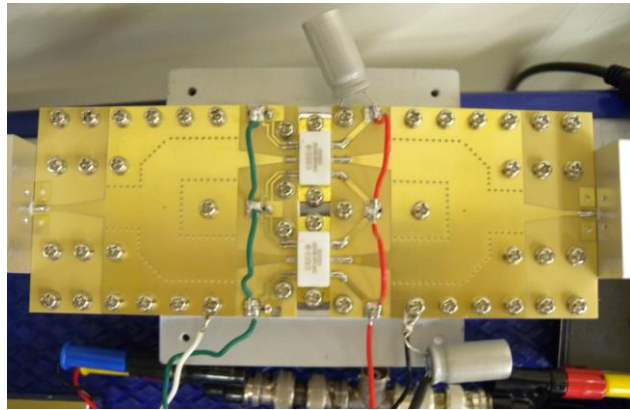


図①-5-20 合成数に対する理想・SIW/従来合成技術の合成出力の差

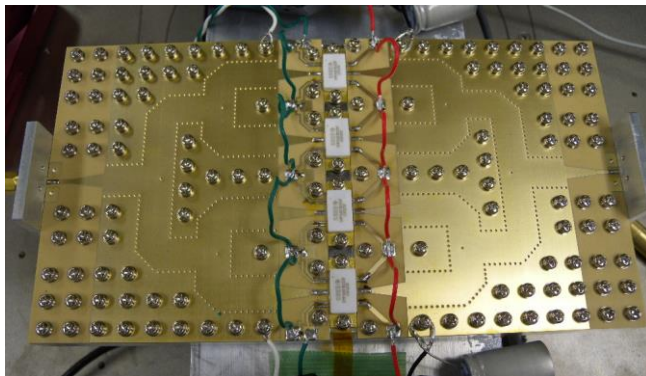
最後に、SIW 合成技術を適用した高出力増幅器の試作を実施した。平成 31 年度は 2 合成までの電力合成器を報告したが、令和 3 年度は 4 合成した高出力増幅器を試作した。使用した GaN HEMT は Cree 社の CMPA801B025 である。カタログ仕様では、出力電力 35.5-38W、PAE は 35-38% である。写真図①-5-21 に 1, 2, 4 合成した増幅器を示す。



(a) 単体特性 (平成31年度報告)

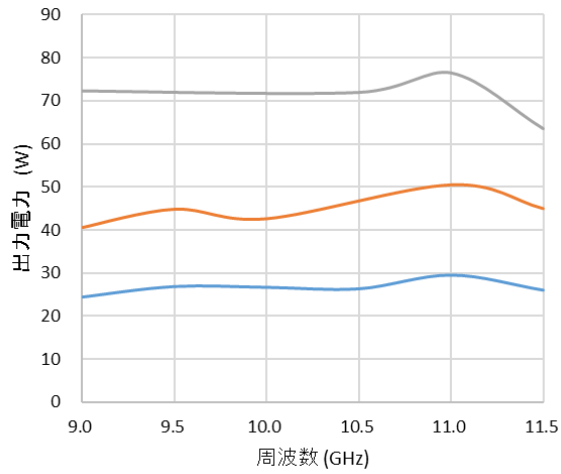


(b) 2合成 高出力増幅器 (平成31年度報告)

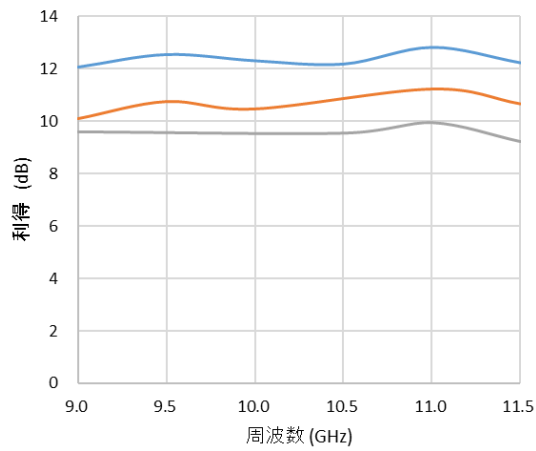


(c) 4合成 高出力増幅器

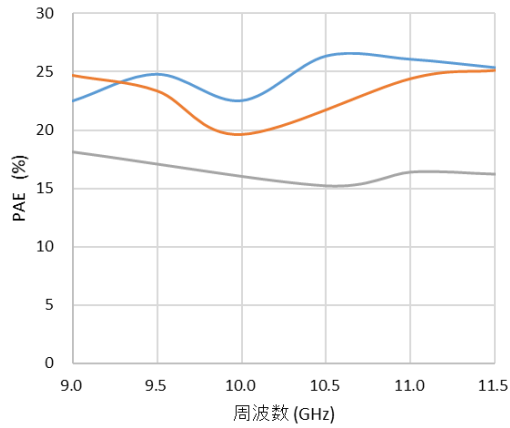
図⑪-5-21 試作した高出力増幅器



図⑪-5-22 試作した高出力増幅器の電力特性



図⑪-5-23 試作した高出力増幅器の利得特性



図⑪-5-24 試作した高出力増幅器の効率特性

図⑪-5-22～図⑪-5-24 に高出力増幅器の大信号特性の周波数特性を示す。単体特性は 29W 出力に対し、2 合成高出力増幅器は 45W、4 合成後は 72W である。合成損失はそれぞれ 1.1, 0.8dB となっており、高い合成損失であることを実証した。

3.11.6 まとめ

平成30年度は SIW のシミュレーション環境の構築し、SIW の基本構造設計を行った。また、SIW 電力分配/合成器を作製し、合成損が 1.79 dB となった。3 dB を下回ることがわかり、平成30年度の目標値を達成したことを確認した。また、DC 電圧印加可能な差動 SIW を考案、作製し、SIW として動作すること、DC 電圧を印加できることを確認した。

平成31年度は SIW による 2 合成/分配器を設計・作製した。測定の結果、2 合成器の合成/分配損は 1.4 dB となり、年度目標とした 2 dB 以下を実現した。さらに、SIW 構造のさらなる低損失化のために、誘電体損の影響を除去できることが期待できる中空 SIW 構造を試作し、単位長さ当たり 0.005 dB/mm という低損失を確認した。

令和2年度は、SIW の損失低減のために採用した中空 SIW をベースとし、基板の積層構造を利用した中空 SIW 電力合成器を設計・開発した。作製した 8 合成器の測定結果は、分配/合成部分の損失損 1.95 dB であり、目標とした 2.0 dB 以内を実現した。また、1:8 分配回路の評価を行い、回路基板間が差動動作することを確認した。

令和3年度は、SIW の損失低減のために採用した中空 SIW をベースに、基板の積層構造を利用した中空 SIW 電力合成器を設計・開発した。作製した 8 合成器の分配/合成部分の損失損 1.4 dB であり、目標値 1.5 dB 以内を達成した。さらに、Wilkinson2 分配/合成回路を試作し評価した結果損失が 1 dB であり、これを 3 段カスケード接続した場合、8 分配/合成回路の損失が 3 dB となることを見積もった。従来の Wilkinson 合成/分配回路に比べて損失が 1.6 dB 低く、約 1.5 倍の出力向上が可能であることを確認した。

参考文献

- [1] I. J. Bahl and K. C. Gupta, "Average power-handling capability of microstrip lines," in IEE Journal on Microwaves, Optics and Acoustics, vol. 3, no. 1, pp. 1-4, January 1979.
- [2] Y. J. Cheng, K. Wu and W. Hong, "Power Handling Capability of Substrate Integrated Waveguide Interconnects and Related Transmission Line Systems," in IEEE Transactions on Advanced Packaging, vol. 31, no. 4, pp. 900-909, Nov. 2008.
- [3] S. Dong, Y. Chang and W. Che, "Studies on average power handling capacity of SIW with heat transfer theory," 2012 International Conference on Microwave and Millimeter Wave Technology (ICMMT), Shenzhen, 2012, pp. 1-4.
- [4] Feng Xu and Ke Wu, "Guided-wave and leakage characteristics of substrate integrated waveguide," in IEEE Transactions on Microwave Theory and Techniques, vol. 53, no. 1, pp. 66-73, Jan. 2005.
- [5] D. Deslandes and K. Wu, "Integrated microstrip and rectangular waveguide in planar form," in IEEE Microwave and Wireless Components Letters, vol. 11, no. 2, pp. 68-70, Feb. 2001.
- [6] W. Hong et al., "Half Mode Substrate Integrated Waveguide: A New Guided Wave Structure for Microwave and Millimeter Wave Application," 2006 Joint 31st International Conference on Infrared Millimeter Waves and 14th International Conference on Terahertz Electronics, Shanghai, 2006, pp. 219-219.
- [7] H. Esteban, A. Belenguer, J. R. Sánchez, C. Bachiller and V. E. Boria, "Improved Low Reflection Transition From Microstrip Line to Empty Substrate-Integrated Waveguide," IEEE Microwave and Wireless Components Letters, vol. 27, no. 8, pp. 685-687, 2017.

3.1.2 ⑫高効率回路設計技術

3.1.2.1 はじめに

近年の通信トラフィックの増大に伴い、通信には多値変調が用いられる。送信機には高い線形性が求められることから、通信器の最終段に挿入される増幅器は一般的には飽和動作から入力電力を低減させたバックオフ動作となる。トランジスタは飽和動作時に最大効率に達し、バックオフ動作時の効率は最大効率から大きく劣る。増幅器は送信機の中で最も高い電力を消費するため、増幅器の高効率化は送信機全体の消費電力、送信機の冷却方法、コストなどに大きな影響がある。

Doherty 増幅器、Envelope Tracking、Outphasing 等、バックオフ領域で高効率動作する通信用送信機の研究開発が盛んにおこなわれている。これらの増幅器では、広い入力レベルにわたってトランジスタが飽和領域で動作する様に設計されているため、送信機全体として高効率動作が可能となっている。バックオフ領域で高い効率を有する増幅器の形式として、デジタルパワーアンプ(Digital Power Amplifier: DPA)回路がある [1] [2]。本研究では、DPA 技術による増幅器動作効率の改善を検証する。

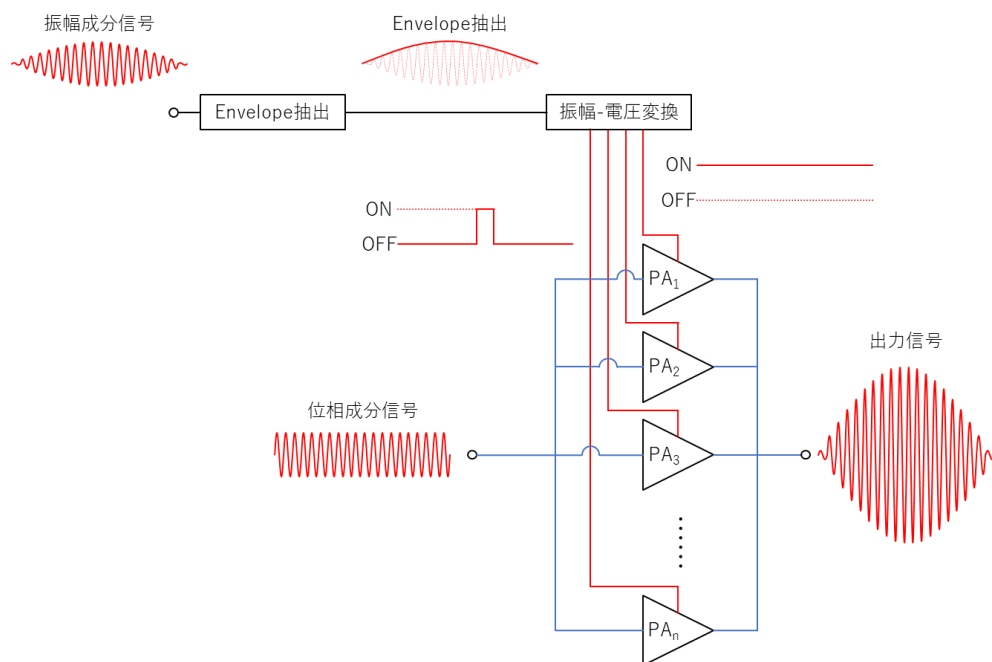
令和2年度は、DPA 回路のシミュレーションの実施に向け、シミュレーション環境の構築を行った。具体的には、既存の GaN HEMT のトランジスタパラメータの抽出を行うことで大信号トランジスタモデルを作成し、その後、作成したモデル及び2 トーン変調波を用いた DPA の基本的なシミュレーションを実施した。

令和3年度は、DPA に使用するトランジスタの基本波や高調波の最適負荷条件について検討するとともに、スイッチに関してもデバイスレイアウトやサイズを見積もり、パワーアンプ高出力化に向けて重要となる素子パラメータを明らかにした。さらに、最終統合検討として、実施項目⑩にて評価した AlN デバイスの S パラメータ等を取得し、出力パワー増大に効果的な素子パラメータを見積もり、DPA シミュレーションテストベンチに取り入れた。また、AlN デバイスを DPA アーキテクチャに適用することにより、X 帯以上の高周波帯において、DPA 回路の出力整合回路損失を 0.5dB 以下に低減し、従来のバックオフ型アンプに対する出力性能の向上を示した。

3.1.2.2 DPA 回路シミュレーション環境の構築

3.1.2.2.1 DPA の動作原理

DPA の基本的な動作を図⑫-2-1 を用いて説明する。DPA は振幅成分信号入力端子、位相成分入力端子、出力端子の3つの端子と、n 個の増幅器ユニットをもつ。入力信号の振幅の大小に応じて動作する増幅器を選択的に変更し、動作しているすべてのトランジスタが飽和状態で動作するように制御する。そのため、DPA 内には振幅成分信号の Envelope を抽出する「Envelope 抽出ユニット」、Envelope の振幅を判定し、動作するトランジスタを選択する「振幅・電圧変換ユニット」が存在する。入力された変調波は Envelope 抽出、振幅・電圧変換により適切な電圧に変換され、入力された信号の Envelope の振幅に応じたトランジスタを選択的に ON とするように動作する。



図⑫-2-1 DPA の回路図例

3.12.2.2 トランジスタモデル抽出

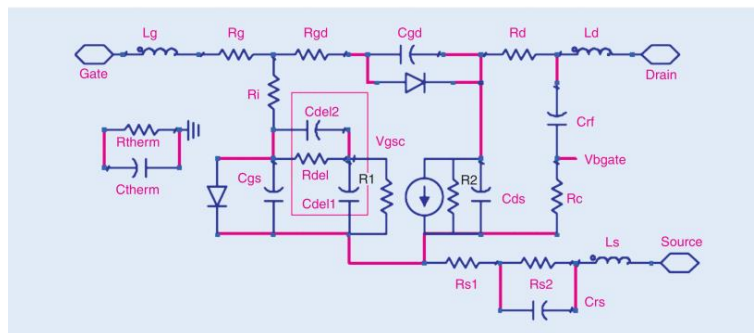
令和2年度は、これまでに作製したトランジスタの各種評価を実施し、大信号モデルを作成した。パラメータ抽出したトランジスタの諸元は以下のものを使用した。

- ・ゲート長 $L_g = 0.25 \mu\text{m}$
- ・ユニットゲート幅 $W_{gu} = 100 \mu\text{m}$
- ・フィンガー本数 $n = 10$
- ・全ゲート幅 $W_g = 1,000 \mu\text{m}$
- ・動作電圧 $V_d = 35 \text{V}$

実施した評価内容及び評価条件は以下の通りである。

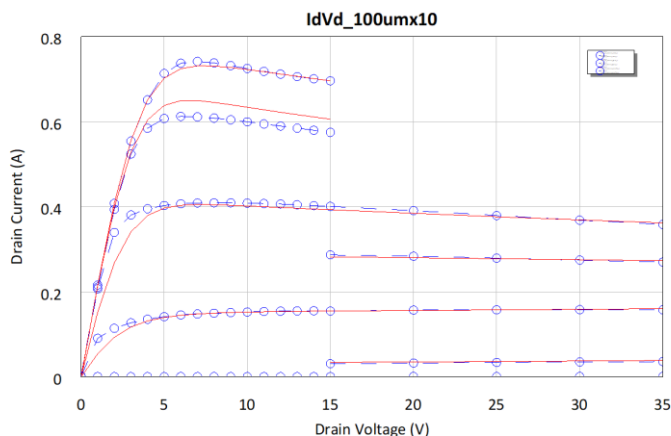
- ・電流電圧特性 (I_d - V_d 特性、 I_g - V_g 特性)
- ・小信号Sパラメータ評価
- ・大信号ロードプル評価

大信号モデルは、化合物半導体向けに作成された Angelov Model を GaN HEMT 用に最適化した Angelov-GaN Model [3]を使用した。Angelov-GaN Model の等価回路を図⑫-2-2 に示す [4]。

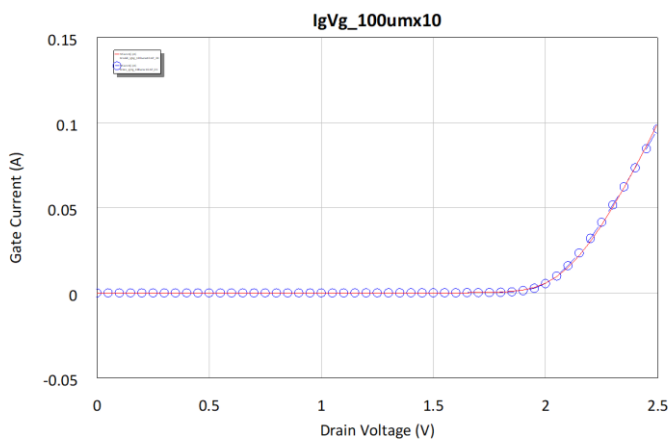


図⑫-2-2 Angelov GaN Model の等価回路 [4]

抽出したトランジスタモデルと実測データの電流電圧特性、小信号 S パラメータ、ロードプル評価の比較をそれぞれ図⑫-2-3、図⑫-2-4、図⑫-2-5、図⑫-2-6、図⑫-2-7 に示す。図⑫-2-3 に示す I_d-V_d 特性は、トランジスタの熱による破壊を防止するため、低ゲート電圧領域 (-2.0~0.0 V) までは動作電圧であるドレイン電圧 35 V まで評価、高ゲート電圧領域 (0.0~2.0 V) はドレイン電圧 15 V まで評価を行った。マーカー付き青線が実測データ、赤線が抽出したトランジスタモデルによるシミュレーション結果となる。全領域において比較的良好に一致していることがわかる。また、図⑫-2-4 は $V_d = 0$ V における I_g-V_g 特性である。マーカー付き青線が実測データ、赤線が抽出したトランジスタモデルによるシミュレーション結果となる。こちらも全領域において比較的良好に一致している。

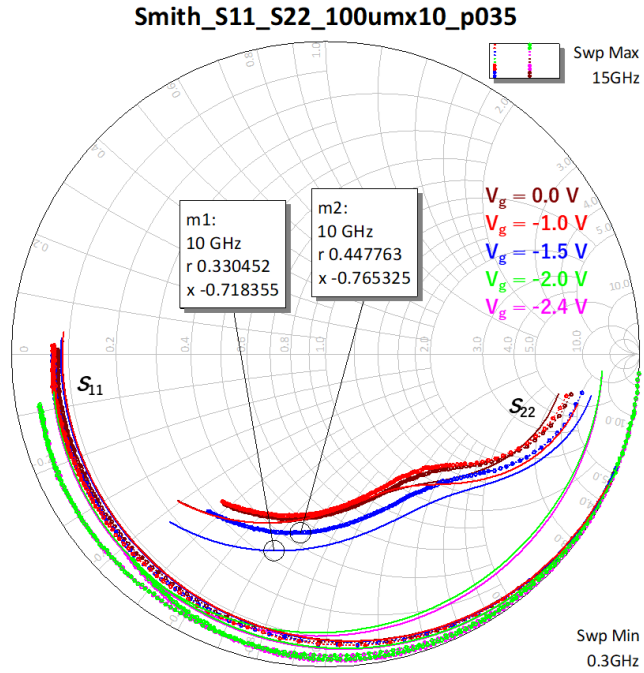


図⑫-2-3 抽出したトランジスタモデルと実測の I_d-V_d 特性比較

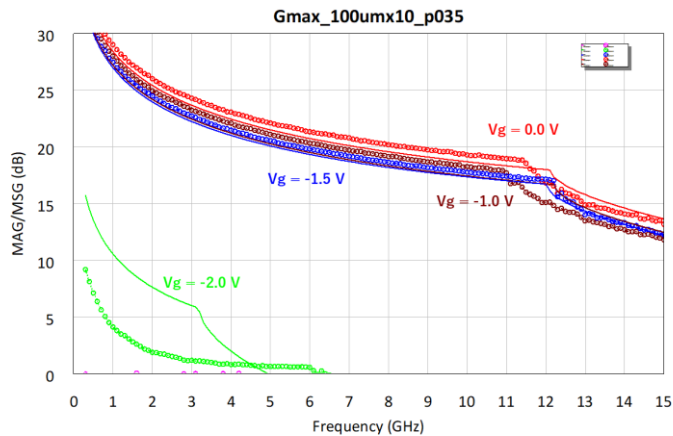


図⑫-2-4 抽出したトランジスタモデルと実測の I_g-V_g 特性比較

図⑫-2-5、図⑫-2-6 は小信号 S パラメータの実測とシミュレーション結果を比較している。測定条件はドレイン電圧 35 V である。マーカー付線が実測データ、マーカーなし線が抽出したトランジスタモデルによるシミュレーション結果となる。Smith チャート表示したトランジスタの S_{11} および S_{22} 、Log-Mag 表示した MAG/MSG は実験データを比較的良好に再現できている。

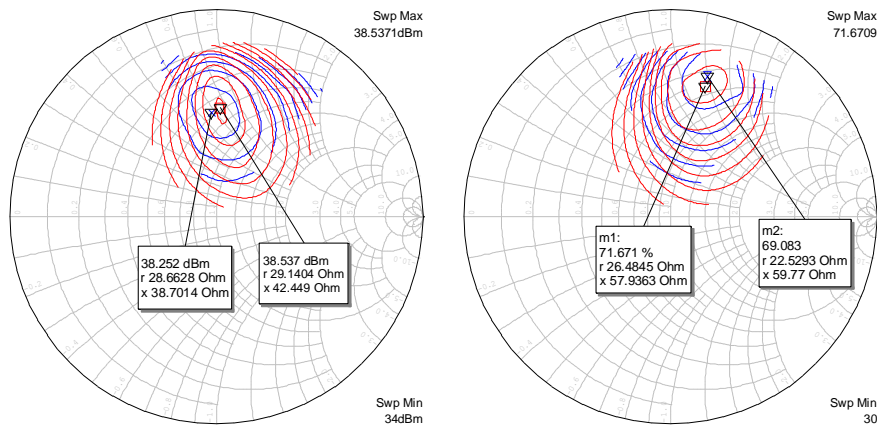


図⑫-2-5 抽出したトランジスタモデルと実測の S パラメータ特性比較



図⑫-2-6 抽出したトランジスタモデルと実測の S パラメータ特性比較

図⑫-2-7 にロードプル評価の実測とシミュレーションの比較を示す。青線が実測、赤線がシミュレーション結果を示している。最適出力電力は実測とシミュレーションでそれぞれ 38.3 dBm, 38.5 dBm、また電力付加効率 (Power Added Efficiency: PAE) はそれぞれ 69.1%, 71.7%と近い値を示している。これにより、設計に使用できる精度を有するトランジスタモデルを抽出することができた。

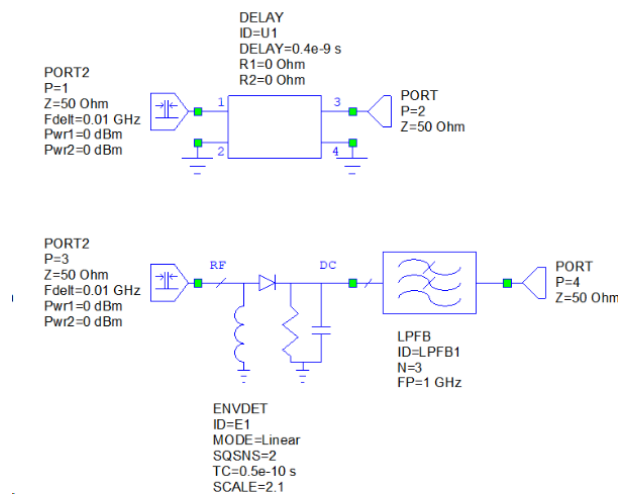


図⑫-2-7 抽出したトランジスタモデルと実測のロードプル特性比較

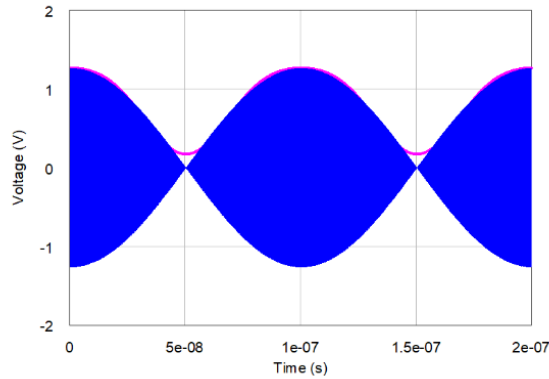
3.1.2.2.3 DPA テストベンチの構築とシミュレーション結果

本研究では、DPA のテストベンチを cadence 社製の回路シミュレータである Microwave Office (MWO) で作成した。

始めに、2 トーン信号入力時の DPA の動作の解析を行った。まず、2 トーン信号の生成と、Envelope 成分の抽出テストベンチを構築した。図⑫-2-8 は MWO 上で作成した 2 トーン信号生成スキマ(上側)と 2 トーン信号から Envelope を抽出するテストベンチ(下側)である。生成された信号を図⑫-2-8 に示す。” PORT2” が 2 トーンの信号源であり、周波数は 10.0 GHz と 10.001 GHz (離長 10 MHz) となっている。図⑫-2-9 中青線は合成された波形を示しているが、重ね合わせにより腹と節が存在する波形となる。この周期は、離長と同じ 10 MHz となる。生成された波形から抽出した包絡線を図⑫-2-9 中ピンク線で示している。包絡線の抽出には” ENVDET” エレメントを使用している。信号波形整形のため、” ENVDET” 後にローパスフィルター” LPFB” を挿入している。

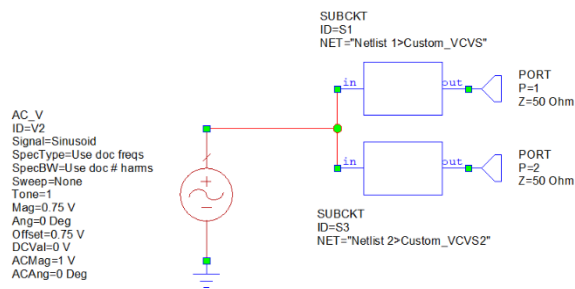


図⑫-2-8 基準信号生成スキマとトーン信号生成スキマ



図⑫-2-9 生成された基準信号とその包絡線

DPA 増幅器では、この入力信号の包絡線関数の振幅に基づき、動作する増幅器ユニットの数や組み合わせを制御する。そのため、包絡線の振幅の判定、及び出力電圧の制御部分が必要となる。図⑫-2-10 に入力電圧の振幅を判定し、出力電力を変更する回路スキマを示す。判定には APLAC ネットリストを利用する。ネットリスト” Custom_VCVS” と” Custom_VCVS2” の内容をそれぞれ図⑫-2-11 及び図⑫-2-12 に示す。” Custom_VCVS” と” Custom_VCVS2” の差異は、入力電圧に対する閾値で、ifte 関数内の引数が異なっている。第一引数で電圧の判定、第二引数で判定が真の場合の電圧出力、第三引数で判定が偽の場合の出力電力を示している。例えば” Custom_VCVS” では、入力電力が 0.5 以下の場合、-5 V を出力、0.5 以上の場合-1.5 V を出力する。閾値を変えることで DPA の ON/OFF タイミングを変更することができる。図⑫-2-10 の実行結果を図⑫-2-13 に示す。青線が 10 MHz の入力信号の電圧の時間依存、ピンク線、茶線がそれぞれ Port1、Port2 の電圧の時間依存である。入力電力の大小によって、出力される電圧が-5 V と-1.5 V で変化していることがわかる。” Custom_VCVS” と” Custom_VCVS2” で電圧の閾値が異なるため、電圧の変化のタイミングが異なっている。これにより、入力電力に対してバイアスを変更する制御部のベンチ構築が完了した。



図⑫-2-10 電圧振幅判定制御部の回路スキマ

```

DefModel Custom_VCVS 2 in out

Function VCVS_output(x1){Output,Power,R}
+ Output=ifte(x1<0.5,-5,-1.5);
+ Ret(0,Output);
+ Ret(1,0)

VCVS v1 out 0 1 in 0
+ VCVS_output(CV(0))

EndModel

```

図⑫-2-11 APLAC ネットリスト” Custom_VCVS” の記述内容

```

DefModel Custom_VCVS2 2 in out

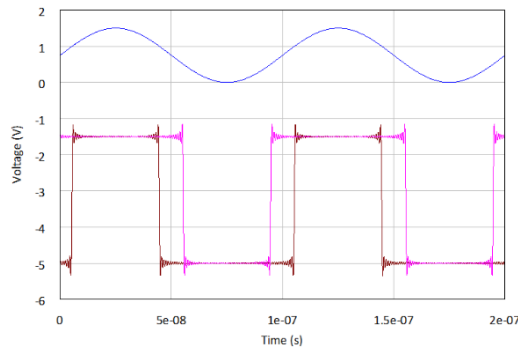
Function VCVS_output(x1){Output,Power,R}
+ Output=ifte(x1<1.0,-5,-1.5);
+ Ret(0,Output);
+ Ret(1,0)

VCVS v1 out 0 1 in 0
+ VCVS_output(CV(0))

EndModel

```

図⑫-2-12 APLAC ネットリスト” Custom_VCVS2” の記述内容

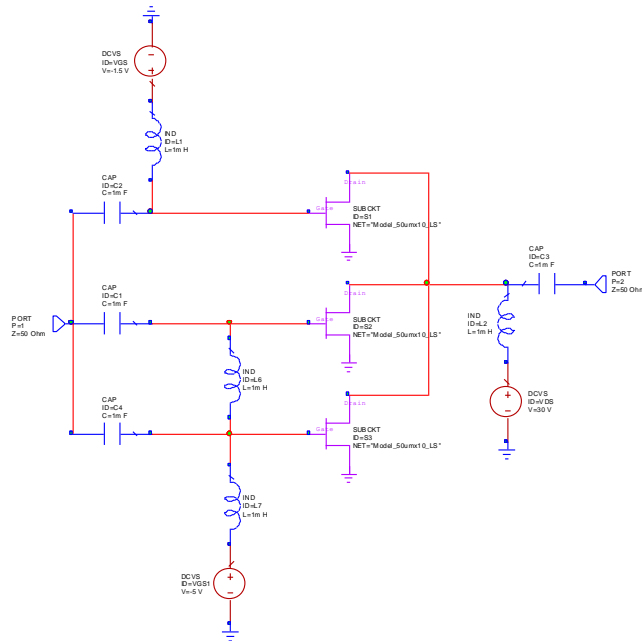


図⑫-2-13 電圧振幅判定制御部の回路スキマの実行結果

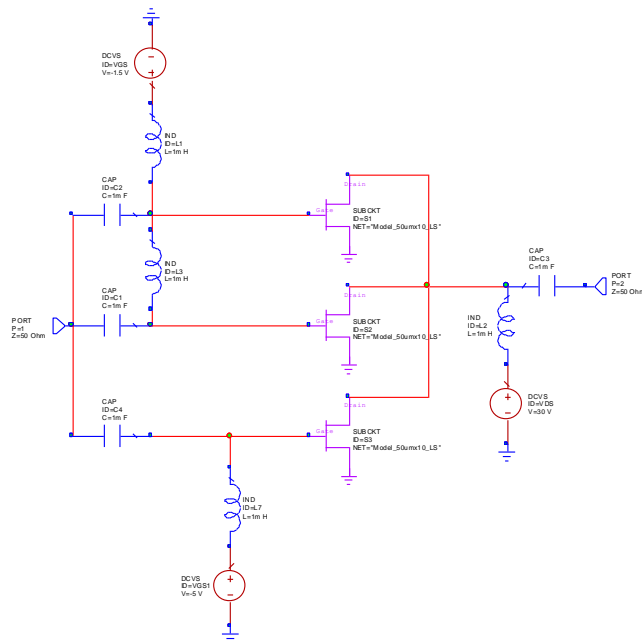
最後に、トランジスタを含む増幅器ユニットのテストベンチ構築を行う。テストベンチは簡単のため、3つの増幅器ユニットで構成されており、使用しているトランジスタサイズはすべてのユニットで同サイズとする。ここでは抽出したトランジスタモデルのゲートスケールングから、 $50\ \mu\text{m} \times 10$ のサイズのトランジスタを1ユニットとして採用した。この場合、DPAの動作は以下の3通りとなり、それぞれの場合についてスキマを作製した。

- ・状態1：1つのユニットだけ ON (図⑫-2-14)
- ・状態2：2つのユニットが ON (図⑫-2-15)
- ・状態3：3つすべてのユニットが ON (図⑫-2-16)

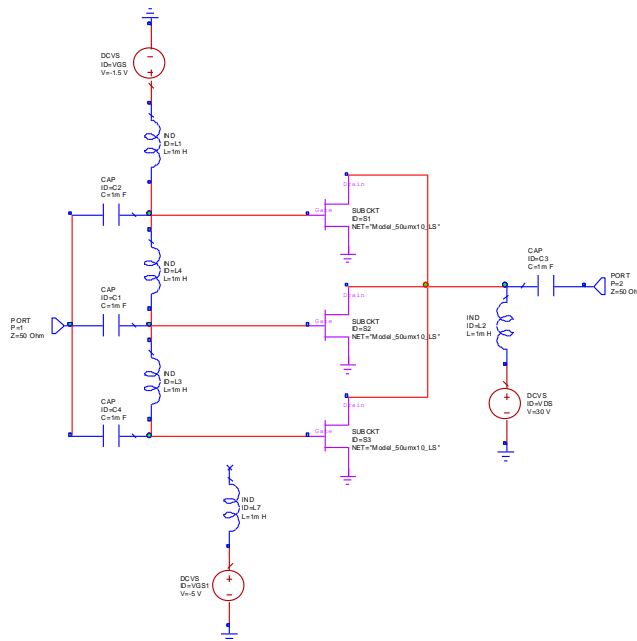
ONのトランジスタのゲートバイアスは閾値より大きな電圧、OFFのトランジスタのゲート電圧は深いピンチオフ領域に設定している。ドレイン電圧はON/OFFのトランジスタ双方に動作電圧30Vを印可している。それぞれのスキマについてMAG/MSGを計算した結果を図⑫-2-17に示す。ONにするユニットトランジスタの数が多いほどMAG/MSGは低減している。これはOFFのトランジスタは電力増幅に寄与しないが、ゲート容量が付加されることにより、利得が低下するためである。



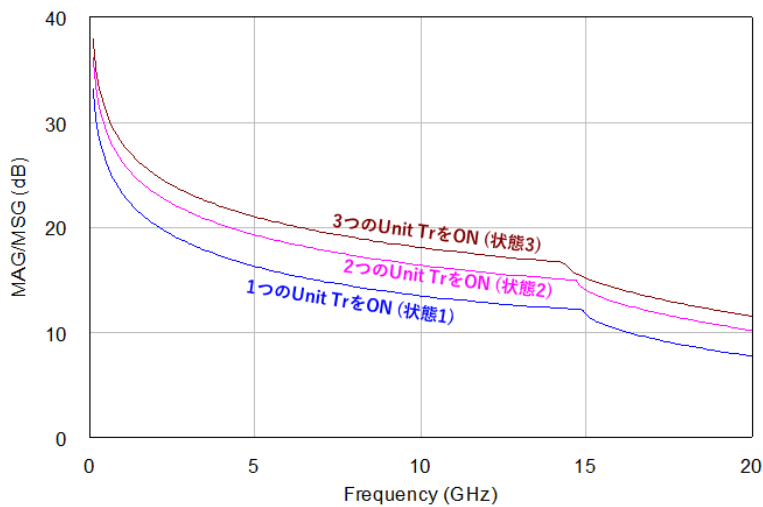
図⑫-2-14 1つのユニットがON (状態1) の場合のDPA回路スキマ



図⑫-2-15 2つのユニットがON (状態2) の場合のDPA回路スキマ



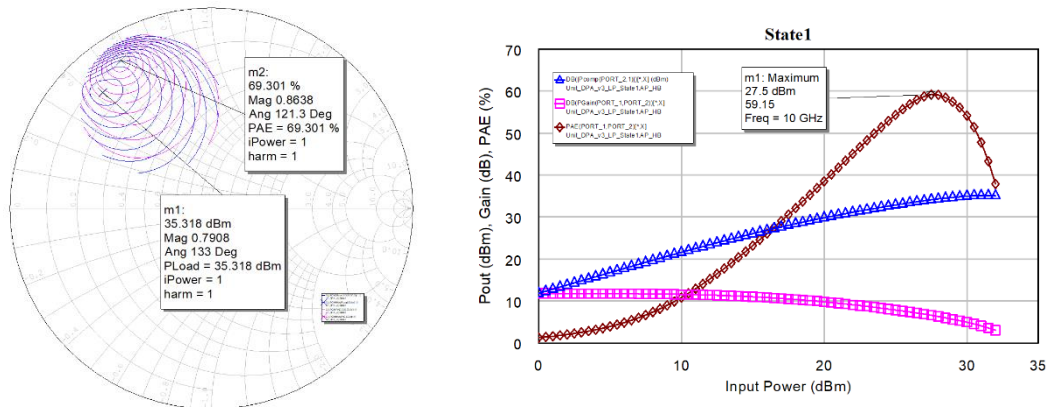
図⑫-2-16 3つのユニットがON (状態3) の場合のDPA回路スキーマ



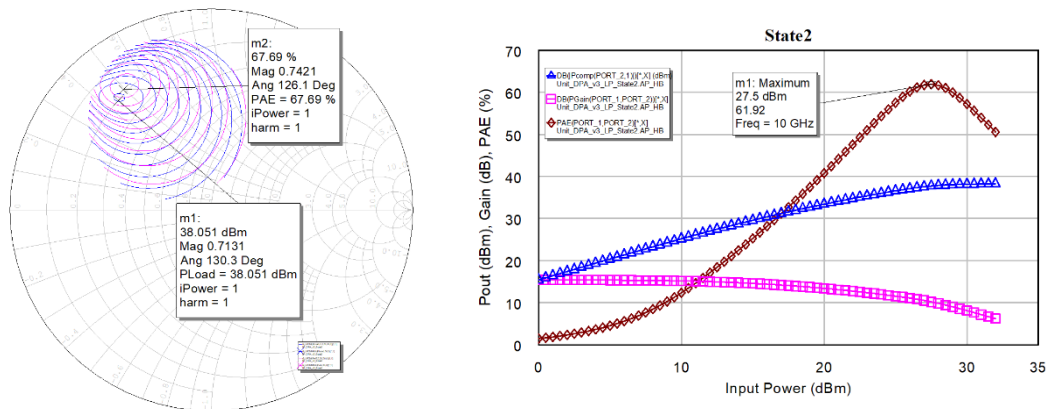
図⑫-2-17 動作するユニットトランジスタの数と MAG/MSG

これまで作成した入力変調波の Envelope 抽出部、Envelope 信号の電圧判定部、増幅器ユニット部を合成することで DPA のテストベンチを構築することができる。今回は簡単のため、入力変調波から生成した Envelope の振幅が電圧判定部ですでに判定され、状態 1 から状態 3 がすでに適切に選択されたことを仮定し、増幅器ユニット部のテストベンチの大信号動作を検証することとした。まず図⑫-2-14、図⑫-2-15、図⑫-2-16 のそれぞれの状態に対してロードプルシミュレーション、及び最適効率点における入出力特性を計算した。それぞれの結果を図⑫-2-18、図⑫-2-19、図⑫-2-20 に示す。更に計算から、横軸を出力電力、縦軸を効率に変換した結果を図⑫-2-21 に示す。横軸を出力電力としてプロットすると、状態 3 は 40 dBm で飽和し、最大効率に達する一方、状態 1 は 34 dBm で飽和し、最大効率に達している。出力電力が 32-40 dBm の広い範囲で、PAE が 50%以上の良好なシミュレーション結果が得られており、全体として広いバックオフ領域で高い効率が得られていることがわかる。今回のシミュレーションでは状態 1-3 について理想

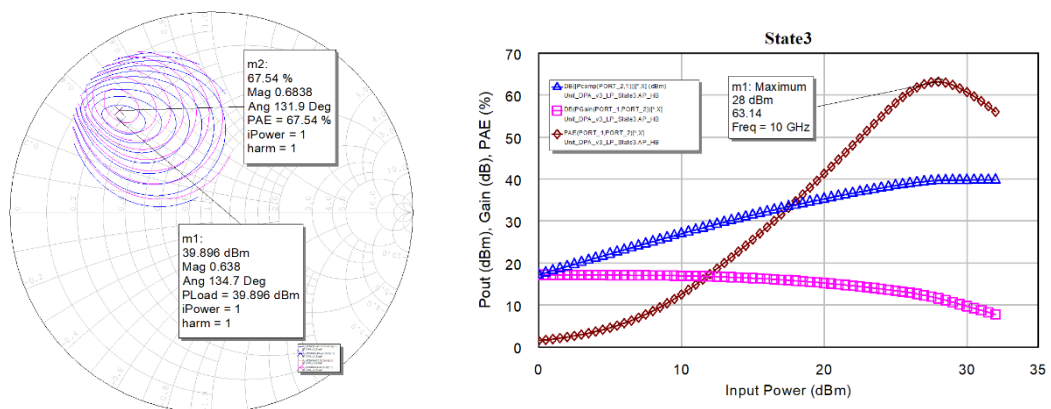
的な整合条件を採用しているため、DPA の入力整合回路、出力整合回路の整合、損失などの影響は含まれていないが、DPA の基本的な動作をシミュレータ上で再現できることが確認できた。



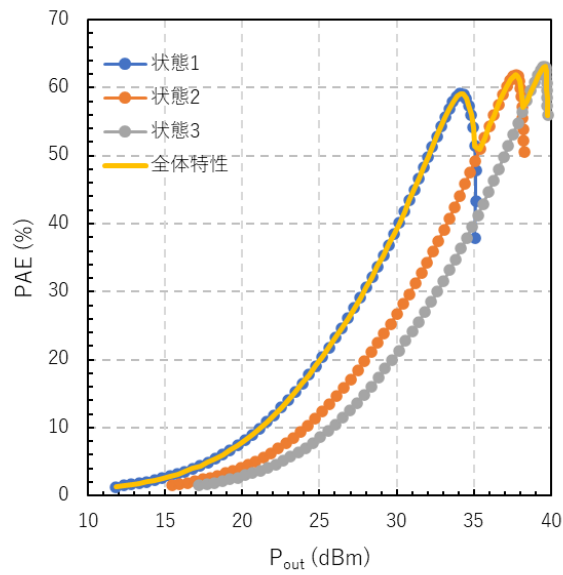
図⑫-2-18 状態 1 におけるロードプルと入出力シミュレーション結果



図⑫-2-19 状態 2 におけるロードプルと入出力シミュレーション結果



図⑫-2-20 状態 3 におけるロードプルと入出力シミュレーション結果



図⑫-2-21 状態 1-3 から計算した全体特性

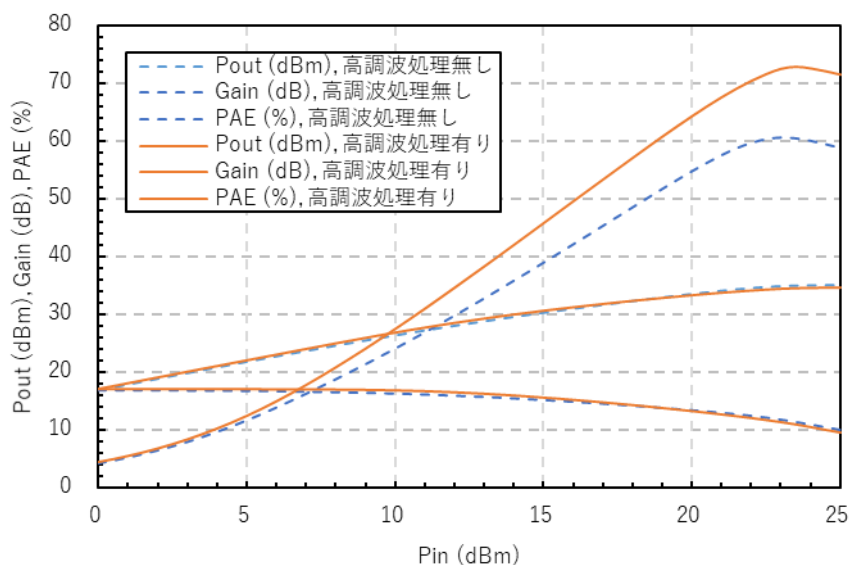
3.12.3 最適 DPA 回路の設計と AlN 基板上デバイスを適用した際の出力電力の見積もり

3.12.3.1 最適高調波処理条件の検討

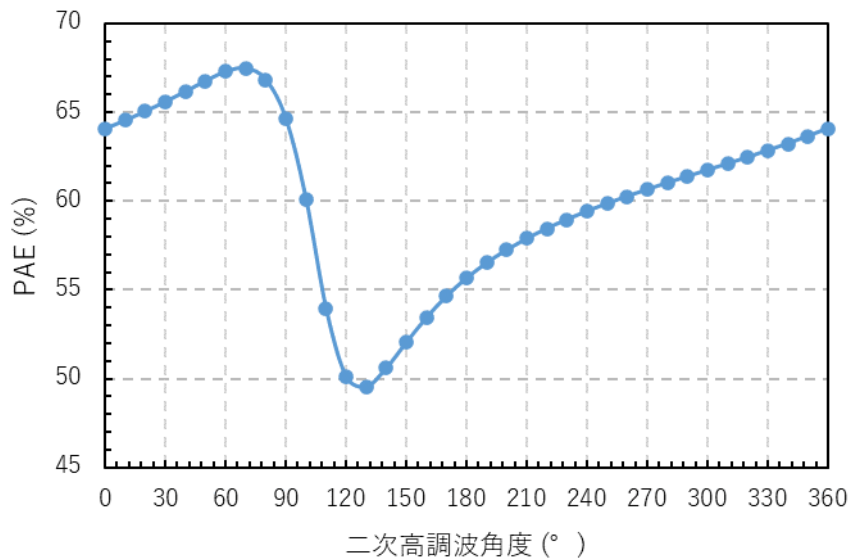
増幅器の高効率動作には高調波処理が欠かせないため、まずは令和2年度の研究成果であるトランジスタモデルを使用し、最適な高調波処理の条件を検討した。条件の検討のため、令和2年度で作成した $50\ \mu\text{m} \times 10$ のトランジスタモデルのロードプル解析を実施した。

図⑫-3-1の青い点線で示している特性は、高調波処理無し時の動作電圧30Vの時のロードプルシミュレーション結果である。高調波処理無し時は、出力側二倍波のインピーダンスを $50\ \Omega$ に設定しながらロードプル解析を実施した。入力電力23dBmの時、最大PAEは60.7%となった。次に、出力側二倍波の反射係数の絶対値 $\Gamma = 0.95$ とし、反射係数の角度を変えながらロードプル解析を実施した結果を図⑫-3-2に示す。反射係数の角度が 70° の時PAEが最大値となり、 130° で最低になることが分かった。二次高調波の処理で、PAEの最大値と最小値は15-20ポイント程度の差があることが分かった。次に、二次高調波の位相を 70° に設定し、基本波のロードプル及び大信号特性をシミュレーションした結果を

図⑫-3-1に記載している。二次高調波処理することで、最大PAEは73.0%と、二次高調波処理無し時と比較して12.3ポイントの大幅な改善が見られた。二次高調波処理によるトランジスタの高効率動作はDPAに対しても適用できると考えられる。



図⑫-3-1 $50\ \mu\text{m} \times 10$ のトランジスタの P_{in} - P_{out} 特性の高調波処理有無依存



図⑫-3-2 50 μm \times 10 のトランジスタの PAE の二次高調波角度依存

3.12.3.2 スイッチの挿入に関する検討

DPA では入力信号の包絡線の振幅に対して、ON/OFF するトランジスタを制御する必要がある。制御の方法として、トランジスタのゲートバイアスを ON/OFF とする方法、スイッチをゲートもしくはドレインに挿入してスイッチで ON/OFF を制御する方法が考えられる。令和 3 年度は、トランジスタのゲート電圧による制御とスイッチによる制御を検討し、それぞれの特性の比較を実施した。比較は以下の 4 つのパターンについて特性を検討した。

- パターン A : ゲートバイアスの ON/OFF で制御
- パターン B : ゲート側のスイッチの ON/OFF で制御
- パターン C : ドレイン側のスイッチの ON/OFF で制御
- パターン D : ゲート側及びドレイン側のスイッチの ON/OFF で制御

検討は、50 μm \times 10 のトランジスタを 3 ユニット並列に接続し、上記 4 パターンの方法で ON/OFF をした際の S パラメータの様子を確認した。それぞれのパターンについて、以下の状態が考えられる。

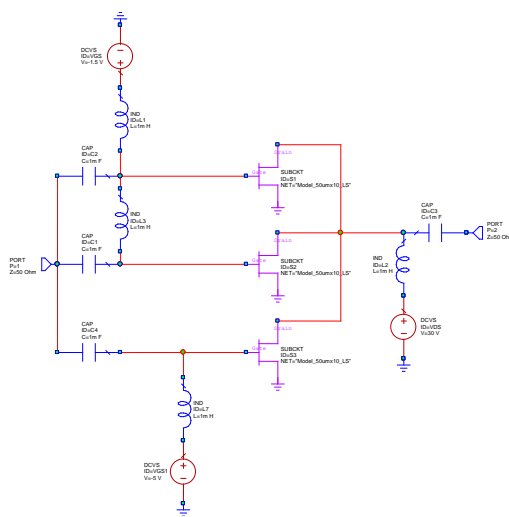
- 状態 1 : トランジスタ 1 つだけ ON
- 状態 2 : トランジスタ 2 つだけ ON
- 状態 3 : すべてのトランジスタが ON

例としてそれぞれのパターンについて状態 2 の回路スキマを図⑫-3-3、図⑫-3-4、図⑫-3-5、図⑫-3-6 に示す。初期検討段階では、スイッチは理想的なスイッチとし、スキマ上では配線を切断するという方法で実現した。それぞれのパターン、状態について S パラメータを計算した結果をそれぞれ図⑫-3-7、図⑫-3-8、図⑫-3-9、図⑫-3-10 に示す。

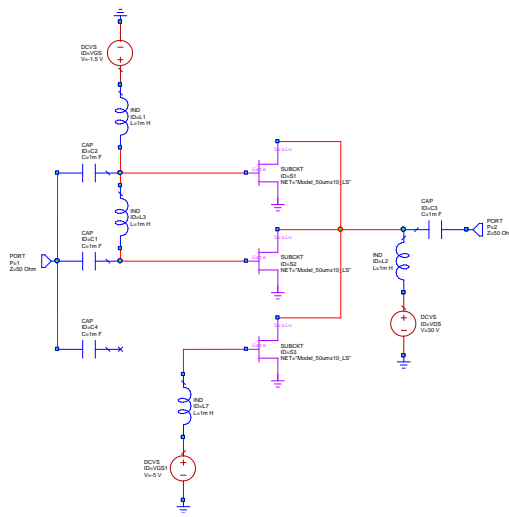
パターン B、C、D はスイッチを挿入したほうのインピーダンスが、状態が変更されたときに大きく動いていることがわかる。これは、スイッチでトランジスタの ON/OFF を切り替えた際に、ゲート側にスイッチを挿入しているパターンについてはトランジスタのゲート容量 C_g 、ドレイン側にスイッチを挿入しているパターンについてはドレイン-ソース間容量 C_{ds} が大きく変動してしまうことに起因している。例えば図⑫-3-4 で示しているようにゲート側にスイッチを挿入し、スイッチの ON/OFF で動作するトランジスタの数を制御している場合、図⑫-3-8 に示すように動作するトランジスタの数が増加するにしたがって C_g が増大し、入力側インピーダンスの位相回転が大きくなっていることがわかる。また、例えば図⑫-3-5 で示しているようにドレイン側にスイッチを挿入し、スイッチの ON/OFF で動作するトランジスタの数を制御している場合、図⑫-3-9 に示すように動作するトランジスタの数が増加するにしたがって C_{ds} が増大し、出力側インピーダ

ンスの位相回転が大きくなっていることがわかる。このような観点から、スイッチを挿入しスイッチの ON/OFF で動作するトランジスタの数を制御するのではなく、図⑫-3-3 のようにトランジスタのゲート電圧の ON/OFF により動作するトランジスタの数を制御した方が、各状態間の C_g 、 C_{ds} の変動が小さく、整合回路の設計の観点から有利であると考えられる。

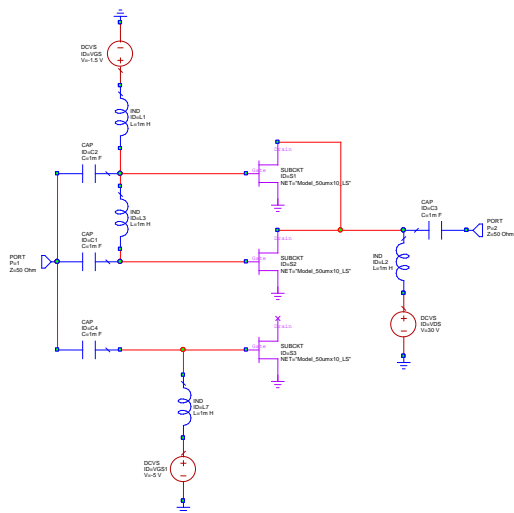
これらのシミュレーション、考察から、動作するトランジスタの数をスイッチで制御するのではなく、トランジスタのゲート電圧の ON/OFF により動作するトランジスタの数を制御した方が良いことが分かった。



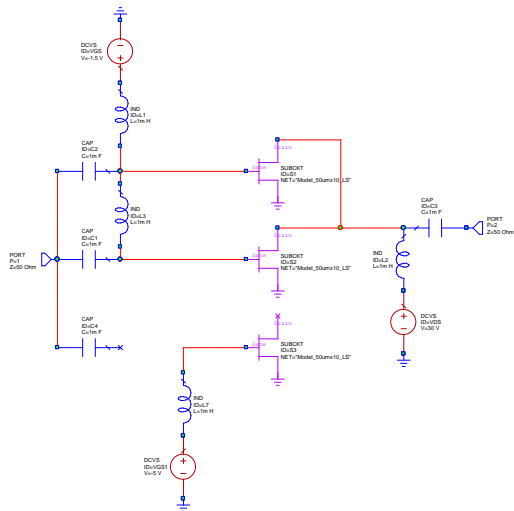
図⑫-3-3 パターン A：ゲートバイアスの ON/OFF で制御の時の状態 2 の回路スキマ



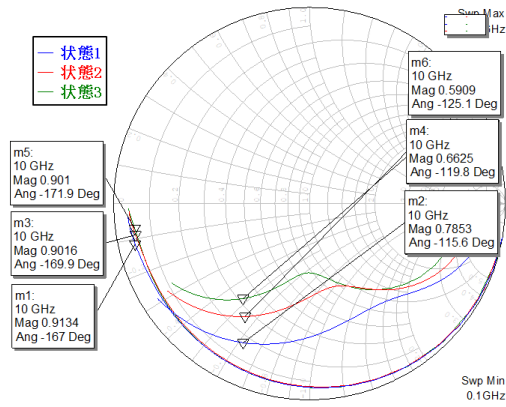
図⑫-3-4 パターン B：ゲート側のスイッチの ON/OFF で制御の時の状態 2 の回路スキマ



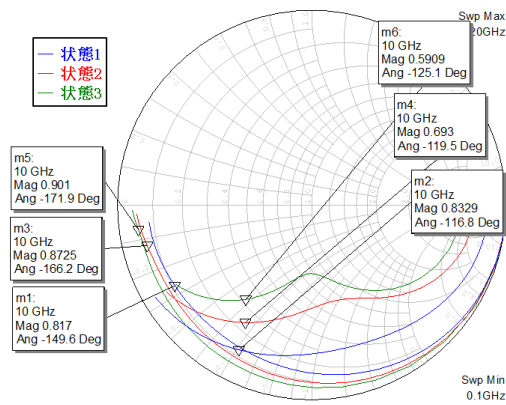
図⑫-3-5 パターン C : ドレイン側のスイッチの ON/OFF で制御の時の状態 2 の回路スキマ



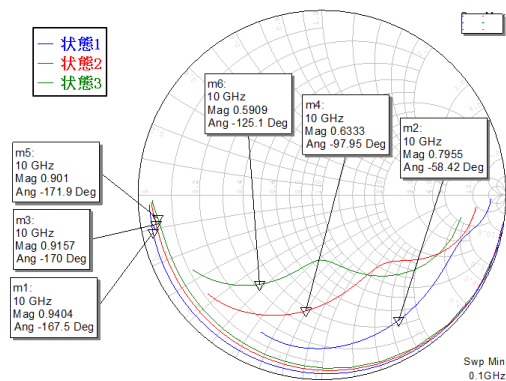
図⑫-3-6 パターン D : ゲート側及びドレイン側のスイッチの ON/OFF で制御の時の状態 2 の回路スキマ



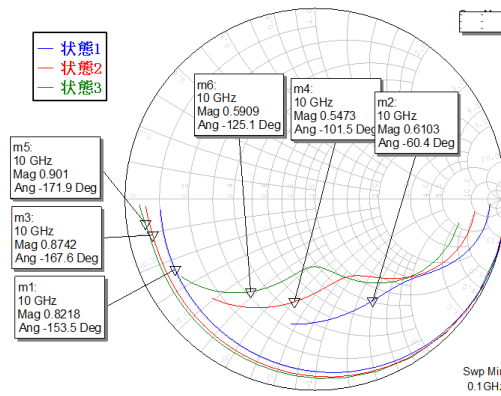
図⑫-3-7 パターン A : ゲートバイアスの ON/OFF で制御時の S パラメータのシミュレーション結果



図⑫-3-8 パターン B : ゲート側のスイッチの ON/OFF で制御時の S パラメータのシミュレーション結果



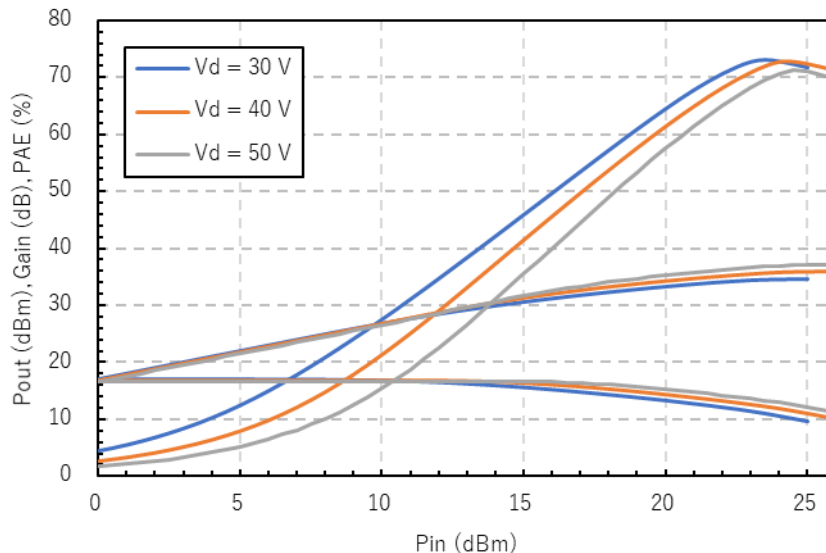
図⑫-3-9 パターン C : ドレイン側のスイッチの ON/OFF で制御時の S パラメータのシミュレーション結果



図⑫-3-10 パターンD：ゲート側及びドレイン側のスイッチのON/OFFで制御時のSパラメータのシミュレーション結果

3.12.3.3 出力電力増大に対する素子パラメータの見積もりに関する検討

素子の出力電力に関するパラメータは、最大電流と最大電圧が考えられる。AINデバイスでは、AINがワイドバンドギャップであることから高電圧動作が期待できるため、電圧に対する出力電力の感度をシミュレーションによって調査した。シミュレーション条件は、3.12.3.1で求めた二次高調波処理条件を適用し、ドレイン電圧を変更させながらロードプルシミュレーションを実施した。結果を図⑫-3-11に示す。また、最大PAEにおける特性を表⑫-3-1にまとめた。今回のシミュレーションでは、ドレイン電圧の増加に対し、ほぼ線形に出力電力が増大していることがわかる。利得は、ドレインコンダクタンスの低減、容量の低減により、若干増加している。PAEはドレイン電圧依存はほぼない。これらの結果から、ドレイン電圧増加はトランジスタ特性に対して非常に有効であり、ドレイン電圧に対して線形に増加することがわかった。



図⑫-3-11 50 μm \times 10のトランジスタモデルを用いた大信号特性のドレイン電圧依存性

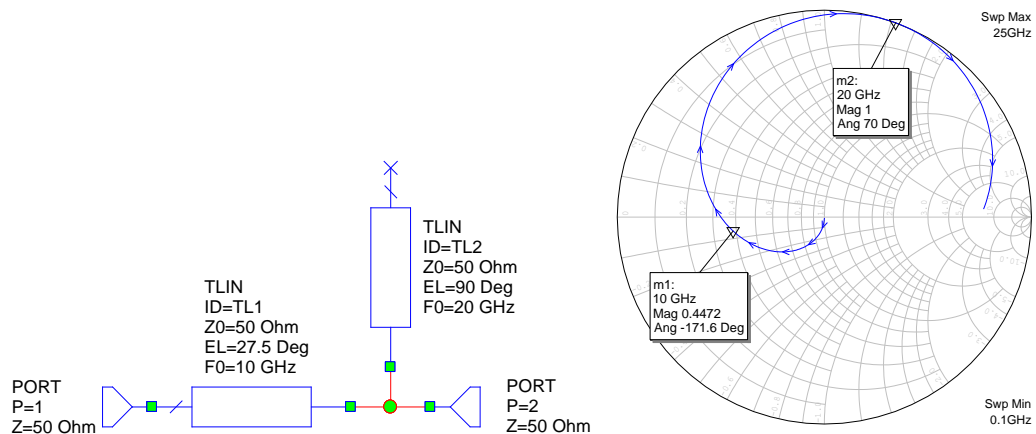
表⑫-3-1 50 μm \times 10 のトランジスタモデルを用いた
各種大信号パラメータのドレイン電圧依存性

V_d (V)	P_{out} (W/mm)	Gain (dB)	PAE (%)
30	2.9	11.1	73.0
40	3.9	11.9	72.7
50	5.1	12.6	71.3

3.12.3.4 AIN を模擬したデバイスモデルによる DPA 回路の特性検討

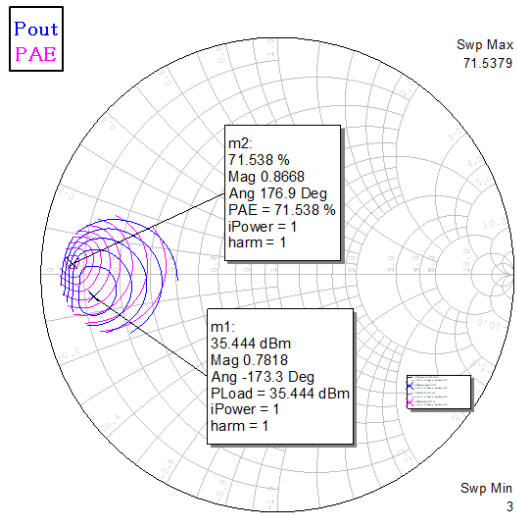
ここまで確認した、最適高調波処理条件、スイッチに関する考察、ドレイン電圧に関する考察をもとに、AIN デバイスを DPA アーキテクチャに適用した際の特性をシミュレーションで確認する。

まず、二次高調波の最適負荷条件を実現する高調波処理回路を設計した。高調波処理回路は、トランジスタのドレイン側に直列線路、2倍波の $\lambda/4$ の長さを持つ並列オープンスタブを順に挿入することで実現する。回路スキーマと入力側から見た S パラメータを図⑫-3-12 に示す。オープンスタブは二次高調波の 20 GHz で $\lambda/4$ の長さであることからショートと見え、更に位相角を 70° とするために、10 GHz で電気長 27.5° を持つ線路を挿入している。このように構成することで、入力側から見た二次高調波の位相角が 70° に見え、高調波処理回路として動作することがわかる。

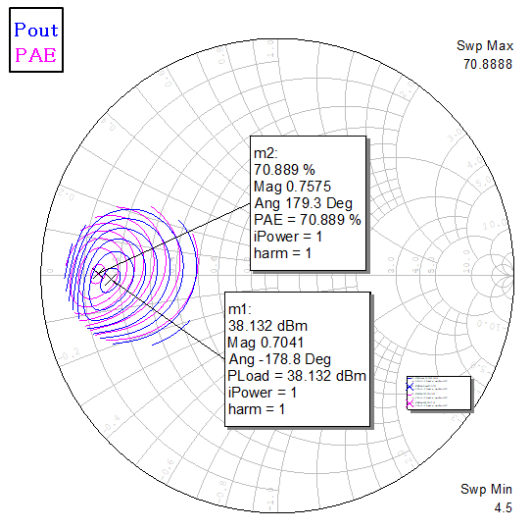


図⑫-3-12 設計した二次高調波処理回路のスキーマとシミュレーション結果

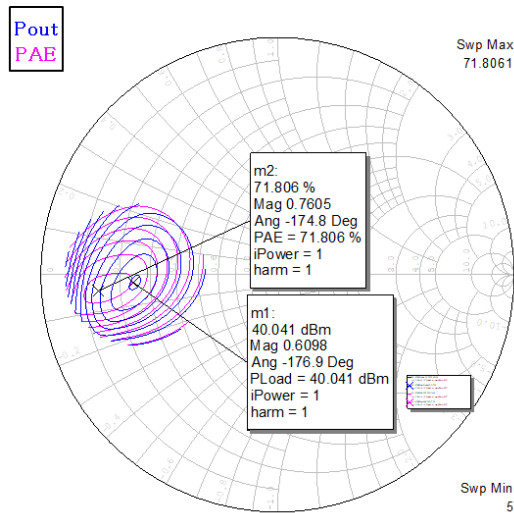
次に、高調波処理回路を DPA の増幅器部のドレイン側に付加し、シミュレーションを実施した。図⑫-3-13、図⑫-3-14、図⑫-3-15 に状態 1、状態 2、状態 3 の高調波処理回路を付加し、更に Tuner における二次高調波インピーダンスを 50Ω と設定した際のロードプルシミュレーション結果を示す。Tuner の二次高調波インピーダンスは 50Ω であるが、二次高調波処理回路を挿入しているため、効率は二次高調波処理された状態と同等の値となるはずであるが、いずれの状態も PAE のシミュレーション結果は 71%前後となっており、高調波処理されていると考えられる。また、スイッチではなく、トランジスタのゲート電圧の ON/OFF で動作させるトランジスタを選択させていることにより、どの状態でも最適負荷インピーダンスは近い箇所に存在する。



図⑫-3-13 状態 1 の高調波処理回路を付加した際のロードプルシミュレーション



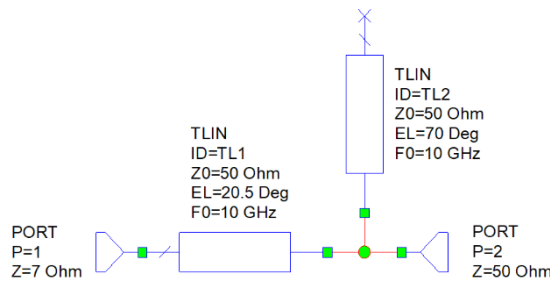
図⑫-3-14 状態 2 の高調波処理回路を付加した際のロードプルシミュレーション



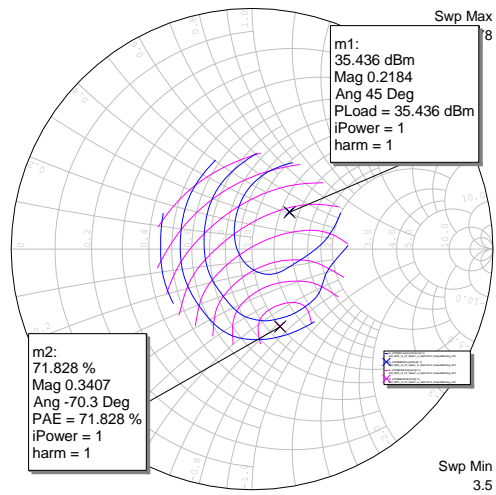
図⑫-3-15 状態 3 の高調波処理回路を付加した際のロードプルシミュレーション

次に、出力整合回路を設計する。状態 1 から状態 3 の最適インピーダンスが 7-8 Ω に存在する。そのため、ドレイン側に直列線路を付加、更にオープンスタブを付加し、1 段のインピーダンス変換器によるインピーダンス整合回路を適用した。出力整合回路の回路スキマを

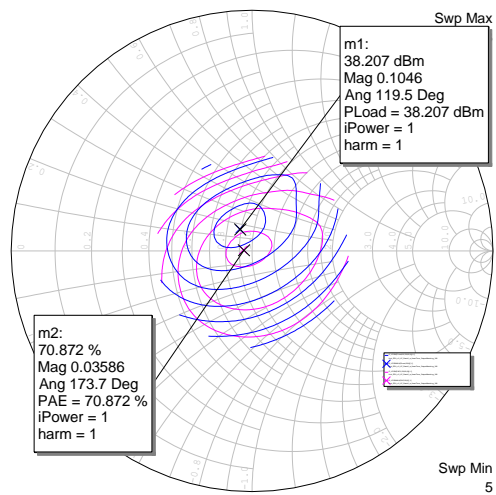
図⑫-3-16 に示す。更に、この出力整合回路を二次高調波処理回路の後に付加した際のロードプルシミュレーション結果を図⑫-3-17、図⑫-3-18、図⑫-3-19 に示す。それぞれ状態 1、状態 2、状態 3 に対応する。すべての状態で、同一の出力整合回路で 50 Ω 付近に最適整合点を整合できていることがわかる。



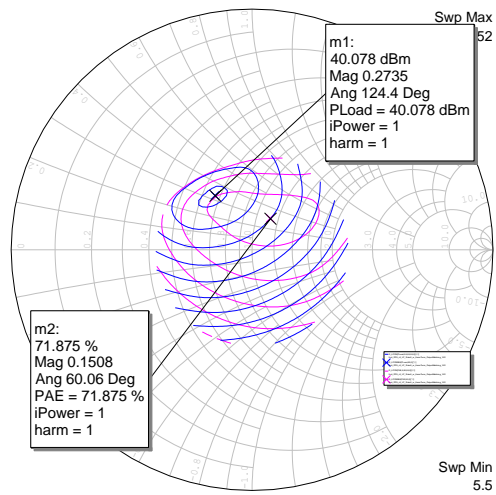
図⑫-3-16 出力整合回路の回路スキマ



図⑫-3-17 状態 1 に二次高調波処理回路と出力整合回路を付加した状態のロードプルシミュレーション結果

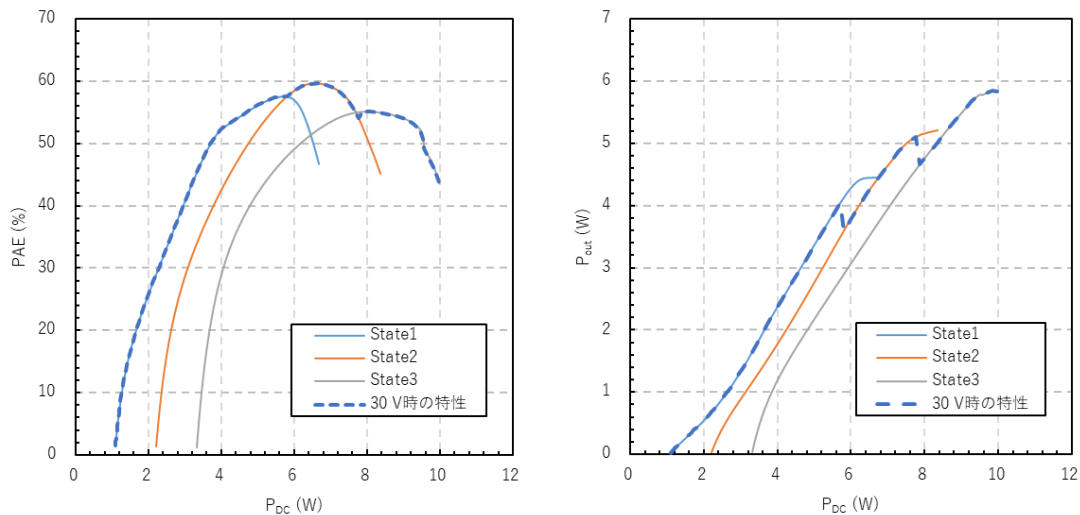


図⑫-3-18 状態 2 に二次高調波処理回路と出力整合回路を付加した状態のロードプルシミュレーション結果



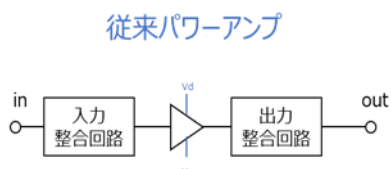
図⑫-3-19 状態 3 に二次高調波処理回路と出力整合回路を付加した状態のロードプルシミュレーション結果

この状態で、大信号特性を評価した結果を図⑫-3-20に示す。状態1、状態2、状態3の特性を横軸に消費電力としてプロットしている。図⑫-3-20から、消費電力が低い状態では状態1の効率が最も高く、消費電力が上昇するにつれて状態2、状態3と、効率が高い状態が遷移していくのがわかる。このことから、動作させるトランジスタの数を調整することで、非常に広い消費電力の範囲にわたって高効率を維持できていることがわかる。



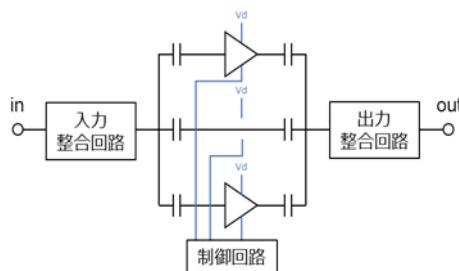
図⑫-3-20 $V_d = 30\text{ V}$ におけるDPAのシミュレーション結果

従来方式のパワーアンプ (PA) とデジタルパワーアンプ (DPA) と出力と消費電力の関係を比較した。従来PAは図⑫-3-21に示すように、PAの前後に整合回路を配置したものである。ここで、トランジスタのゲート幅を等しくするようにState3の状態と比較した。一方で、DPAは図⑫-3-22に示すように、トランジスタのゲート電圧を切り替えにより制御する。図⑫-3-23に出力電力に対する消費電力を比較した。最大電力に違いがないが、入力電力が低くなると動作トランジスタを少なくすることにより消費電力を小さくすることができる。例として消費電力が5Wのときの出力電力は3.3Wであり、従来PAに比べて1.5倍以上の出力電力が出せることを確認した。

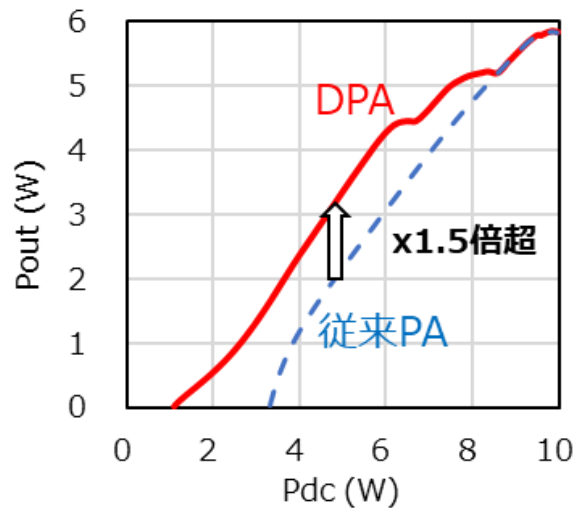


図⑫-3-21 従来パワーアンプの構成

デジタルパワーアンプ(DPA)

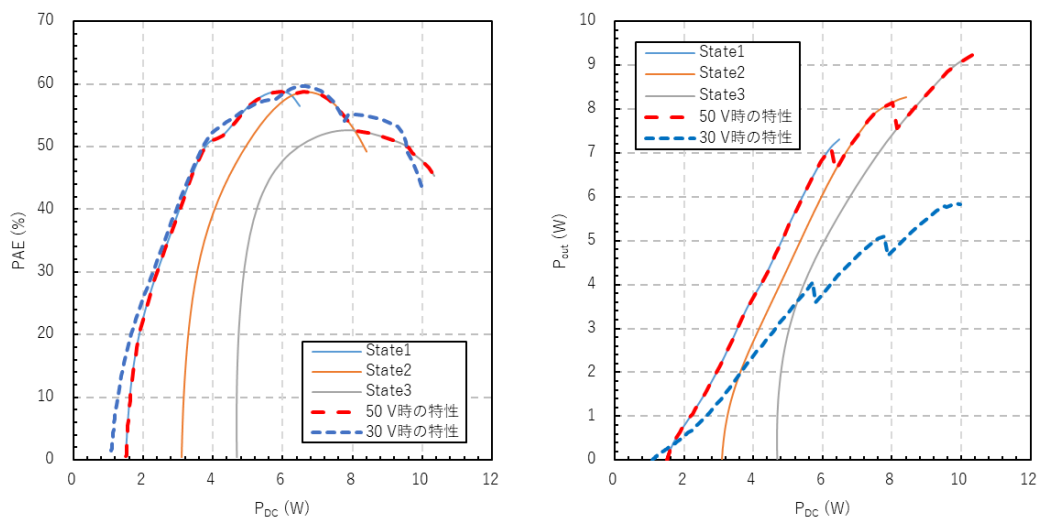


図⑫-3-22 デジタルパワーアンプの構成



図⑫-3-23 DPA と従来 PA の出力電力比較

次に、AlN デバイスの特徴である高電圧動作時の特性を確認した。動作電圧を 50 V として高電圧動作の条件に設定し、30 V 時の解析と同様の手順で DPA 動作の解析を実施した。結果を図⑫-3-21 に示す。効率については 30 V 動作時と同様、消費電力の増大に従って状態 1 から 3 へと切り替えることにより、広い消費電力の範囲にわたり、効率が 50-60% の高い状態を示している。また、この時の出力電力を図⑫-3-21 の右図に示している。図中に 30 V 時の特性を同時にプロットしているが、消費電力が 3-10 W の領域で従来の 30 V 品よりも 1.5 倍以上高い出力電力を確保できていることが確かめられた。



図⑫-3-21 $V_d = 50 \text{ V}$ における DPA のシミュレーション結果

3.12.4 まとめ

令和2年度は既存の GaN HEMT の大信号トランジスタモデルの作成と、2 トーン変調波を用いた DPA の基本的なシミュレーションを目標に研究を実施した。既存の GaN HEMT の特性評価から、大信号 Angelov-GaN Model を抽出し、実測データをよく再現できていることを確かめた。更に、DPA のテストベンチ構築に向け、2 トーン変調波から Envelope を抽出する Envelope 抽出部、Envelope 信号の電圧判定部、増幅器ユニット部のそれぞれの回路図を構築した。最後に、抽出したトランジスタモデルを用い、入力変調波から生成した Envelope の振幅がすでに判定され動作する増幅器ユニットが適切に選択されたことを仮定し、増幅器ユニット部のテストベンチの大信号動作を検証した結果、バックオフ領域での効率改善を確認した。

令和3年度は DPA に使用するトランジスタのサイズおよび基本波および高調波の最適負荷条件を明らかにし、DPA アーキテクチャを適用したパワーアンプ特性をシミュレーションすることにより、従来のバックオフ型アンプに対して出力性能が向上していることを確認した。DPA の切り換えに関しては、トランジスタのバイアス条件およびスイッチ方式を検討し、負荷変動の小さいゲートバイアスの切り替え方式を採用した。これにより3つの状態を作り出し、基本波および高調波処理した整合回路を作成し DPA のシミュレーションを実施した。同じデバイスをを用いてバックオフ型および DPA の消費電力に対する出力電力を比較し、消費電力 5 W 時の出力電力が 1.5 倍以上となっていることを確認した。

参考文献

- [1] J. S. Walling, S.-M. Yoo and D. J. Allstot, "Digital power amplifier: A new way to exploit the switched-capacitor circuit," IEEE Communications Magazine, vol. 50, no. 4, pp. 145-151, 2012.
- [2] X. Luo, H. J. Qian, Y. Yin and H. Xu, "Empowering Multifunction: Digital Power Amplifiers, the Last RF Frontier of the Analog and Digital Kingdoms," IEEE Microwave Magazine, vol. 21, no. 12, pp. 47-67, 2020.
- [3] I. Angelov, M. Thorsell, K. Andersson, N. Rorsman, E. Kuwata, H. Ohtsuka and K. Yamanaka, "On the large-signal modeling of High Power AlGaIn/GaN HEMTs," in 2012 IEEE/MTT-S International Microwave Symposium, Montreal, QC, Canada, 2012.
- [4] L. Dunleavy, C. Baylis, W. Curtice and R. Connick, "Modeling GaN: Powerful but Challenging," IEEE Microwave Magazine, vol. 11, no. 6, pp. 82-96, 2010.

4. 委託業務全体の成果

4. 1 計画時に想定していなかった成果（副次的成果）や、目標を超える成果

高出力化に寄与する技術

(1) AlN基板上トランジスタにおける高耐圧化の効果

高周波・高出力Ga_{0.5}In_{0.5}Nトランジスタの作製は、放熱性に優れ比較的良好な結晶性が得られるSiC基板に行われるのが一般的である。一方、本研究では基板にAlNを導入し、それによりSiC基板上HEMT構造に対してAl組成の高いAlGa_{0.5}In_{0.5}Nバッファ層を利用することが出来た。その結果、AlN基板上トランジスタは、SiC基板上に作製したHEMT構造に対して高い耐圧が得られることが明らかになった（図⑩-4-1および図⑩-4-2参照）。これは計画時に想定していなかった成果である。

(2) 高温成長・高耐圧SiN絶縁膜による高耐圧化

研究を進めるにあたり、高出力化の実現にはトランジスタ動作電圧の向上が不可欠であると判断した。解析の結果、これまで用いてきたCVD法により成長したSiN膜の耐圧が不足していることが明らかになった。そこでMOCVD装置を用いた高温成膜（約940℃）SiNの開発に着手した。開発したSiN膜をトランジスタ試作に適用した結果、110 Vの高電圧動作を達成した（従来SiN膜では90 V動作が限界であった）。これにより最高出力密度 24.4 W/mmの実現に成功した（図⑩-5-4参照）。高温成膜SiNによる動作電圧の向上は、計画時に想定していなかった成果である。

(3) 歪み制御バッファ構造による低シート抵抗化

研究推進とともに、セルオートマトン法を用いた電子輸送の解析から、量子閉じ込め構造内部の電界を低減することが低電界移動度の改善に必要であることが分かってきた。そこで結晶歪みを制御し、AlGa_{0.5}In_{0.5}Nバッファ層およびGa_{0.5}In_{0.5}Nチャネル界面に発生する負の分極電荷を低減する結晶成長技術を開発した。これにより低電界移動度の改善が実現でき、当初目標を大きく超えるシート抵抗 313.3 ohm/sq. を達成した（図③-5-9および図③-5-10参照）。

電子輸送原理の理解に基づいた最適構造の提案

電子輸送原理の解析から、量子閉じ込め状態を実現しつつ、チャネル中の内部電界を低減することが高電界・低電界領域両方の電子速度を向上するうえで重要であるとの指針を得た。この指導原理に基づき、分極電界が発生しないm面結晶を用いた量子チャネル構造において、低電界・高電界の両方で従来HEMTを凌駕出来る可能性を示した。これは計画時に想定していなかった成果である。

高品質AlN基板の作製技術

当初、PVT-AlN基板と同等の結晶性（転位密度）を維持したままAlNを100 μm/h以上で高速HVPE成長するには、基板温度を高温化する他に対応策がないと考えていた。しかし、PVT-AlN(0001)ジャスト基板（表面オフ角0.5°未満）の表面オフを意図的にm方向に揃えることで、1450℃という従来と同じ温度で150 μm/hを超える成長速度で基板と同等の結晶性を維持できることが分かった。今後、AlN基板の生産においてはm方向のオフしたジャスト基板の製造が標準プロセスになると考えられる。これは計画時に想定していなかった成果である。

4. 2 研究課題の発展性（間接的成果を含む）

本研究は、次世代材料の一つとして期待される超ワイドバンドギャップ半導体AlNを利用した高出力デバイスの創出を目指すものであり、本研究では高品質AlN基板成長技術、MOCVD法を用いたAlN（またはAlGaN）とGaNのヘテロ成長技術など、基礎的な知見を一つずつ積み上げてきた。近年、他機関でも次世代材料を見据えた動きは確実に活発化しており、AlNは将来のパワーデバイス材料としての期待も高い[1]。本研究においては、高品質AlN基板の高速成長、基板大口径化に向けた指針、高Al組成窒化物半導体を用いたヘテロ構造成長、量子チャネル構造における電子輸送等の基礎的な知見を蓄積しており、これらの成果は高出力・高周波半導体デバイスのみならず、次世代材料AlNを利用した様々な研究の礎となることが期待される。

COVID-19感染拡大により、高品質AlN基板を用いたAlGaN系の高出力・長寿命なウイルス不活性化用深紫外光源（発光波長265 nm）に対する注目が高まった。現在、深紫外線透過性を有するAlN結晶は高純度なHVPE-AlN基板のみであり、HVPE-AlN基板の利用が始まっている。これによりAlN基板のポテンシャルが広く認知されることで広範な使用につながるものと期待される。

参考文献

[1] <https://group.ntt.jp/newsrelease/2022/04/22/220422a.html>

4. 3 研究成果の発表・発信に関する活動

本研究で得られた成果は、学会、論文誌を中心に積極的に発信した。特にプロジェクト後半はコロナ影響によって学会活動が制限されたため、論文等にて外部発表を継続した。外部発表に関して特筆すべきものを以下に述べる。

平成31年度に、表面にダイヤモンド膜による動作時温度の低温化を国際会議にて発表した。関連成果は、富士通プレスリリースにおいても発表し、広く一般にその成果を周知した[1]。本発表に対する反響は大きく、書籍2件の執筆に結びついた[2, 3]。

令和2年度に、AlN基板上トランジスタの高出力動作を論文誌 Applied Physics Express (APEX)にて発表した[4]。本論文はAlN基板上トランジスタとして世界初の高出力動作を発表するもので、当該雑誌のSpotlights論文2021に選出された。関連成果は、富士通株式会社においてもwebを通じて発表し、広く一般にその成果を周知した[5]。本発表をきっかけとして、国際会議での招待講演の機会を戴いた。

参考文献

- [1] GaN HEMTの放熱効率を高めるダイヤモンド膜の形成に成功
(<https://pr.fujitsu.com/jp/news/2019/12/5.html>)
- [2] 次世代パワー半導体の開発動向と応用展開, 第4章 3「ダイヤモンド放熱を利用した GaN HEMTの性能向上」
- [3] NEW DIAMOND 第138号32ページ「表面ダイヤモンド膜を用いたGaN HEMTの特性向上」
- [4] S. Ozaki et al., “First demonstration of X-band AlGa_N/Ga_N high electron mobility transistors using free-standing AlN substrate over 15 W mm⁻¹ output power density,” Appl. Phys. Express, vol. 14, no. 4, 2021, doi: 10.35848/1882-0786/abec90.
- [5] 世界初！新材料窒化アルミニウムを用いた高出力パワーアンプの開発に成功
(<https://www.fujitsu.com/jp/about/research/article/202201-high-output-aln.html>)

5. プロジェクトの総合的推進

5. 1 研究実施体制とマネジメント

図5-1に研究領域の分担とマネジメント体制を示す。全体の技術統合は富士通株式会社を中心となっており、AlN基板作製および電子輸送解析についてはそれぞれの担当分野において高い実績と深い知見を有する再委託先研究機関にて実施した。研究推進時の全体マネジメントについて以下に述べる。

本研究は富士通株式会社単独においても、結晶成長技術、デバイス技術、放熱技術、電力合成技術の4領域に跨った開発を同時並行的に推進するものである。最終統合を見据え、個々の研究の進捗を他の開発項目と情報共有を行い推進することが肝要である。富士通株式会社では、研究開始当初から月例の定例会議を設定し、研究代表者および要素技術担当者間での情報共有を継続して行った。

さらに、四半期ごとに関係機関が一堂に会する全体合同会議を実施した。コロナ禍における他機関との連携はオンライン会議を活用し、定期的な情報共有を継続した。機関間での試料受け渡しや試作スケジュールの調整を図ることで、全体の研究を円滑に推進した。さらに、産業技術総合研究所が実施する電子輸送解析と富士通株式会社にて行うデバイス設計は緊密な連携が必須と判断し、個別の月例会議を設定することで開発全体の加速を促進した。さらに令和3年度は隔週での実施に切り替えることで、電子輸送原理の解析と指導原理の確立の成果を挙げた。

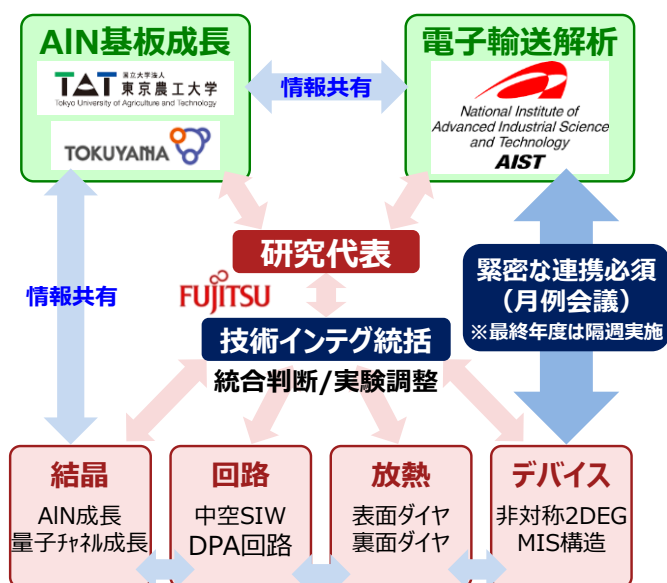


図5-1 研究領域の分担およびマネジメント体制

5. 2 経費の効率的執行

本研究を推進するにあたり、下記の点において効率的な執行に努めた。

(1) 保有設備の有効利用

各研究機関はいずれも担当分野の研究において実績を有する。本研究の推進にあたっては、各研究機関が保有する設備を最大限に有効活用することを前提とし、研究の垂直立ち上げと経費の有効利用を促進した。

(2) 外注費用の圧縮

X線回折を用いた結晶構造の同定など、頻度の高い分析については、富士通株式会社内において解析技術を確立し、外注分析費用を圧縮した。また、特殊評価など外注分析が必要な案件については、実験計画を調整することで試料作製を同時期に実施し、一括の多試料同時分析として外注費用の抑制に努めた。

(3) 相見積りによる価格精査

相見積りを実施し、性能差等の特別な理由がない限りは価格を優先した発注を行い、経費の無駄を省いた。

6. まとめ、今後の予定

本研究は、将来の無線通信技術に資する半導体デバイスの飛躍的な性能向上を目指し、次世代材料の一つとして期待される超ワイドバンドギャップ半導体 (AlN) を利用した革新的次世代デバイス創造の可能性を探るものである。新材料であるAlNに関する基礎的知見から、トランジスタの高出力動作の実証まで、以下に示す幅広い研究成果を挙げた。

(1) AlN基板上トランジスタとして世界最高出力 (24.4 W/mm) となる高出力動作をX帯において実証した。本研究において開発したAlON絶縁膜、高温成長高耐圧SiN絶縁膜、高電子移動度を実現する歪み制御AlGaInバッファ層等の技術を統合することにより、高電圧動作とコラプスの低減を両立し、高出力動作に成功した。

(2) AlNおよびGaInを用いた量子閉じ込めチャネル構造について先駆的な研究を行い、閉じ込め状態にある電子輸送に関して理論および実験の両面から検証した。量子閉じ込め効果により発現する上位サブバンドを利用した電子輸送により、高電界領域の電子速度が高くなることを計算において実証した。さらに量子井戸における伝導帯の傾きを低減することで、低電界における電子速度の向上が可能であることも示し、量子井戸型チャネル構造の基本的な設計指導原理を得た。

(3) 表面および裏面にダイヤモンドを利用した放熱効果を実証した。表面にダイヤモンド膜をCVD法によって形成し、ラマン分光法を用いてチャネル温度の低下を確認した。裏面にダイヤモンド基板を接合する技術を確立し、熱抵抗が1/4となることを実証した。

(4) HVPE法による2インチ高純度AlN基板の作製を実証した。高速成長技術、口径拡大を可能にする側壁面の発現制御技術、面内均一性の高いHVPE-AlN自立基板作製技術を確立した。

以上のように、本研究はAlNの成長技術といった材料固有の知見から、量子閉じ込め構造における電子状態の解析など、新規性の高い研究を行った。AlNはGaInやSiCといったワイドバンドギャップ半導体を凌駕する超ワイドバンドギャップ半導体であり、本研究で得られた成果は今後パワーデバイス等の研究分野においても重要な知見となると考えられる。

また、量子閉じ込めチャネル構造においては、例えばAlN/GaIn/AlNを利用した光スイッチ等への応用をはじめ、電子スピンを利用した新規デバイスの創造など、科学技術のさらなる発展が期待できる。

7. 研究発表、知的財産権等の状況

(1) 研究発表等の状況

種別	件数
学術論文	13件
学会発表	26件
展示・講演	3件
雑誌・図書	2件
プレス	1件
その他	該当なし

(2) 知的財産権等の状況

発明の名称	発明者	出願登録区分	出願番号 (出願日)	出願区分	出願国	登録番号 (登録日)
半導体装置及びその製造方法	山田 敦史、 小谷 淳二(富士通株式会社)	出願・登録	2018-053234 (2018/03/20)	国内		7024534 (2022/02/15)
		出願・登録	16/284,162 (2019/02/25)	国外国別	米国	10,707,338 (2020/07/07)
化合物半導体装置、化合物半導体装置の製造方法及び増幅器	尾崎 史朗、 牧山 剛三、 美濃浦 優一、 熊崎 祐介、 多木 俊裕、 岡本 直哉(富士通株式会社)	出願	2018-153225 (2018/08/16)	国内		
		出願・登録	16/530,297 (2019/08/02)	国外国別	米国	10,964,805 (2021/03/30)
化合物半導体装置、高周波増幅器及び電源装置	小谷 淳二、 山田 敦史、 牧山 剛三(富士通株式会社)	出願	2018-206782 (2018/11/01)	国内		
化合物半導体装置及びその製造方法、増幅器	尾崎 史朗、 多木 俊裕(富士通株式会社)	出願	2018-238510 (2018/12/20)	国内		
		出願・登録	16/687,745 (2019/11/19)	国外国別	米国	11,088,044 (2021/08/10)
化合物半導体装置、化合物半導体装置の製造方法及び増幅器	牧山 剛三(富士通株式会社)	出願	2019-019109 (2019/02/05)	国内		
		出願・登録	16/733,270 (2020/01/03)	国外国別	米国	11,094,813 (2021/08/17)
化合物半導体装置、化合物半	牧山 剛三(富士通株式会社)	出願	2019-019110 (2019/02/05)	国内		

導体装置の製造方法及び増幅器		出願	16/777944 (2020/01/31)	国外国別	米国	
半導体装置、半導体装置の製造方法及び電子装置	山田 敦史、小谷 淳二(富士通株式会社)	出願	2019-080975 (2019/04/22)	国内		
		出願	16/816324 (2020/03/12)	国外国別	米国	
半導体デバイスの放熱構造及びその製造方法、増幅器	岡本 直哉(富士通株式会社)	出願	2019-081827 (2019/04/23)	国内		
		出願	16/852601 (2020/04/20)	国外国別	米国	
半導体装置、半導体装置の製造方法及び電子装置	矢板潤也、山田敦史(富士通株式会社)	出願	2019-152859 (2019/08/23)	国内		
		出願	16/929811 (2020/07/15)	国外国別	米国	
半導体装置	山田敦史(富士通株式会社)	出願	2020-011462 (2020/01/28)	国内		
		出願	17/128785 (2020/12/21)	国外国別	米国	
半導体装置、半導体装置の製造方法及び電子装置	尾崎史朗、牧山剛三、矢板潤也、多木俊裕(富士通株式会社)	出願	2020-007804 (2020/01/21)	国内		
		出願	17/096995 (2020/11/13)	国外国別	米国	
半導体装置	牧山剛三、尾崎史朗、山田敦史、小谷淳二(富士通株式会社)	出願	2020-010323 (2020/01/24)	国内		
		出願	17/129552 (2020/12/21)	国外国別	米国	
半導体装置	山田敦史(富士通株式会社)	出願	2020-041232 (2020/03/10)	国内		
		出願	17/190276 (2021/03/02)	国外国別	米国	
半導体装置	矢板潤也(富士通株式会社)	出願	2020-043056 (2020/03/12)	国内		
気相成長装置およびⅢ族窒化物単結晶	人見 達也、石川 玲子、永島徹(株式会社トクヤマ)	出願	2019-119542 (2019/06/27)	国内		

の製造方法						
気相成長装置およびⅢ族窒化物単結晶の製造方法	人見 達也、石川 玲子、永島 徹(株式会社トクヤマ)	出願	2020-026611 (2020/02/19)	国内		
半導体デバイスの放熱構造及びその製造方法、増幅器	岡本直哉(富士通株式会社)	出願	2019-081827 (2019/04/23)	国内		
半導体装置、半導体装置の製造方法及び増幅器	牧山剛三(富士通株式会社)	出願	2019-219676 (2019/12/4)	国内		
半導体装置	小谷 淳二、山田 敦史(富士通株式会社)	出願	2020-008395 (2020/01/22)	国内		
半導体装置	鎌田陽一(富士通株式会社)	出願	2020-043057 (2020/03/12)	国内		
半導体装置	矢板 潤也(富士通株式会社)	出願	2020-082006 (2020/05/07)	国内		
半導体装置及びその製造方法	尾崎 史朗, 牧山 剛三, 多木 俊裕(富士通株式会社)	出願	2020-098696 (2020/06/05)	国内		
		出願	17/190255 (2021/03/02)	国外国別	米国	
半導体装置	山田 敦史(富士通株式会社)	出願	2020-119963 (2020/07/13)	国内		
半導体装置	矢板 潤也, 小谷 淳二, 山田 敦史, 牧山 剛三(富士通株式会社)	出願	2020-119964 (2020/07/13)	国内		
		出願	17/209869 (2021/03/23)	国外国別	米国	
半導体装置	小谷 淳二(富士通株式会社)	出願	2020-119965 (2020/07/13)	国内		
半導体装置及びその製造方法	尾崎 史朗, 小谷 淳二, 山田 敦史(富士通株式会社)	出願	2020-141973 (2020/08/25)	国内		
		出願	17/228002 (2021/04/12)	国外国別	米国	

半導体装置、半導体装置の製造方法及び電子装置	山田 敦史(富士通株式会社)	出願	2020-169982 (2020/10/07)	国内		
半導体装置、半導体装置の製造方法及び電子装置	山田 敦史(富士通株式会社)	出願	2020-186659 (2020/11/09)	国内		
半導体装置および半導体装置の製造方法	尾崎 史朗, 小谷 淳二(富士通株式会社)	出願	2020-206150 (2020/12/11)	国内		
		出願	17/481348 (2021/09/22)	国外国別	米国	
半導体装置及び半導体装置の製造方法	矢板 潤也(富士通株式会社)	出願	2021-006320 (2021/01/19)	国内		
半導体素子、半導体素子の製造方法、増幅器および電源装置	矢板 潤也(富士通株式会社)	出願	2021-026010 (2021/02/22)	国内		
電力合成器	新井田 佳孝(富士通株式会社)	出願	2021-041215 (2021/03/15)	国内		
		出願	17/521408 (2021/11/08)	国外国別	米国	
窒化物半導体装置及び窒化物半導体装置の製造方法	小谷 淳二(富士通株式会社)	出願	2021-054673 (2021/03/29)	国内		
半導体装置、半導体装置の製造方法及び電子装置	矢板 潤也(富士通株式会社)	出願	2021-072285 (2021/04/22)	国内		
半導体装置及び半導体装置の製造方法	岡本 直哉(富士通株式会社)	出願	2021-086833 (2021/05/24)	国内		
		出願	17/577754 (2022/01/18)	国外国別	米国	

半導体装置、これを用いた電源装置と増幅器、及び半導体装置の製造方法	矢板 潤也(富士通株式会社)	出願	2021-170780 (2021/10/19)	国内		
半導体装置、半導体装置の製造方法及び電子装置	矢板 潤也,小谷 淳二(富士通株式会社)	出願	2022-044116 (2022/03/18)	国内		
半導体装置	山田 敦史(富士通株式会社)	出願	2021-193857 (2021/11/30)	国内		
半導体装置及び半導体装置の製造方法	美濃浦 優一(富士通株式会社)	出願	2022-084094 (2022/05/23)	国内		

(3) その他特記事項

該当なし